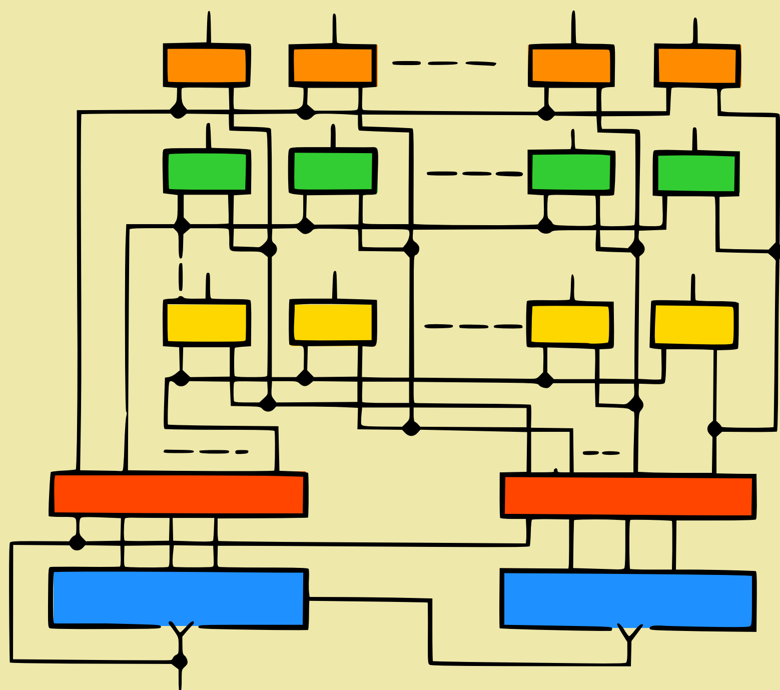
I. Boukréev, B. Mansourov,
V. Goriatchev

CIRCUITS MICRO-ÉLECTRONIQUES ET TECHNIQUE NUMÉRIQUE



Éditions Mir Moscou

И. Н. БУКРЕЕВ
Б. М. МАНСУРОВ
В. И. ГОРЯЧЕВ

МИКРОЭЛЕКТРОННЫЕ СХЕМЫ ЦИФРОВЫХ УСТРОЙСТВ

ИЗДАТЕЛЬСТВО «СОВЕТСКОЕ РАДИО»

I. Boukréev
B. Mansourov V. Goriatchev

CIRCUITS MICRO-ÉLECTRONIQUES ET TECHNIQUE NUMÉRIQUE

ÉDITIONS MIR · MOSCOU

Traduit du russe par
V. GOURBANOVSKI

На французском языке

Table des matières

CHAPITRE 6

Distributeurs

CHAPITRE 7

Décodeurs

CHAPITRE 8

Additionneurs

CHAPITRE 9

Circuits LSI

Préface

Le progrès impétueux de la micro-électronique tient en premier lieu à la nécessité d'améliorer la fiabilité des calculateurs électroniques, d'en réduire le poids, l'encombrement et le coût.

Or, par leurs performances, les calculateurs électroniques deviennent aujourd'hui de plus en plus tributaires des propriétés des circuits intégrés.

Les circuits intégrés numériques actuels représentent des dispositifs électroniques assez compliqués qui font fonction d'éléments logiques, d'organes et de blocs fonctionnels des machines à calculer. A n'en juger que par le nombre d'éléments englobés, la complexité des circuits intégrés se traduit par une concentration des composants allant des unités à des milliers par circuit. Aussi les manières de concevoir tel microcircuit ou tel autre sont-elles différentes. Il suffit de noter que si, par leur simplicité, les microcircuits à faible niveau d'intégration sont universels, les circuits *LSI* à très grande intégration sont orientés d'une façon beaucoup plus marquée vers un type bien défini des machines à calculer et même vers une machine unique d'où les difficultés qu'on trouve à les rendre plus polyvalents. D'autre part, l'organisation du calculateur électronique peut en être influencée sensiblement.

Les auteurs espèrent voir leur livre devenir un aide dans l'étude de la technique des circuits intégrés numériques tant pour les spécialistes de la micro-électronique que pour ceux qui s'occupent du matériel micro-électronique.

Le livre traite avec beaucoup d'insistance du principe de fonctionnement des montages en bascule, des registres et des distributeurs, ces dispositifs servant, dans la plupart des cas, de base fonctionnelle aux circuits *LSI* à très grande intégration.

Le vaste éventail des composants dont dispose l'électronique moderne permet de matérialiser différemment les mêmes fonctions d'un circuit. Pour cette raison, les auteurs ont cru indispensable de fournir des exemples de synthèse des circuits utilisant des éléments d'accumulation réalisés avec les capacités des jonctions $P-N$ des diodes et des transistors ainsi qu'avec les capacités interélectrodes des appareils à effet de champ.

Dans le livre, la place est largement faite à l'organisation des compteurs numériques. Cela tient au fait que les compteurs constituent l'élément fonctionnel le plus usité des systèmes numériques.

Deux chapitres (7e et 8e) traitent des principes de conception des décodeurs et des additionneurs réalisés en circuits intégrés numériques à niveaux.

Une place à part revient au chapitre consacré aux circuits *LSI* à très grande intégration. La distinction entre ce chapitre et les autres est qu'il n'insiste pas tant sur la spécificité des circuits aux fonctions particulières que sur les problèmes fondamentaux auxquels ont à faire face les concepteurs des circuits *LSI* à très grande intégration.

L'analyse des circuits fonctionnels dans le livre est étayée au fur et à mesure par la présentation de caractéristiques temporelles et de systèmes de paramètres électriques qui leur sont propres. Les méthodes de calcul des circuits électriques ne sont pas discutées, étant donné qu'il existe à ce sujet une littérature abondante [2, 10, 13, 23, 24].

En ce qui concerne la terminologie, les auteurs ont cherché la plupart du temps à employer les termes et les notations universellement adoptés.

C'est pour la première fois que sont exposés les résultats originaux de l'étude des échelles et des distributeurs à base des circuits multistables, fruits de longue expérience acquise par les auteurs dans le présent domaine.

Les chapitres 1,4,7 et 9 sont écrits par I. Boukréev, B. Mansourov et V. Goriatchev, les chapitres 2,3,5 et 6, par B. Mansourov et V. Goriatchev et le chapitre 8, par I. Boukréev et B. Mansourov.

Les auteurs tiennent à exprimer leur reconnaissance au docteur ès sciences A. Kalyaev, au docteur ès sciences I. Pranguichvili et au docteur-ingénieur A. Karmasinski pour leurs observations précieuses qui ont contribué à l'amélioration du livre.

Les auteurs remercient également les ingénieurs N. Lavrikova et R. Talibov pour leur aide importante dans la préparation du manuscrit.

CHAPITRE PREMIER

Principaux éléments fonctionnels des circuits intégrés

1.1. Fondements d'algèbre de logique

Notre dessein dans ces lignes étant de traiter des techniques de la synthèse des circuits logiques, des bascules, des registres et des échelles, considérons pour dégager plus facilement dans ce qui suit les lois qui régissent leur fonctionnement, les notions de base de l'algèbre de logique (algèbre booléenne) *).

L'algèbre booléenne permet non seulement de décrire les relations logiques existant entre divers organes des dispositifs numériques, mais de les transformer et, partant, de réaliser les mêmes dispositifs à partir des circuits fonctionnels élémentaires de type différent.

Etant donné qu'à l'heure actuelle les questions de l'algèbre booléenne sont explicitées avec suffisamment d'ampleur par de nombreux auteurs, nous n'en traitons ici que très succinctement, de manière à initier les lecteurs aux éléments d'algèbre de logique applicables aux circuits logiques considérés.

La notion de base de l'algèbre booléenne est celle de la fonction de commutation ou booléenne. Une fonction de la forme $f(X_1, X_2, \ldots, X_n)$ est dite de commutation ou booléenne, si elle, tout comme ses arguments $(X_1, X_2, \ldots, X_n)$, ne peut prendre que deux valeurs: 0 et 1. Le nombre de valeurs des arguments de la fonction de commutation étant limité à deux, le domaine de définition de toute fonction booléenne est toujours fini. Notons pour mémoire que la totalité des valeurs desdits arguments est appelée ensemble. Pour toute fonction booléenne de n variables, il existe un nombre $Z=2^n$ d'ensembles différents. Comme toute fonction de commutation est définie pour Z ensembles et qu'elle peut prendre uniquement deux valeurs, 0 et 1, le nombre de diverses fonctions booléennes de n variables $(X_1, X_2, \ldots, X_n)$ est égal à $2^Z = 2^{2n}$. C'est ainsi que pour $n = 1$, c.-à-d. dans le cas de la fonction booléenne d'une variable, il y a $2^2 = 4$ fonctions booléennes différentes, $Z = 2^n = 1^1$ étant le nombre d'ensembles pour lesquels la fonction est définie.

Les fonctions booléennes d'une variable (fonctions singulières), leur notation et leurs désignations sont données dans le tableau 1.1.

Il faut remarquer que la tabulation est la forme la plus avantageuse de représentation des fonctions booléennes. Chaque fonction

*) Cet outil mathématique doit son origine au mathématicien irlandais Boole, c'est pourquoi l'algèbre de logique est souvent appelée booléenne.

Tableau 1.1

Fonctions booléennes d'une variable

Fonction	Argument X		Symbole de la fonction	Désignation de la fonction
	0	1		
$f_0(X)$	0	0	0	Constante 0
$f_1(X)$	0	1	X	Variable X
$f_2(X)$	1	0	$\overline{X}$	Négation ou inversion de X (fonction NON)
$f_3(X)$	1	1	1	Constante 1

de commutation et chaque ensemble sont donc mis en rapport avec un nombre binaire.

Pour $n = 2$, c.-à-d. dans le cas de la fonction booléenne de deux variables X_1 et X_2 (fonctions binaires), il existe $2^4 = 16$ fonctions booléennes diverses dont chacune est définie pour 4 ensembles.

Les fonctions booléennes de deux variables, leur notation et leurs désignations sont résumées dans le tabl. 1.2. Notons que parmi ces 16 fonctions il y a seulement 10 à être authentiquement binaires, les six qui restent ne le sont que pour la forme et représentent soit des constantes (f_0 et f_{15}) soit des fonctions singulières, c.-à-d. qu'elles sont les répétitions (f_3 et f_5) et les négations (f_{10} et f_{12}) des variables. Les plus fréquentes des fonctions booléennes de deux variables sont f_1 (la conjonction), f_7 (la disjonction) et f_6 (la non-équivalence logique).

On voit sur le tableau 1.2 que la fonction f_7, par exemple, ne prend la valeur 1 que lorsque les variables X et Y ont la valeur 1 et qu'elle est égale à 0 quand celles-ci deviennent simultanément 0. Dans le cas du traitement des signaux, cela signifie que le signal à la sortie d'un circuit à deux entrées X et Y n'apparaît que si un signal vient s'appliquer soit à l'une de ces entrées (c.-à-d. pour $X = 1$ ou $Y = 1$) soit aux deux à la fois. L'élément qui réalise cette fonction porte le nom de circuit OU.

La fonction f_1 vaut 1 uniquement lorsque les variables X et Y sont simultanément égales à 1, soit pour un seul ensemble de 4. En revanche, elle prend la valeur 0 pour les trois ensembles restants. Or, en traitement des signaux cela conduit à un circuit à deux entrées X et Y dont le débit n'a lieu que si ses deux entrées sont au niveau 1 à la fois. Cette fonction se réalise par un élément appelé circuit ET.

Du reste des fonctions du tabl. 1.2, notons la fonction f_{12}. L'élément qui la réalise porte le nom de circuit NON. Dans le cas du traitement des signaux, cette fonction signifie que le circuit NON qui a une entrée unique X (ou Y pour f_{10}) ne pourra délivrer un signal à sa sortie qu'en l'absence du signal sur son entrée. En présence d'un 1 à l'entrée le circuit n'en aura pas à la sortie.

Fonction	Arguments X	0 0 1 1	Symbole de la fonction	Désignation de la fonction
	Y	0 1 0 1		
$f_0(X, Y)$		0 0 0 0	0	Constante 0
$f_1(X, Y)$		0 0 0 1	$X \cdot Y$	Conjonction (ET logique)
$f_2(X, Y)$		0 0 1 0	$X \Delta Y$	Inhibition de Y (non-implication)
$f_3(X, Y)$		0 0 1 1	X	Variable X
$f_4(X, Y)$		0 1 0 0	$Y \Delta X$	Inhibition de X (non-implication)
$f_5(X, Y)$		0 1 0 1	Y	Variable Y
$f_6(X, Y)$		0 1 1 0	$X \oplus Y$	Somme modulo deux
$f_7(X, Y)$		0 1 1 1	$X \vee Y$	Disjonction (OU logique)
$f_8(X, Y)$		1 0 0 0	$X \downarrow Y$	Flèche de Pierce (non-disjonction)
$f_9(X, Y)$		1 0 0 1	$X \sim Y$	Equivalence
$f_{10}(X, Y)$		1 0 1 0	$\overline{Y}$	Complément de Y (fonction NON)
$f_{11}(X, Y)$		1 0 1 1	$Y \rightarrow X$	Implication de X par Y
$f_{12}(X, Y)$		1 1 0 0	$\overline{X}$	Complément de X (fonction NON)
$f_{13}(X, Y)$		1 1 0 1	$X \rightarrow Y$	Implication de Y par X
$f_{14}(X, Y)$		1 1 1 0	X/Y	Fonction de Sheffer (non-conjonction)
$f_{15}(X, Y)$		1 1 1 1	1	Constante 1

Quelques-unes des fonctions réunies dans le tabl. 1.2 peuvent dépendre aussi d'un nombre plus grand de variables. C'est le cas, par exemple, des fonctions f_1, f_7, f_8, f_{10} et d'autres. On peut alors les écrire sous la forme:

$$\left.\begin{aligned} f_1 &= X_1 \cdot X_2 \ldots X_n\,; \\ f_7 &= X_1 + X_2 + \ldots + X_n\,; \\ f_{14} &= \overline{X_1 \cdot X_2 \ldots X_n}. \end{aligned}\right\} \quad (1.1)$$

En cas de traitement des signaux, la fonction f_1 de n variables, par exemple, sera matérialisée, par analogie avec la fonction f_1 de deux variables, par un circuit ayant cette fois n entrées qui ne fournira le signal à sa sortie qu'à condition d'en avoir simultanément sur toutes ses entrées. Si le niveau 1 manque sur l'une au moins des entrées du circuit, il n'y aura pas de signal à sa sortie. La matérialisation de cette fonction est appelée, elle aussi, circuit ET. Des cons-

tatations similaires peuvent être faites également pour le reste des fonctions (1.1). En nous reportant au tabl. 1.2, nous pouvons remarquer que certaines des fonctions représentées sont dérivables des autres par substitution d'une fonction booléenne à une autre ou par renumérotation (changement de nom) des arguments des fonctions booléennes. Une telle opération est dite superposition. C'est ainsi que la fonction f_{13} peut être obtenue à partir de la fonction f_{11} en changeant le nom de X, c.-à-d. en permutant les variables X et Y. Il est possible de déduire la fonction f_{14} (trait de Sheffer) de la fonction f_{12} par substitution à la variable X d'une autre fonction booléenne f_1.

La méthode de superposition permet d'obtenir des fonctions booléennes plus compliquées. La question qui se pose à cette occasion est de savoir s'il existe un ensemble des fonctions booléennes plus simples dont on peut dériver une fonction booléenne quelconque, si compliquée soit-elle. Cette question est liée à l'un des concepts fondamentaux de l'algèbre booléenne, celui de la plénitude fonctionnelle du système de fonctions booléennes.

Un système de fonctions booléennes est dit plein lorsqu'il permet par la seule opération de superposition d'en former n'importe quelle fonction booléenne. On peut citer plusieurs systèmes de fonctions booléennes possédant la plénitude fonctionnelle.

L'un de ces systèmes est le système A qui comporte trois fonctions booléennes:

$$A\begin{cases} f_1 = X \cdot Y\text{-conjonction,} \\ f_7 = X + Y\text{-disjonction,} \\ f_{12} = \overline{X} \quad \text{-négation.} \end{cases}$$

Dans le cas général, l'une des fonctions appartenant au système ci-dessus, à savoir disjonction ou conjonction, est redondante, car son élimination n'affecte pas la plénitude fonctionnelle du système.

En effet, à côté de ce système, la plénitude fonctionnelle est possédée par des systèmes de fonctions booléennes de la forme B et C qui ne contiennent que deux fonctions:

$$B\begin{cases} f_7 = X + Y \\ f_{12} = \overline{X}; \end{cases}$$

$$C\begin{cases} f_1 = X \cdot Y \\ f_{12} = \overline{X}. \end{cases}$$

Les systèmes B et C jouissent de la plénitude fonctionnelle par le fait que les opérations de conjonction et de disjonction manquant respectivement au système B et au système C s'obtiennent à partir de deux fonctions disponibles en accord avec les règles de l'algèbre de logique.

On peut enfin faire mention des systèmes composés d'une fonction unique qui ont, eux aussi, la plénitude fonctionnelle. L'exemple en

est la fonction de Sheffer, $f_{14} = X/Y = \overline{X \cdot Y}$, et celle de flèche de Pierce, $f_8 = \overline{X + Y}$. Les fonctions de disjonction, de conjonction et de négation qui font défaut à ces systèmes peuvent être formées en partant des règles classiques de l'algèbre de logique.

Il existe de même d'autres systèmes qui possèdent la plénitude fonctionnelle.

1.1.1. Axiomes de l'algèbre de logique

Après nous être fait une idée des opérations principales sur les variables qui sont la conjonction, la disjonction et la négation, passons à l'examen des règles ou axiomes de l'algèbre de logique qui régissent ces opérations et dont voici les principales:

1) $\overline{\overline{X}} = X$ est la loi de la double négation;

2) $\overline{1} = 0$
3) $\overline{0} = 1$ } sont les constantes;

4) $X \cdot Y = Y \cdot X$ est la loi commutative de la multiplication;

5) $X\,(Y\,Z) = X \cdot Y \cdot Z$ est la loi associative de la multiplication;

6) $X \cdot X = X$ est la loi de l'identité de la multiplication;

7) $1 \cdot X = X$ est la loi de la multiplication par unité;

8) $0 \cdot X = 0$ est la loi de la multiplication par zéro;

9) $X + Y = Y + X$ est la loi commutative de l'addition;

10) $X + (Y + Z) = (X + Y) + Z$ est la loi associative de l'addition;

11) $X + X = X$ est la loi de l'identité de l'addition;

12) $1 + X = 1$ est la loi de l'addition avec unité;

13) $0 + X = X$ est la loi de l'addition avec zéro;

14) $X\,(Y + Z) = XY + XZ$ est la première loi distributive;

15) $X + YZ = (X + Y)\,(X + Z)$ est la deuxième loi distributive;

16) $X + XY = X$
17) $X\,(X + Y) = X$ } sont les lois de l'absorption;

18) $\overline{X \cdot Y} = \overline{X} + \overline{Y}$
19) $\overline{X + Y} = \overline{X} \cdot \overline{Y}$ } sont les lois de l'inversion;

20) $X + \overline{X} = 1$ est la loi du tiers exclu;

21) $X \cdot \overline{X} = 0$ est la loi de la contradiction.

Les règles ne sont pas démontrées, il est pourtant facile au lecteur de les vérifier en portant les valeurs 0 et 1 des variables dans les premier et second membres des équations ci-dessus.

Quoiqu'elles soient loin d'épuiser la liste des équations booléennes, les règles énoncées n'en sont pas moins principales et importantes à connaître la technique de transformation des fonctions booléennes. Physiquement, les fonctions sont réalisables sous la forme de circuits électroniques. Les plus simples d'entre eux servant à matérialiser les fonctions booléennes élémentaires (NON, ET, OU, OU-NON, ET-NON) sont appelés éléments logiques. Le présent ouvrage

ayant pour objectif la description des circuits intégrés numériques, dans l'exposé suivant la prépondérance sera donnée aux circuits logiques commandés par niveaux comme à leurs transpositions qui ont trouvé leur application très large dans la technique des circuits intégrés.

Les chapitres qui suivent font la description des dispositifs numériques, notamment au niveau des circuits fonctionnels (CF). Aussi, les figures représentant les schémas de principe des circuits intégrés standards, décrits au chapitre 1, portent-elles les symboles fonctionnels appropriés.

Le symbolisme de base est celui adopté dans le système intégral de documentation technologique (SIDT). Selon le SIDT, tout élément logique est désigné par un rectangle affecté intérieurement d'un symbole caractéristique de la fonction qu'il réalise. C'est ainsi que le symbole & (and) traduit la fonction ET, le symbole 1 la fonction OU.

L'inversion en entrée (en sortie) de l'élément fonctionnel est marquée par un cercle placé en amont (en aval) du rectangle. Les bascules sont, elles aussi, désignées par un rectangle portant une lettre représentative du type de la bascule.

1.2. Circuits intégrés numériques commandés par niveaux

Dans la variété des éléments logiques existants (commandés par niveaux, par impulsions, mixtes) les éléments et circuits logiques commandés par niveaux constituent une classe étendue. Les éléments et circuits commandés par niveaux se distinguent des circuits impulsionnels et mixtes par le couplage conductif existant entre les entrées et les sorties des éléments. Une distinction des circuits de cette classe encore à noter est qu'ils sont commandables et peuvent commander les autres à l'aide de signaux de durée limitée (signaux impulsionnels) comme infinie (signaux à niveaux).

Dans le cas général, ce qui vient d'être dit n'interdit pas l'utilisation dans ces circuits de composants réactifs, c.-à-d. d'inductances et de capacités. Ces derniers jouent normalement un rôle secondaire. C'est toutefois la possibilité de synthèse des circuits intégrés, plus ou moins compliqués, sans faire appel aux composants réactifs, qui différencie avantageusement cette classe de circuits des autres, étant donné que leur fabrication se trouve parfaitement adaptée à la technologie micro-électronique.

Les circuits intégrés (CI) commandés par niveaux sont les plus répandus en micrologique. La concentration des composants dans les CI et la complexité des fonctions qu'ils réalisent vont toujours croissant. Malgré la grande variété de circuits intégrés commandés par niveaux, la technique de leur synthèse repose sur un certain nombre d'éléments fonctionnels standards, dits de base. Les paramètres qui doivent être considérés comme représentatifs des possibilités

logiques et structurales des éléments fonctionnels de base sont les suivants :

— fonction logique réalisable ;

— facteur de charge de sortie *) (n_{ch}) traduisant la possibilité de connecter un certain nombre de circuits intégrés identiques à la suite d'un élément donné ;

— facteur de charge d'entrée (m) m_{ET} : pour la réalisation de la fonction logique ET, m_{OU} pour celle de la fonction logique OU ;

— retard moyen de transmission du signal τ_{moy} (demi-somme des retards de transmission des signaux 1 et 0 de l'entrée à la sortie du CI) ;

— fréquence de travail limite f_t (fréquence d'inversion de la bascule constituée par des CI logiques donnés) ;

— tenue aux parasites ;

— consommation de puissance.

Selon la nature de la fonction logique qu'ils réalisent, les éléments fonctionnels des circuits intégrés peuvent être conventionnellement répartis en deux classes.

La première classe comporte les éléments fonctionnels de la logique à niveau unique. Ce sont les circuits logiques les plus simples qui réalisent les fonctions ET, OU, NON, ET-NON, OU-NON.

La seconde classe contient les éléments fonctionnels de la logique à double niveau appelés à exécuter des fonctions plus compliquées : ET-OU, OU-ET, NON-ET-OU, ET-OU-NON, ET-OU-ET et d'autres.

Le **facteur de charge de sortie** des éléments logiques n_{ch} détermine le nombre d'entrées dont disposent les éléments identiques et qu'on peut raccorder à la sortie de chacun d'entre eux. Il implique une transmission fidèle de caractères binaires 0 et 1, effectuée dans un dispositif numérique par un circuit composé d'un nombre quelconque d'éléments série, les agents déstabilisateurs étant réunis de façon la plus défavorable. Ces agents déstabilisateurs peuvent être : variation des tensions d'alimentation, dispersion des paramètres des composants, changement de température, etc.

Le facteur de charge de sortie n_{ch} est souvent appelé rapport de la pyramide qui, appliqué à la logique, se traduit par un entier positif (n_s = 4, 5, 7, 10, etc.). Plus élevé est le facteur de charge de sortie des éléments logiques intégrés, plus riches ils sont de possibilités logiques et moins nombreux sont les composants à utiliser pour la synthèse d'un dispositif numérique. Pourtant, la valeur du paramètre n_{ch} ne peut pas dépasser une certaine limite sous peine de compromettre d'autres caractéristiques du circuit intégré : la rapidité de fonctionnement baisse, la tenue aux parasites se détériore et la consommation de puissance augmente. C'est la raison pour laquelle une même famille de circuits intégrés contient souvent des éléments logiques de facteur de charge différent, comme les éléments logiques principux avec n_{ch} = 4 à 10 et les éléments tampons, soi-disant am-

*) Facteur pyramidal (*N.D.T.*).

plificateurs de puissance, avec $n_{ch} = 20$ à 50. Cela permet d'assouplir la conception des dispositifs numériques de manière à optimaliser leur consommation électrique et la quantité de circuits logiques dont ils seront équipés.

En règle générale, les éléments tampons comportent une sortie complexe par transistors, ce qui les rend capables de commuter de forts courants de charge. Suivant leur schéma électrique, les éléments fonctionnels de base fonctionnent normalement de manière que les entrées de charge absorbent le courant provenant de la sortie d'un élément amont ou que la sortie de l'élément s'alimente sur les entrées de charge des éléments aval.

Il existe des circuits logiques qui dans un état logique débitent sur la charge et dans l'autre en reçoivent le courant.

Les éléments fonctionnels des circuits intégrés MOS présentant à l'entrée une résistance de forte valeur ($R_e > 10^{12}\ \Omega$) ne délivrent pratiquement le courant sur la charge au régime statique ni ne le consomment sur celle-ci. Leur facteur de charge de sortie est élevé ($n_{ch} > 10$) et ne peut pas augmenter davantage à cause seulement de la détérioration des paramètres dynamiques des circuits intégrés MOS due à la croissance des constantes de temps de charge et de décharge de la capacité parasite ($C_{p.ch.}$) dans le circuit de charge pour des valeurs élevées de n_{ch}, étant donné que

$$C_{p.\,ch.} = C_{e.\,él.} \cdot n_{ch} + C_s ,$$

où $C_{e.él.}$ est le facteur d'entrée d'un seul élément logique, C_s est le facteur de sortie de l'élément logique.

En fonction de la gamme des fréquences utiles des circuits logiques MOS, leur facteur de charge de sortie peut varier dans de larges limites: $n_{ch} = 10$ à 100.

Le **facteur de charge d'entrée** (m) caractérise le nombre maximum d'entrées logiques d'un élément fonctionnel. L'augmentation du paramètre m multiplie les possibilités logiques d'un circuit du fait qu'un seul élément standard ET-NON, OU-NON, etc., s'en trouve capable d'exécuter les fonctions dépendant d'un nombre accru de variables. Pourtant, l'amélioration de m s'effectue en général au détriment des autres paramètres de l'élément fonctionnel, comme la rapidité de fonctionnement, la résistance aux parasites et le facteur de charge de sortie.

Au point de vue de l'aptitude à l'augmentation du facteur de charge à l'entrée ET (m_{ET}) ou à l'entrée OU (m_{OU}) les circuits logiques se distinguent d'une façon appréciable d'un type à l'autre. C'est ainsi que pour les circuits intégrés, dans lesquels une fonction du premier niveau logique est réalisée par les diodes ou les jonctions émettrices d'un transistor à plusieurs émetteurs, la multiplication des entrées ne conduit pas à des frais supplémentaires sensibles. D'autre part, les circuits dans lesquels une fonction du premier niveau logique s'effectue par les transistors vont demander, pour faire croître le paramètre m_{ET} ou m_{OU}, une augmentation considé-

rable du nombre de composants intégrés. Les difficultés deviennent particulièrement importantes avec l'augmentation du paramètre m_{OU} ou m_{ET} dans les circuits intégrés utilisant les transistors MOS complémentaires (voir par. 1.3).

Dans les familles existantes de circuits intégrés, les éléments logiques de base sont le plus souvent dotés d'une petite quantité d'entrées ($m_{ET} = 2$ à 6, $m_{OU} = 2$ à 4). La multiplication des entrées s'obtient par l'adjonction à une famille de circuits intégrés d'un « extenseur logique » spécial qui, raccordé au circuit principal, permet de porter m_{ET} ou m_{OU} à 10 et au-delà.

Paramètres dynamiques des éléments logiques. Les principaux en sont les suivants:

τ_{f1} est la durée d'établissement du niveau de 1 logique;

τ_{f0} est la durée d'établissement du niveau de 0 logique;

τ_{10} est le retard de basculement de l'état 1 à l'état 0:

τ_{01} est le retard de basculement de l'état 0 à l'état 1;

τ_{i} est la durée d'impulsion;

f_{u} est la fréquence utile.

La détermination de ces paramètres s'opère par confrontation des signaux d'entrée et de sortie de l'élément logique, c.-à-d. en étudiant le phénomène de transmission de l'information à travers l'élément logique.

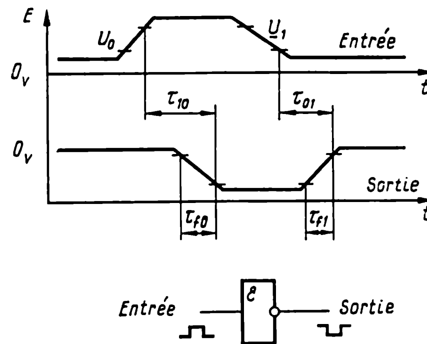


Fig. 1.1. Détermination des paramètres dynamiques d'un élément logique

La fig. 1.1 représente les caractéristiques des signaux à l'entrée et à la sortie de l'élément logique (inverseur) ainsi que les niveaux de tension servant d'origines des paramètres dynamiques. Les origines des paramètres dynamiques de l'élément logique sont (en logique positive) le niveau maximum de 0 logique et le niveau minimum de 1 logique. Le retard de basculement τ_{10} se définit comme le temps séparant le niveau 1 du flanc de montée de l'impulsion d'entrée (impulsion positive) et le niveau 0 du flanc de descente de l'impulsion de sortie (impulsion négative). Le retard de basculement τ_{01} se traduit par le temps écoulé entre le niveau 0 du flanc de descente de l'impulsion d'entrée et le niveau 1 du flanc de montée de l'impulsion de sortie. Les flancs d'impulsion situés entre les niveaux 1 et 0 de la descente et 0 et 1 de la montée de l'impulsion sont désignés respectivement par τ_{f0} et τ_{f1}. La durée de l'impulsion à la sortie de l'élément est donnée par le temps compris entre le flanc τ_{f0} et le flanc τ_{f1} au niveau de 1. Le retard moyen τ_{moy} introduit par un élément logique se détermine comme étant la demi-somme des retards $\tau_{1\,0}$ et $\tau_{0\,1}$;

il sert de moyenne de la rapidité de fonctionnement utilisable pour le calcul des caractéristiques temporelles des circuits logiques série à plusieurs éléments. Le paramètre τ_{moy} figure parmi les normes techniques pour la micrologique intégrée. Pour simplifier le calcul des caractéristiques temporelles des circuits logiques complexes, les signaux sont souvent supposés être rectangulaires, d'où $\tau_{f0} = \tau_{f1} = 0$. Dans les chapitres qui suivent nous retrouverons cette simplification, notamment lorsqu'il s'agira de la rapidité de fonctionnement des bascules, des bascules symétriques, des registres et des échelles.

Tenue aux parasites. Un élément de base du circuit intégré au régime statique peut se trouver dans l'un des deux états possibles (0 ou 1). C'est pour cette raison que l'on distingue la tenue aux parasites statique des circuits intégrés au niveau 0 (U_{p0}) et celle au niveau 1 (U_{p1}). La tenue aux parasites statique des éléments de base des CI fixe la tension qui peut s'appliquer à l'entrée du circuit intégré par rapport au niveau 0 ou 1 sans provoquer la fausse manœuvre (par exemple, la transition entre 1 et 0 ou inversement).

Les valeurs des paramètres U_{p0} et U_{p1} sont connues par l'analyse de la famille des courbes de transfert des éléments fonctionnels des circuits intégrés. La fig. 1.2 qui donne les courbes de transfert d'un élément fonctionnel réalisant l'opération de négation (fonction d'inversion) fait voir les points par rapport auxquels on détermine la tenue aux parasites statique de circuit aux niveaux 0 (U_{p0}) et 1 (U_{p1}). Le paramètre U_{p0} se définit comme la différence entre le niveau de tension en point A qui est celui de changement de courbure de la courbe de transfert inférieure et le niveau maximum de 0 ($\overline{U}_0$). Le paramètre U_{p1} se traduit par la différence du niveau minimum de 1 ($\underline{U}_{p1}$) et de la tension en point B qui est celui de changement de courbure de la courbe de transfert supérieure. Les courbes de transfert supérieure et inférieure représentent les enveloppes d'une famille des courbes de transfert de l'élément inverseur ramenées à des « conditions les moins favorables de son fonctionnement » telles que variations de température, de tensions d'alimentation, de charge, etc. La tenue aux parasites au régime statique ne renseigne pourtant pas d'une manière exhaustive sur la stabilité de fonctionnement de l'élément dans un dispositif, étant donné qu'elle n'est pas caractéristique de la résistance aux parasites au régime de fonctionnement dynamique.

La tenue aux parasites dynamique, c.-à-d. au régime dynamique, est fonction de la durée, de l'amplitude et de la forme du signal parasite; elle dépend également du niveau de la tenue aux parasites statique et de la vitesse de commutation de l'élément fonctionnel de base. Soumis aux impulsions parasites brèves, les circuits possédant une tenue aux parasites statique et une rapidité de fonctionnement basses peuvent présenter une immunité contre les parasites plus grande que les circuits dotés d'une tenue aux parasites statique et d'une rapidité de fonctionnement assez élevées. En d'autres termes, la haute tenue aux parasites au régime statique d'un élément fonction-

nel n'est pas significative de la même qualité au régime dynamique.

L'analyse de la tenue aux parasites dynamique des circuits intégrés implique l'emploi d'un élément de mémoire tel que bascule réalisée à partir des éléments fonctionnels de base, étant donné que c'est la bascule qui traduit la transformation du bruit en fausse information. En faisant varier l'amplitude et la durée des impulsions parasites agissant sur les entrées de la bascule jusqu'à produire son basculement, on peut délimiter la tenue aux parasites dynamique des éléments fonctionnels en cas de sollicitations impulsionnelles

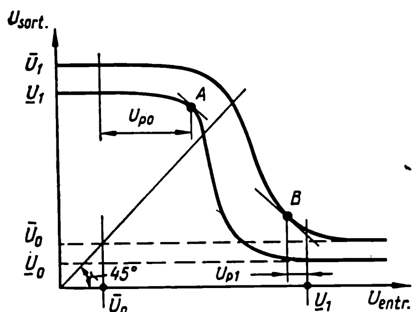


Fig. 1.2. Courbes de transfert d'un élément logique NON

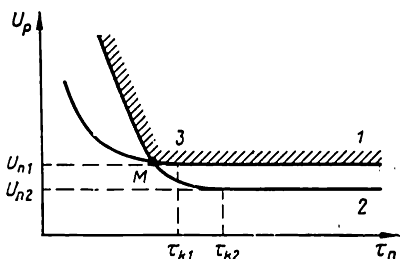


Fig. 1.3. Courbes de tenue aux parasites au régime dynamique des éléments logiques:

1 — rapide; 2 — lent; 3 — zone d'instabilité

parasites de forme différente. L'analyse du comportement de la bascule peut aboutir à une définition graphique de la zone de tenue aux parasites dynamique des éléments fonctionnels. L'exemple en est les courbes de la fig. 1.3 établies pour les éléments de grande (1) et de petite (2) rapidité de fonctionnement. La durée d'impulsion parasite est portée en abscisse et son amplitude, en ordonnée. Lorsque les impulsions parasites ont des durées importantes, la zone de tenue aux parasites dynamique est fonction du niveau de la tenue aux parasites statique de l'élément.

Peut être appelée durée critique de l'impulsion parasite τ_{cr} la durée d'une impulsion parasite dont l'amplitude correspond au niveau de la tenue aux parasites statique de l'élément. Dans le cas des parasites impulsionnels de formes diverses (sinusoïdale, rectangulaire, etc.) la valeur de τ_{cr} est différente pour un même élément. Les éléments fonctionnels lents possèdent généralement une durée critique de l'impulsion parasite très supérieure à celle des éléments rapides.

Comme le font voir les caractéristiques de tenue aux parasites dynamique représentées fig. 1.3, à droite du point d'intersection des courbes (point M) l'élément rapide assure une stabilité de fonctionnement plus grande, tandis qu'à gauche du point M c'est l'élément lent qui offre une meilleure stabilité. La difficulté que l'on trouve

à établir la famille des courbes de tenue aux parasites dynamique interdit actuellement de les inclure à titre principal ou indicatif dans la spécification technique pour les circuits intégrés.

Consommation de puissance. Dans les conditions opératoires pratiques chaque circuit logique peut se trouver dans l'un des états suivants:

— « repos »;
— stade de transition vers l'état « travail »;
— « travail »;
— stade de transition vers l'état « repos ».

Dans chacun de ces états, la consommation de l'élément sur la source est différente. Il est à noter à ce propos que, selon leur type, certains éléments logiques absorbent une puissance plus grande dans les états statiques « travail » et « repos » et une puissance relativement faible pendant les transitions de l'état « travail » vers l'état « repos » et inversement. D'autres, au contraire, ont pour caractère de prélever plus de puissance lors des transitions et relativement peu aux états statiques. Les premiers de ces circuits se caractérisent par la soi-disant consommation de puissance moyenne, donnée par l'expression

$$P_{moy} = \frac{1}{2}(P_0 + P_1),$$

où P_1 est la puissance consommée par le circuit dans l'état « travail » et P_0, celle qu'il absorbe dans l'état « repos ».

Cette définition de la consommation de puissance devient possible du fait que la consommation du circuit pendant les transitions est très inférieure à la consommation dans l'un des états statiques et ne la dépasse généralement pas.

Les circuits logiques d'un autre genre sont caractérisés, en plus de la consommation de puissance moyenne, par la consommation de puissance moyenne à fréquence maximum de commutation de l'élément. L'évaluation supplémentaire de la consommation de puissance dans le cas de ces circuits s'impose par le fait que dans les transitions la croissance brutale des courants d'alimentation entraîne celle de la puissance absorbée.

Parmi les circuits dont la consommation de puissance dépend de la fréquence, il faut mentionner en premier lieu ceux à sortie symétrique par transistors ainsi que ceux réalisés avec des transistors MOS complémentaires. Suivant la consommation de puissance, les circuits intégrés peuvent être classés:

— en circuits logiques puissants, 25 mW $< P_{moy} <$ 250 mW;
— en circuits de puissance moyenne, 3 mW $< P_{moy} <$ 25 mW;
— en circuits de faible puissance, 0,3 mW $< P_{moy} <$ 3 mW;
— en circuits de puissance micromique, 1 μW $< P_{moy} <$ 300 μW;
— en circuits de puissance nanomique, $P_{moy} <$ 1 μW.

Les circuits logiques à forte consommation de puissance se distinguent par la plus grande rapidité de fonctionnement et trouvent

leur application dans les calculateurs à grande vitesse de traitement. Les calculateurs pour lesquels la rapidité n'est pas déterminante font appel à des circuits de puissance faible et micromique. Réduire la consommation de puissance des circuits intégrés sans sacrifier leur rapidité de fonctionnement est un des problèmes les plus importants de la micro-électronique. La solution de ce problème comporte une recherche persistante de méthodes nouvelles et efficaces d'étude et de fabrication des microcircuits reposant sur les progrès récents de la technologie et de la théorie de la synthèse des circuits.

Actuellement, deux voies se sont ébauchées dans l'évolution de la micro-électronique de puissance micromique. La première d'entre elles conduit à réduire de plus en plus la consommation de puissance par la création d'une logique capable de fonctionner avec un minimum admissible de courant et de tension. Cette voie s'est avérée particulièrement adaptée à la technologie des circuits à transistors bipolaires où l'on doit accepter un compromis entre la rapidité des éléments et leur puissance, la vitesse de commutation des éléments étant fonction du courant nécessaire pour charger les capacités dont dispose le circuit. La difficulté que l'on trouve dans cette voie consiste essentiellement à réaliser des éléments actifs présentant de grands gains de puissance pour des courants de polarisation au-dessous de 1µA et qui couvrent une plage de températures étendue.

La seconde voie est orientée vers les éléments qui consomment la puissance uniquement au régime de commutation et ne l'absorbent pratiquement pas en état statique pour maintenir l'un ou l'autre des niveaux logiques. On a constaté que 1 % au plus des éléments actifs d'un calculateur complexe font l'objet de la commutation pendant une impulsion d'horloge. Aussi, l'emploi d'un circuit qui ne consomme une faible puissance qu'au cours de la commutation aboutit-il à réduire à 100 % la puissance nécessaire à l'ensemble [9].

A titre d'exemple, on peut citer les circuits intégrés à transistors MOS complémentaires qui ont pour caractère d'absorber une puissance réduite au régime statique et de présenter une rapidité de fonctionnement et une tenue aux parasites élevées.

1.2.1. Logique intégrée à niveau unique

Suivant leur morphologie, les circuits intégrés commandés par tension de la logique à niveau unique peuvent se répartir comme suit :

— circuits intégrés résistance-transistor (*RTL*) *);

— circuits intégrés à transistors à couplage direct entre éléments logiques (*DCTL*);

— circuits intégrés à transistors à couplage par résistance entre éléments logiques (*TRL*);

— circuits intégrés à transistors à couplage résistance-capacité entre éléments logiques (*RCTL*);

*) Les sigles adoptés ici pour désigner divers types de circuits intégrés sont en usage international.

— circuits intégrés diode-transistor (*DTL*) ;

— circuits intégrés à transistors à couplage par émetteur entre éléments logiques (*ECL*).

Circuits intégrés résistance-transistor (*RTL*). Historiquement, les circuits intégrés du type *RTL* sont parmi les premiers en date dans la micro-électronique. La simplicité relative de la technologie de ces circuits a permis de réaliser une logique intégrée de complexité moyenne avec une technique de fabrication assez rustique.

La fig. 1.4 représente les schémas fonctionnel et électrique d'un circuit intégré du type *RTL* qui réalise l'opération OU-NON. Dans ce circuit, l'opération OU s'effectue par le réseau de résistances, le transistor faisant fonction d'amplificateur inverseur.

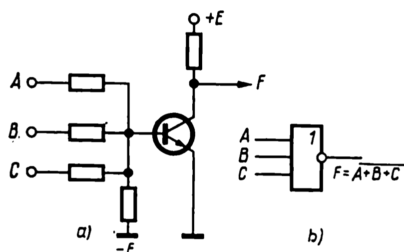


Fig. 1.4. Circuit logique *RTL* :
a — circuit OU-NON ; *b* — son symbole fonctionnel

L'inconvénient du circuit est essentiellement d'exiger pour sa partie passive des résistances de haute précision et de grande stabilité. Or, il est technologiquement assez difficile de satisfaire ces conditions par des circuits intégrés dont les résistances diffusées souffrent d'une dispersion importante de valeurs (>10 %) à laquelle s'ajoute une mauvaise stabilité thermique. Aussi, ces circuits sont-ils plus fréquents sous forme hybride à film mince. Les valeurs nominales des résistances à film mince peuvent être obtenues avec une précision élevée (5 à 10 % et 1 à 0,5 % respectivement sans et avec ajustement).

Dans les éléments *RTL*, la partie résistive du circuit conduit en permanence un courant considérable (dans les deux états logiques de l'élément) d'où une forte consommation du circuit intégré. Etant donné le faible découplage électrique des entrées, le circuit possède une mauvaise tenue aux parasites. Les grandes constantes de temps de charge et de décharge de la capacité de base du transistor d'amplification dues aux résistances de hautes valeurs aux entrées entraînent une baisse de rapidité de fonctionnement des circuits *RTL* ($\tau_{moy} > 2{,}0$ µs ; $f_{tr} \leqslant 100$ kHz). La qualité combinatoire des circuits intégrés du type *RTL* est très mauvaise en raison des valeurs réduites du facteur de charge de sortie ($n_{ch} \leqslant 3$) et du facteur de charge d'entrée ($m_{OU} \leqslant 3$) de l'élément de base. De ce fait, la synthèse des organes numériques, même peu compliqués, à partir des circuits intégrés *RTL* en demande un nombre considérable, ce qui vient restreindre sensiblement leur emploi. L'évolution de la technologie intégrée a produit universellement l'abandon des circuits *RTL* au profit de la logique intégrée à transistors.

Il est à noter que l'élément *RTL* schématisé fig. 1.4 peut s'utiliser en deux modes logiques. Pour un niveau élevé de signal repré-

sentatif de 1 logique l'élément fonctionne en soi-disant logique positive. Si, d'autre part, la valeur de 1 se traduit par un niveau bas, il s'agit du fonctionnement de l'élément en logique négative. Dans ce cas, l'élément logique en question, au lieu de l'opération OU-NON, réalise l'opération ET-NON. Une telle transformation de la logique des éléments, selon la polarité du signal significative de 1 logique, est caractéristique également de tous les autres types de circuits commandés par niveaux.

Circuits intégrés à transistors à couplage direct, à couplage par résistance et à couplage résistance-capacité (*DCTL*, *TRL*, *RCTL*). Les circuits intégrés à transistors à couplage direct constituent l'une des orientations principales de la technique de synthèse des circuits. Cette organisation se rencontre le plus souvent dans les circuits intégrés reposant sur la technologie MOS dont nous parlerons plus en détail dans les pages qui terminent le présent chapitre. Les circuits intégrés à transistors à couplage direct réalisés avec des transistors bipolaires méritent d'être détaillés suffisamment.

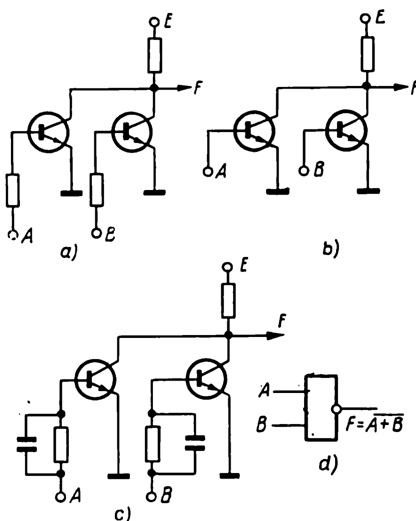


Fig. 1.5. Circuits logiques à transistors:

a — *TRL*; *b* — *DCTL*; *c* — *RCTL*; *d* — symbole fonctionnel des circuits OU-NON

La fig. 1.5 représente le schéma de l'élément logique du type *DCTL* exécutant la fonction OU-NON. Les circuits *DCTL* ont ceci de particulier que leurs paramètres sont fort influencés par la dispersion des caractéristiques d'entrée des transistors. Compte tenu de la dispersion des caractéristiques d'entrée des transistors, le fonctionnement normal des circuits *DCTL* impose des courants de collecteur importants, ce qui conduit à une dissipation thermique considérable. Quoique dotés d'un facteur m de forte valeur ($m \geqslant 8$), les circuits *DCTL* n'offrent pas de facteur de charge de sortie élevé ($n \leqslant 4$) et leur niveau d'antiparasitage est bas ($U_p = 0,1$ à 0,15 V). Un avantage des circuits *DCTL* à noter est leur grande rapidité de fonctionnement: $\tau_{moy} = 5$ à 10 ns; $f_{tr} = 10$ à 20 MHz.

Les circuits à transistors encore plus performants ont pu être réalisés sous forme d'une logique intégrée à couplages compensés entre les éléments (circuits *TRL* et *RCTL*). Le fait de placer des résistances compensatrices dans les bases des transistors intégrés a permis une réduction importante des courants d'utilisation dans les circuits *TRL*. Les éléments *TRL* ont servi de base à des familles de

circuits intégrés de puissance micromique ($P_{moy} \leqslant$ µW/porte). L'adjonction des résistances compensatrices, pour être la cause d'un abaissement notable de la rapidité de fonctionnement limite des circuits *RTL* (τ_{moy} = 30 à 50 ns), leur a pourtant conféré des paramètres n et m de haute valeur ($n_{ch} \geqslant 4$ et $m \geqslant 8$). En vue d'accroître la rapidité des éléments *TRL*, leurs résistances de base ont été mises en dérivation sur des capacités de forçage (voir fig. 1.5). Les circuits de ce type sont appelés circuits *RCTL*. Pour les mêmes paramètres $n_{ch} \geqslant 4$ et $m \geqslant 8$, la limite supérieure de rapidité des circuits intégrés *RCTL* est montée à τ_{moy} = 10 à 15 ns.

Or, quoique manifestement avantageux, les circuits *RCTL* n'ont pas pu se généraliser en raison de la difficulté que l'on trouve à les fabriquer, la formation des capacités dans les circuits solides posant des problèmes délicats. Les condensateurs réalisés à partir des jonctions *P-N* court-circuitées, en plus de tenir trop de place dans les microcircuits, ont des caractéristiques sensiblement dispersées, ce qui fait diminuer le niveau d'intégration et le taux de circuits intégrés reçus bons par le Service de Qualité.

Extension des possibilités fonctionnelles des circuits intégrés. Comme on a pu le voir, les possibilités fonctionnelles des circuits intégrés se déterminent par la fonction logique qu'ils réalisent et les capacités de chargement des éléments tant à l'entrée (facteur m) qu'à la sortie (facteur n). Dans la logique à transistors ce sont les circuits *TRL* qui ont le facteur de charge de sortie le plus élevé: m = 8 à 12 et n_{ch} = 4 à 5. Pourtant, la synthèse des organes numériques concrets impose que le paramètre n_{ch} de certains circuits intégrés soit augmenté jusqu'à 16 à 20, le paramètre m pouvant varier entre 1 et 12. Il est intéressant de connaître la répartition du paramètre m relevée par les ingénieurs de recherche de la firme *IBM* (USA) sur la totalité des circuits intégrés faisant partie de l'ensemble de calcul *IBM* 360.

Ils ont constaté que les circuits intégrés avec le paramètre m = 1 à 2 constituent 40 % ; m = 3 à 4, 30 % ; m = 5 à 6, 16 % ; m = = 7 à 8, 7 % ; m = 9 à 10, 9 % ; $m > 10$, 3 % [3].

Ainsi, il faut être conscient du fait qu'un dispositif numérique nécessite des circuits intégrés à nombre différent d'entrées logiques sans oublier pour autant qu'il existe des groupes de circuits intégrés ayant un taux d'utilisation élevé. C'est là la raison pour laquelle certaines familles de circuits intégrés sont complétées par des extenseurs logiques. La fig. 1.6 *a* montre le schéma de l'extenseur logique pour les circuits intégrés *TRL*, réalisé sous forme d'un circuit passif OU qui, raccordé aux collecteurs du circuit principal, permet une augmentation du paramètre m. Le nombre d'entrées supplémentaires (m_{max}) est limité supérieurement par la somme des courants de fuite des transistors bloqués traversant la résistance de charge commune du circuit principal. La valeur de m_{max} se détermine compte tenu du niveau minimum possible de la tension représentative de 1 logique à la sortie du circuit intégré.

La connexion d'un extenseur au circuit logique de base produit une augmentation de la capacité de sortie du circuit intégré (C_s) et, partant, une certaine décroissance de la rapidité de fonctionnement de celui-ci.

En vue d'accroître le facteur de charge de sortie, on introduit dans la famille de circuits intégrés un circuit tampon monté en amplificateur de puissance (fig. 1.6 *b*). Afin de conférer à l'amplificateur tampon une rapidité élevée qui soit compatible avec celle des circuits principaux de la famille, on utilise une sortie symétrique par transistors. Les amplificateurs tampons assurent un facteur de charge $n_{ch} > 20$ et débitent sur une charge capacitive importante allant jusqu'à $C_{ch} > 100$ pF (la capacité qui charge la porte principale *TRL* est généralement limitée à 30 pF). Le circuit tampon est capable aussi bien de stricte amplification que d'opérations logiques grâce au montage parallèle de *m* transistors à l'entrée et à la sortie, comme c'est le cas de la fig. 1.6 *b*.

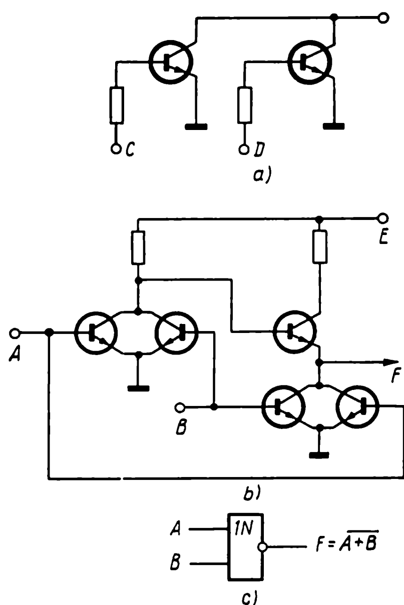


Fig. 1.6. Extenseurs logiques:
a — extenseur OU; *b* — amplificateur tampon OU-NON; *c* — son symbole fonctionnel

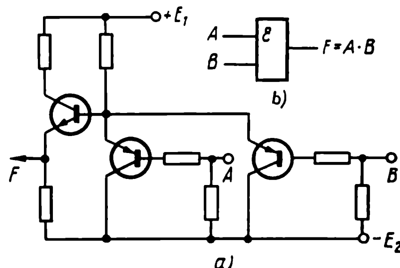


Fig. 1.7. Circuit logique *CRTL*:
a — circuit ET; *b* — son symbole fonctionnel

La logique intégrée à transistors est largement utilisée dans l'équipement numérique de rapidité moyenne et réduite, caractérisé par une faible consommation électrique.

L'un des développements récents des circuits intégrés sont les circuits *CTRL* à transistors de types complémentaires (*P-N-P* et *N-P-N*) (*CTRL* — complementary transistor resistive logic). Le schéma électrique général de l'élément *CTRL* de base est donné fig. 1.7. Cet élément représente un amplificateur transistorisé à deux étages dont le premier utilise un transistor *P-N-P* monté en émetteur commun et le second, un transistor *N-P-N* monté en collecteur commun. L'élément réalise à sa sortie la fonction ET. Le

fait d'avoir une sortie émettodyne confère à la logique intégrée *CTRL* un facteur de charge de sortie et une rapidité de fonctionnement élevés ($n_{ch} \geqslant 10$, $m > 8$ et $\tau_{moy} = 5$ à 6 ns).

Alimenté en deux tensions de signe contraire ($+ E_1$ et $-E_2$), le circuit *CTRL* jouit d'une bonne tenue aux parasites grâce à une grande translation des niveaux logiques de tension ($U_1 - U_0$) allant jusqu'à 3 *V*.

Avec les circuits *CTRL*, il est aisé de réaliser la logique à double niveau ET-OU. On y arrive en chargeant les sorties émettodynes de plusieurs circuits ET par une résistance de charge unique.

La fig. 1.8 fournit un exemple du circuit ET-OU à deux entrées, réalisé à l'aide d'éléments *CTRL*. La critique des circuits *CTRL* concerne la consommation par porte considérable ($P_{moy} > 30$ mW) et la mauvaise adaptation à d'autres circuits intégrés à transistors due aux niveaux logiques de polarité opposée à la sortie. L'un des

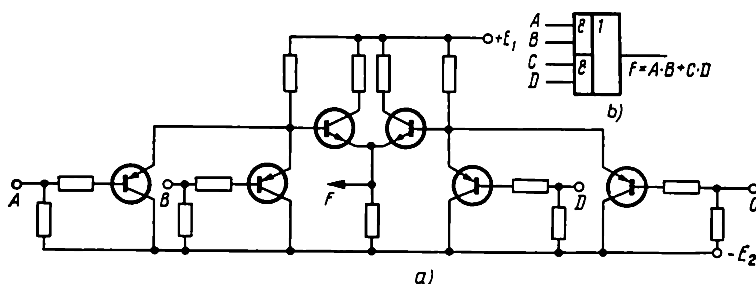


Fig. 1.8. Circuit logique *CRTL*:
a — circuit ET-OU; *b* — son symbole fonctionnel

désavantages de la logique *CTRL* qui gêne la création des circuits intégrés à très grande intégration est d'avoir de nombreux composants passifs ou résistances. Cet inconvénient, propre à la totalité de la logique *TTL* dotée de transistors bipolaires, est devenu la raison dominante du développement de la logique intégrée diode-transistor.

Circuits intégrés diode-transistor (*DTL*). Les éléments fonctionnels de base (fig. 1.9) des circuits diode-transistor réalisent la fonction logique ET-NON (en logique positive). L'exécution de la fonction ET appartient au groupe de diodes et celle d'amplification avec complémentation, aux transistors.

On connaît deux groupes de circuits *DTL* qui sont les plus répandus: le premier comporte les circuits ayant à leur sortie un amplificateur à transistor unique et le second, un amplificateur à deux transistors en cascade. Les éléments de base ET-NON pour les deux groupes de circuits *DTL* sont donnés fig. 1.9 respectivement en *a* et *b*. Le fait d'utiliser pour l'amplification un montage à deux transistors en cascade permet d'être moins exigeant envers le gain des transistors intégrés. Un tel montage de transistors confère également

une plage de températures utiles plus étendue aux circuits *DTL* appartenant au second groupe.

D'une manière générale, les familles existantes de circuits *DTL* du premier groupe (par exemple, la famille *HSM* 200 de la firme Huges) sont destinées à fonctionner normalement dans une gamme des températures de 0 à + 70° C et celles du second groupe (comme *HSM* 930 à 960), dans une gamme des températures de —55 à +125 °C. Les circuits *DTL* présentent un facteur de charge d'entrée de forte valeur ($m_{ET} > 10$) et un facteur de charge de sortie élevé de l'élément de base ($n_{ch} = 7$ à 10). La partie diode des circuits *DTL* possède généralement une sortie anodique commune (*K*) servant au raccordement en ET d'un extenseur logique. L'extenseur logique des

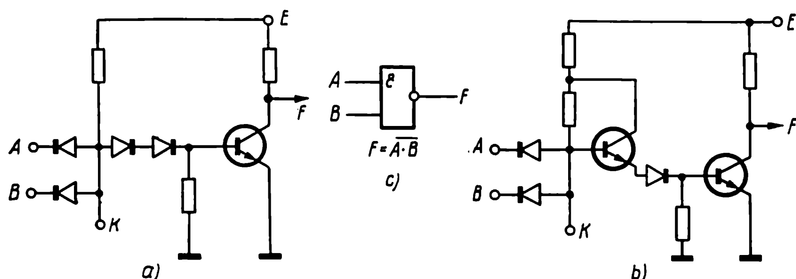


Fig. 1.9. Circuit logique *DTL*:
a — à transistor unique; *b* — avec amplificateur à deux transistors en cascade; *c* — symbole fonctionnel

circuits intégrés *DTL* (fig. 1.10 *a*) est un montage passif à diodes à anode commune, connectable au groupe de diodes du circuit de base en vue d'augmenter le paramètre m_{ET}.

D'une façon générale, la famille de circuits *DTL* comporte un amplificateur tampon puissant, doté d'un facteur de charge important ($n_{ch} \gg 25$), dont une des versions est donnée fig. 1.10 *b*. La sortie de l'amplificateur s'effectue par un montage symétrique des transistors assurant à l'élément une vitesse de commutation élevée pour une C_{ch} de forte valeur (au-dessus de 100 pF). La rapidité de fonctionnement limite des circuits *DTL* peut atteindre: $\tau_{moy} = 10$ à 20 ns; f_u jusqu'à 20 MHz pour consommation de puissance de 20 à 50 mW/porte. La tenue aux parasites des circuits *DTL* est 2 à 3 fois supérieure à celle des circuits *ITL* et peut aller jusqu'à $U_p \geqslant 0{,}5$ à 0,6 V.

En vue de réduire la consommation des circuits *DTL* prévus pour des dispositifs numériques lents ($f_{tr} \leqslant 0{,}5$ MHz) on fait appel à des variantes *DTL* dépourvues de résistances de collecteur dans le circuit de sortie de l'amplificateur à transistor (dits circuits à collecteur ouvert).

Le schéma de principe d'un élément de base du circuit *DTL* modifié est donné fig. 1.11 *a*. Le courant de collecteur dans ce circuit

est fonction de la charge constituée par le circuit ET de l'élément logique qui suit. Le manque de débit par la résistance collecteur (R_c) en état de conduction du transistor fait diminuer la consommation de puissance et augmente le temps de charge de la capacité C_{ch} du circuit.

Les circuits *DTL* à collecteur ouvert permettent une réalisation simple de la fonction à double niveau ET-OU-NON (fig. 1.11 *c*).

La propriété commune aux circuits intégrés *RTL*, *TRL*, *RCTL*, *CTRL* et *DTL* que nous venons de décrire est de mettre au profit

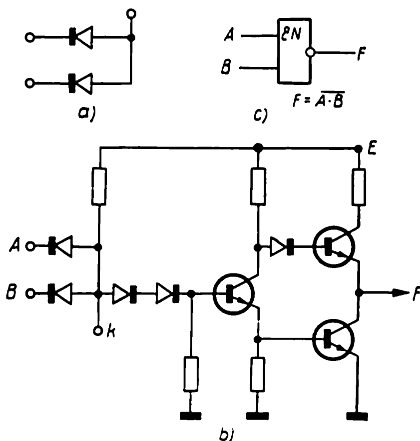


Fig. 1.10. Extenseurs logiques des circuits *DTL*:

a — extenseur ET; *b* — amplificateur tampon ET-NON; *c* — son symbole fonctionnel

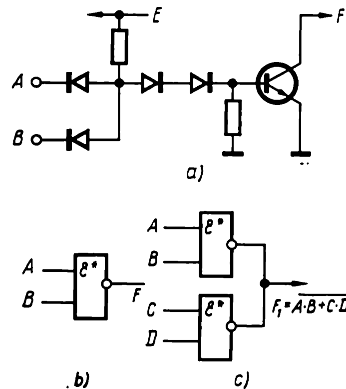


Fig. 1.11. Circuit *DTL* à collecteur ouvert:

a — élément de base; *b* — symbole fonctionnel; *c* — fonction ET-OU-NON

le régime non linéaire des éléments actifs. Les amplificateurs des circuits logiques considérés ont pour caractère d'avoir les transistors bien bloqués dans un état logique et saturés dans l'autre.

Le régime de saturation des transistors intégrés empêche de mettre en valeur la fréquence élevée de commutation dont ils sont capables, le délai de transmission de l'information étant essentiellement fonction du temps de résorption de la charge après la coupure du transistor saturé. Les conditions imposées par l'équipement numérique des troisième et quatrième générations ont rendu brûlant le problème de la création des circuits intégrés dont la rapidité de fonctionnement se traduit par $\tau_{moy} < 3$ ns et $f_u > 30$ MHz. Ces conditions, quoique assez difficiles, sont satisfaites par les circuits intégrés à couplage par émetteur (*ECL*).

Circuits intégrés à couplage par émetteur (*ECL*). La logique intégrée à transistors à couplage par émetteur (*ECL*) (fig. 1.12) a ceci de particulier que ses transistors fonctionnent hors de saturation, ce qui leur confère une grande rapidité de commutation. La porte *ECL*

(fig. 1.12 *a*) comporte deux commutateurs de courant dont l'un, normalement passant, est réalisé avec un seul transistor ayant sa base polarisée en direct par la tension U_d. La tension U_d a un niveau inférieur au niveau minimum de 1 logique. Le second commutateur de courant se compose de *m* transistors (selon le nombre d'entrées logiques) à collecteurs et à émetteurs communs, ce qui permet la réalisation de la fonction OU. La conduction de l'un quelconque des

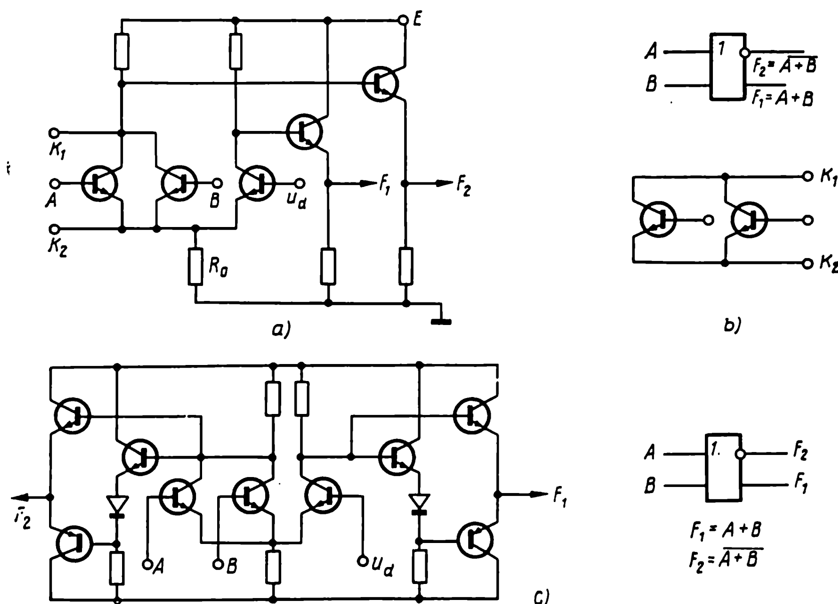


Fig. 1.12. Circuit logique *ECL*:
a — élément de base; *b* — extenseur OU; *c* — symbole fonctionnel

transistors formant le second commutateur de courant fait monter le niveau de la tension sur la résistance d'émetteur commune R_0 et produit la coupure du premier commutateur de courant, ce qui a pour effet l'apparition à la sortie F_1 d'une tension de niveau élevé (1 logique) et à la sortie F_2 d'une tension de niveau bas (0 logique).

La réalisation en émettodyne (dont l'impédance de sortie est de 30 à 50 Ω) des étages de sortie du circuit logique procure à l'élément de base un grand facteur de charge ($n \geqslant 10$); à remarquer aussi que la présence d'émettodynes fait déplacer le niveau 1 à la sortie de l'élément d'une quantité égale à la chute de tension dans la jonction du transistor planar en silicium ($U_{b-e} = 0{,}7$ à 0,8 V) ce qui conditionne la possibilité de travailler hors de saturation pour les transistors du groupe logique suivant. Les transistors émettodynes à la sortie du circuit ne sont pas saturés, car la tension de collecteur est toujours supérieure à celle de base et les jonctions collecteur-base ne

sont jamais polarisées dans le sens direct. La différence de tension des niveaux logiques 1 et 0 se trouve généralement entre 0,7 et 0,8 V et la tenue aux parasites constitue 0,15 à 0,2 V. En raison de basse impédance à la sortie du circuit, le niveau de parasitage par connexions est peu élevé et le débit constant de l'élément n'entraîne pas de sauts de tension dans les circuits d'alimentation. Le fait d'avoir deux sorties logiques de sens opposé assure au circuit *ECL* une grande souplesse très appréciée par les concepteurs du matériel numérique.

L'amélioration du facteur de charge d'entrée OU peut être obtenue par l'adjonction d'un extenseur logique au circuit *ECL* de base (fig. 1.12 *b*). On cherche pourtant à se passer d'extenseurs logiques dont la présence se solde par un abaissement sensible de la rapidité de fonctionnement des circuits dû à l'introduction des capacités parasites importantes.

Afin de leur procurer un facteur de charge de sortie élevé, les familles de circuits intégrés *ECL* sont complétées par des circuits à sortie de puissance (fig. 1.12 *c*). Le circuit à sortie de puissance est capable d'assurer $n_{ch} > 30$ pour $C_{ch} > 100\ pF$. Il est possible de réaliser des circuits intégrés *ECL* dont l'étage de sortie est du type à émetteur asservi ouvert. Avec une sortie ainsi conçue, on peut employer pour charge des circuits présentant des résistances d'entrée différentes. Cela permet la multiplication des propriétés logiques en OU par simple réunion des sorties des circuits intégrés sans faire appel aux extenseurs logiques.

1.2.2. Logique intégrée à double niveau

Selon leur morphologie les circuits logiques à double niveau sont classés:

en circuits intégrés diode-transistor (*DTL*-2);

en circuits intégrés transistor-transistor (*TTL*);

en circuits intégrés *TTL*-transistor (*T-TTL*).

Circuits intégrés diode-transistor (*DTL*-2). La fig. 1.13 représente le schéma de l'élément fonctionnel *DTL* réalisant la fonction à double niveau ET-OU-NON (*DTL*-2). La réalisation des opérations logiques ET et OU dans les circuits *DTL*-2 appartient aux diodes et celle de l'opération NON, à l'amplificateur inverseur transistorisé. Pour améliorer les possibilités logiques des circuits en ET et en OU, on a recours à des extenseurs spéciaux des fonctions ET et OU.

L'extenseur de la fonction ET représente un réseau de diodes à anode commune, raccordé à la sortie de l'anode commune du réseau de diodes ET du circuit de base (point K_1 fig. 1.13). L'extenseur de la fonction OU est un réseau de diodes ayant son anode commune connectée à une résistance. Pour augmenter le nombre d'entrées en OU du circuit de base, la cathode de l'une des diodes du réseau de l'extenseur OU y est réunie en point convenable (point K_2 fig. 1.13 et 1.14). Les circuits *DTL*-2 possèdent $m_{ET} \geqslant 8$ et $m_{OU} \geqslant 6$. L'amplificateur de sortie du circuit *DTL*-2 comporte géné-

ralement une sortie par transistors symétriques, d'où le facteur $n_{ch} \geqslant 8$.

L'une des variantes du circuit logique à double niveau est le montage ET-OU dont l'amplificateur de sortie contient deux étages inverseurs (fig. 1.14).

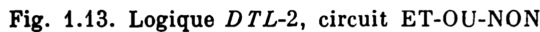


Fig. 1.13. Logique *DTL*-2, circuit ET-OU-NON

Le fait d'avoir dans une famille unique de circuits intégrés la logique *DTL* capable de fonctions ET-OU-NON et ET-OU permet

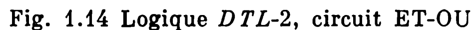


Fig. 1.14 Logique *DTL*-2, circuit ET-OU

une conception plus souple des organes numériques. C'est ainsi que la fonction de report dans un additionneur complet à une position ($P = A \cdot B + A \cdot C + B \cdot C$) s'obtient à l'aide d'un seul circuit 2ET-3OU (fig. 1.15). Une famille de circuits intégrés *DTL* peut comporter également les éléments tampons qui donnent le paramètre $n_t \geqslant 25$ et les circuits à sortie par transistor à collecteur ouvert, c.-à-d. toutes les variantes des circuits *DTL* à niveau unique (fig. 1.10). La gamme des fréquences utiles de la logique *DTL* atteint

10 à 15 MHz (τ_{moy} = 10 à 20 ns) tout en conservant un niveau assez élevé de tenue aux parasites statique ($U_p \geqslant 0{,}5$ V).

La logique *DTL* qui avait marqué le plus important progrès réalisé vers le milieu des années 60 dans la technologie micro-électronique a dû céder la place à une logique plus perfectionnée, basée sur les circuits intégrés du type *TTL*.

Circuits intégrés transistor-transistor (*TTL*). C'est la mise au point de la technologie du transistor à plusieurs émetteurs (*TPE*) qui a été décisive pour la création d'un grand éventail des familles de circuits intégrés *TTL*. Le transistor à plusieurs émetteurs (*TPE*) représente un élément intégré qui réunit les avantages de la logique à diodes et de l'amplificateur à transistor.

Identiques par leur structure aux circuits intégrés *DTL*, les circuits *TTL* (fig. 1.16) ont permis d'améliorer notablement la rapidité de fonctionnement (τ_{moy} = 3 à 10 ns), de relever le niveau d'antiparasitage ($U_p \geqslant 0{,}7$ V), de réduire la consommation de puissance (par rapport aux circuits *DTL*) et de doter le circuit de base de meilleures qualités combinatoires. Le facteur de charge à l'entrée ET: $m_{ET} \geqslant 12$ à 14, à l'entrée OU: m_{OU} = 8 à 10.

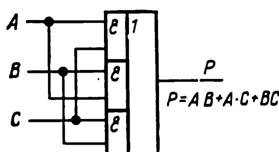


Fig. 1.15. Réalisation de la fonction de report par le circuit logique ET-OU

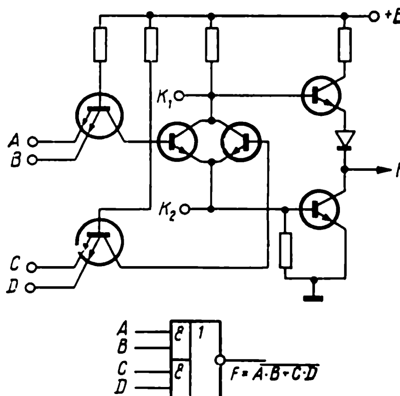


Fig. 1.16. Circuit logique *TTL*

En logique *TTL*, les amplificateurs de sortie confèrent au circuit de base un facteur de charge de sortie élevé ($n_{ch} \geqslant 10$) pour des capacités de charge de forte valeur ($C_{ch} \geqslant 100$ pF). La conception du matériel à base de la logique intégrée *TTL* doit se faire en considérant qu'à cause des étages de sortie la puissance, absorbée par le circuit intégré au régime dynamique, constitue 2 à 3 fois celle consommée au régime statique.

Les familles existantes de circuits intégrés *TTL* comportent une collection de microcircuits largement variables dans leurs fonctions dont on peut faire conventionnellement 10 groupes types:

1) circuits ET-NON (fig. 1.17),
2) circuits ET-NON à sortie de puissance (fig. 1.18),
3) circuits ET-NON à collecteur ouvert (fig. 1.19),

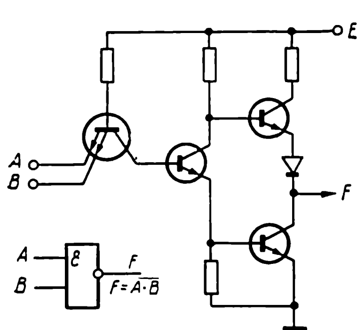


Fig. 1.17. Logique *TTL*, circuit ET-NON

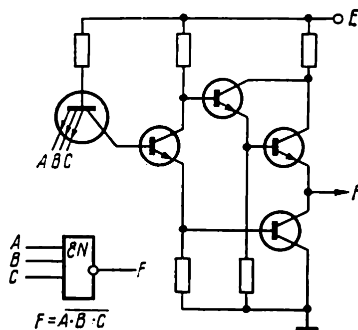


Fig. 1.18. Logique *TTL*, amplificateur tampon ET-NON

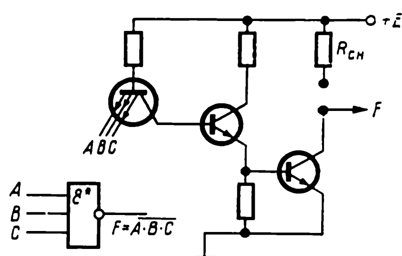
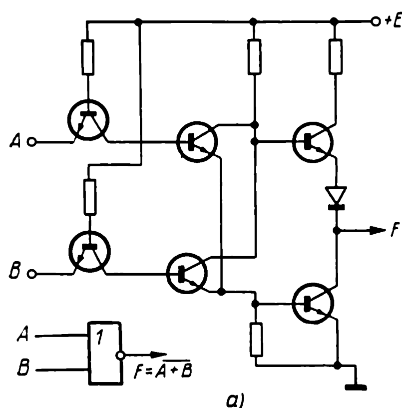


Fig. 1.19. Logique *TTL*, circuit ET-NON à collecteur ouvert



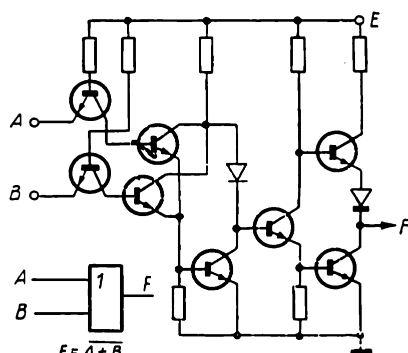


Fig. 1.20. Circuit *TTL*:
a — OU-NON; *b* — OU

4) circuits OU-NON (fig. 1.20 *a*),
5) circuits OU à amplificateur à deux étages (fig. 1.20 *b*),
6) circuits ET à amplificateur à deux étages (fig. 1.21),
7) circuits ET à amplificateur à deux étages à collecteur ouvert fig. 1.22),

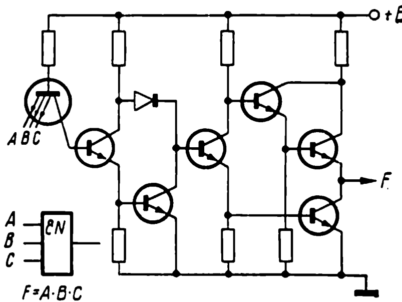


Fig. 1.21. Logique *TTL*, circuit ET avec amplificateur à deux étages

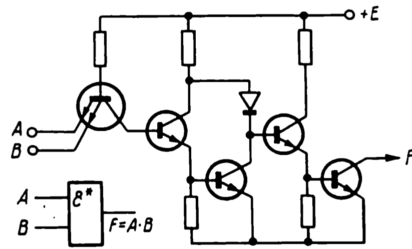


Fig. 1.22. Logique *TTL*, circuit ET à collecteur ouvert

8) circuits ET-OU-NON (fig. 1.16 et 1.23),
9) extenseurs logiques ET-OU (fig. 1.24),
10) bascules (la description des bascules *TTL* est donnée au chapitre 3).

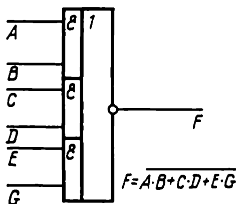


Fig. 1.23. Circuit logique ET-OU-NON

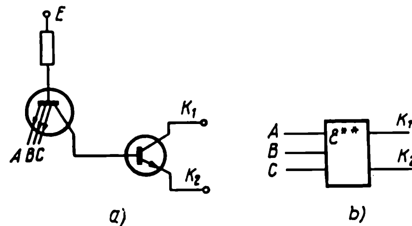


Fig. 1.24. Logique *TTL*, extenseur ET-OU :

a — schéma ; *b* — symbole fonctionnel

Les circuits tampons possèdent un bon facteur de charge $n_{ch} \geqslant \geqslant 25$ et une rapidité de commutation élevée pour $C_{ch} \geqslant 100$ pF. Les circuits *TTL* à collecteur ouvert permettent la réalisation de la fonction logique ET-OU-NON avec les circuits ET-NON (groupe 3) et de la fonction ET-OU avec les circuits ET (groupe 7). Les circuits à sortie par transistors à collecteur ouvert qui peuvent débiter sur une charge dont la nature est variable dans de larges limites sont parfaitement compatibles avec les circuits intégrés des autres types (*TRL*, *DTL*, *RCTL*). L'inconvénient qu'on trouve à réaliser les fonctions compliquées par la réunion des collecteurs des transistors de sortie des circuits ET, ET-NON, consiste en une consommation de puissance accrue du dispositif. Cela tient au nombre augmenté

d'amplificateurs de sortie des circuits ET-OU, ET-OU-NON qui correspond à celui de collecteurs réunis en OU.

Les circuits *TTL* à amplificateurs à deux étages réalisant les fonctions ET ou OU (groupes 5 et 6) permettent en association avec les circuits *TTL* affectés aux fonctions ET-NON et OU-NON d'assouplir la conception des ensembles numériques. L'extenseur logique ET-OU représente un circuit à transistor à plusieurs émetteurs dont le collecteur est relié à la base d'une triode montée en collecteur et en émetteur ouverts (fig. 1.24).

En vue d'améliorer les possibilités logiques du circuit *TTL* de base ET-OU-NON, les sorties K_1 et K_2 (fig. 1.16) sont raccordées respectivement à l'émetteur et au collecteur de l'extenseur logique (sorties K_1 et K_2 fig. 1.24).

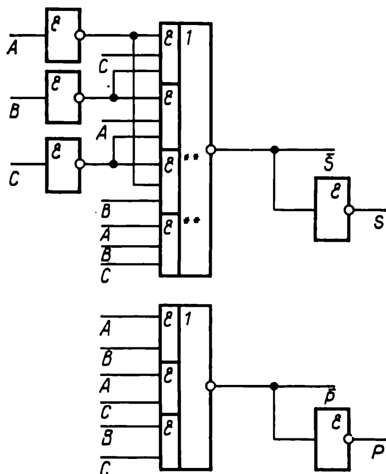


Fig. 1.25. Additionneur à circuits ET-OU-NON

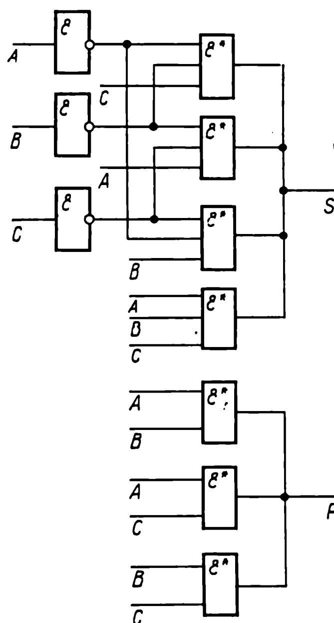


Fig. 1.26. Additionneur à circuits ET à collecteur ouvert

Grâce à un large éventail de fonctions que couvrent les familles de circuits intégrés *TTL*, il est possible de développer les organes numériques en combinant différemment les circuits intégrés standards.

La fig. 1.25 montre une version de l'additionneur complet à une position, réalisée avec les circuits intégrés *TTL* de quatre types fonctionnels différents:

— inverseur 5 NON;
— circuit logique à double niveau 3ET-2OU-NON ;
— extenseur double à quatre entrées 2 × 4ET-OU *);
— circuit logique à double niveau 2ET-3OU-NON.

*) On le branche sur le circuit 3ET-2OU-NON pour exécuter la fonction de la somme.

Avec une autre famille fonctionnelle, par exemple, de circuits intégrés *TTL* à sortie par transistors à collecteur ouvert réalisant la fonction ET, on parvient à une organisation plus économique de l'additionneur (fig. 1.26). L'additionneur schématisé fig. 1.26 se compose des circuits *TTL* de trois types fonctionnels différents:

— inverseur 3 NON;
— circuit double ET à trois entrées 2 × 3ET;
— circuit triple ET à deux entrées 3 × 2ET.

En plus d'économiser deux inverseurs, la seconde variante de l'additionneur utilisant la logique intégrée *TTL* se distingue par une plus grande rapidité du fait de pouvoir former la somme et le report avec un nombre plus petit de niveaux logiques. On peut également envisager, pour réaliser un additionneur, d'autres combinaisons des circuits intégrés *TTL* standards que l'on doit finalement

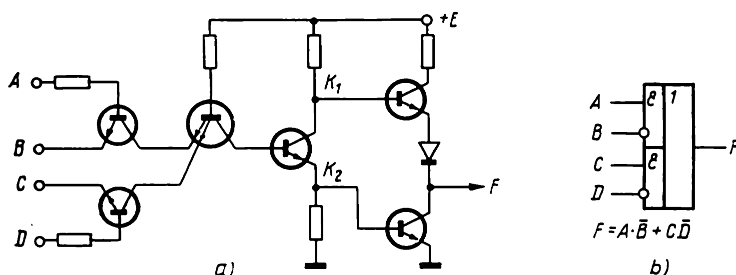


Fig. 1.27. Logique *T-TTL*, élément de base:
a — élément NON, ET-OU; *b* — symbole fonctionnel

apprécier du point de vue de leur conformité avec certains critères technico-économiques: nombre de boîtiers, consommation électrique, coût, etc.

L'étude et la fabrication des familles de circuits *TTL* se font pratiquement dans tous les pays producteurs de circuits intégrés. Le grand intérêt qu'offre la logique intégrée *TTL* est la raison de la doter de qualités toujours plus élevées: consommation réduite, rapidité de fonctionnement accrue, possibilités combinatoires plus vastes, etc.

Circuits intégrés TTL-transistor (T-TTL). Les circuits intégrés *T-TTL* constituent une nouvelle classe dans la micrologique résultant de l'évolution de la logique *TTL*. La fig. 1.27 représente le circuit de base *T-TTL* réalisant la fonction logique à double niveau avec inhibition NON, ET-OU.

L'opération logique ET avec inhibition s'effectue par les transistors commandés par la base et l'émetteur, l'opération OU étant réalisée par le transistor à plusieurs émetteurs (*TPE*). Dans ces circuits, la multiplication des entrées en OU entraîne celle des émetteurs d'un *TPE*, le nombre de *TPE* restant le même. Cela donne aux circuits *T-TTL* certains avantages technologiques sur les circuits *TTL* com-

pliqués qui demandent toujours autant de *TPE* qu'il y a d'entrées en OU. Le fait d'avoir dans le circuit ET une entrée inhibitive par émetteur offre de nouvelles possibilités de synthèse des dispositifs numériques basée sur l'utilisation simultanée de circuits *T-TTL* et *TTL* électriquement adaptés entre eux.

Parfois, les circuits *T-TTL* peuvent remplacer entièrement les circuits *TTL* permettant une réalisation plus économique des organes fonctionnels compliqués. C'est ainsi que la fonction de la somme dans l'additionneur complet à une position se fait à l'aide de deux circuits de base NON, ET-OU, à deux entrées, étant donné que chacun desdits circuits exécute la fonction OU-OU (fig. 1.28). On sait que la fonction des sommes se traduit par deux fonctions logiques OU-OU, c.-à-d. par les demi-sommes:

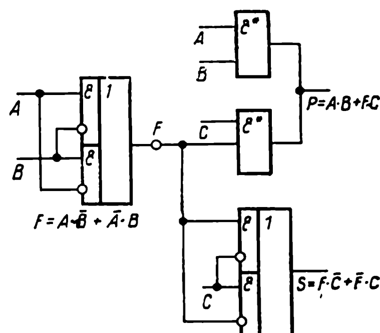


Fig. 1.28. Logique *T-TTL* et *TTL*, additionneur à une position

$$S=\overline{(A\cdot\overline{B}+\overline{A}\cdot B)}\cdot C+(A\cdot\overline{B}+\overline{A}\cdot B)\cdot\overline{C},$$

$$S=\overline{F}\cdot C+F\cdot\overline{C}\ \text{pour}\ F=A\cdot\overline{B}+\overline{A}\cdot B.$$

La présence de la fonction intermédiaire OU-OU de deux termes permet de simplifier sensiblement le formateur de report dans l'additionneur:

$$P=A\cdot B+C\cdot F.$$

Avec l'emploi de la logique intégrée *TTL* ET à sortie par transistors à collecteur ouvert, la réalisation du formateur de report demande un circuit intégré double à deux entrées (fig. 1.28). La somme est effectuée par un seul circuit *T-TTL*, et le nombre total de types des circuits intégrés nécessaires pour un additionneur est ainsi limité à deux, ce qui est la moitié de la quantité de types des circuits intégrés que nécessite un additionneur analogue composé de circuits *TTL* (fig. 1.25 et 1.26). La simplification de la structure de l'additionneur ainsi obtenue tient en premier lieu à l'abandon de tous les éléments assurant la complémentation des termes dont les fonctions incombent désormais aux entrées inhibitives du circuit *T-TTL*.

Les circuits *T-TTL* permettent la synthèse d'un certain nombre de bascules économiques comportant moins d'éléments que les bascules à éléments *TTL*. A titre d'exemple, la fig. 1.29 donne les bascules à circuits *T-TTL* et *TTL*. Le nombre d'éléments NON, ET-OU nécessaire pour la bascule est deux fois moins grand que celui d'éléments ET-OU-NON, c.-à-d. que la bascule à circuit *T-TTL* est plus économique que celle à circuit *TTL*. La bascule réalisée avec les élé-

ments *T-TTL* est à sortie asymétrique puisqu'elle n'en a qu'une seule. Ce caractère du circuit est d'une grande utilité pour la technique des circuits intégrés du fait qu'il entraîne une réduction de sorties et de commutations dans un montage compliqué. Cela favorise la synthèse des circuits *LSI* à très grande intégration à partir des éléments *T-TTL*. La présence dans le circuit *T-TTL* d'entrées de sens opposé permet de simplifier les montages destinés à traduire les états d'un registre ou d'un compteur équipés de bascules à sortie asymétrique. La fig. 1.30 montre à titre d'illustration le schéma

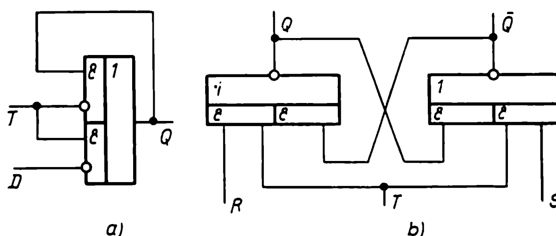


Fig. 1.29. Logique *T-TTL* et *TTL*, bascules:
a — bascule à élément NON, ET-OU (*T-TTL*); *b* — bascule à élément ET-OU-NON (*TTL*)

fonctionnel d'un décodeur en logique *T-TTL* dont les deux entrées sont attaquées par les bascules à sortie asymétrique (entrées Q_1 et Q_2).

Dans ce décodeur, les circuits *T-TTL* s'utilisent pour exécuter la fonction ET (les entrées non inverseuses sont en couplage avec la

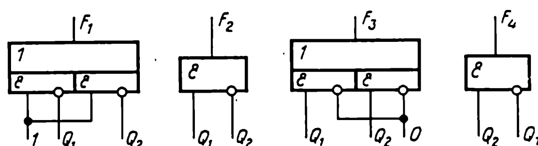


Fig. 1.30. Logique *T-TTL*, décodeur à 4 sorties

source d'alimentation: 1 logique à l'entrée) de même que la fonction OU (les entrées inverseuses sont au niveau de la masse: 0 logique à l'entrée).

Le fait de pouvoir réaliser les fonctions ET, OU, NON, ET-OU, au moyen d'un seul circuit *T-TTL* standard permet de réduire considérablement la nomenclature de circuits dans une famille donnée. Tout comme les circuits *TTL*, les circuits *T-TTL* offrent la possibilité d'adjonction des extenseurs logiques (transistors à plusieurs émetteurs) et, partant, de réalisation d'une fonction à plusieurs niveaux avec un circuit unique.

L'existence d'entrées de sens opposé dans les circuits *T-TTL* permet d'en améliorer le facteur de charge de sortie par l'effet d'un

travail simultané sur les groupes d'entrées de nature différente. Les entrées non inverseuses, bases des transistors, sont en fait des consommateurs de courant, les entrées inverseuses étant des sources de courant pour l'amplificateur de sortie du circuit *T-TTL* (fig. 1.27). Aussi, dans l'état 1 (la sortie a un niveau élevé) le circuit va-t-il débiter et, dans l'état 0, consommer le courant sur la charge. Vu que le courant d'une seule entrée non inverseuse est B_{st} fois inférieur à celui absorbé sur l'entrée inverseuse, le courant total à travers le circuit qui charge la sortie est petit dans l'état 1 et par là la sortie du circuit *T-TTL* reste à un niveau élevé.

Le facteur de charge de sortie d'un étage de puissance débitant sur les entrées par émetteur (n_e) ne subit pratiquement aucune baisse en cas de raccordement des entrées par base (n_b). Le facteur de charge limite d'un circuit *T-TTL* chargé par les entrées en NON, ET, de nature différente constitue $n_\Sigma = n_e + n_b$. L'exécution de l'opération OU par un seul transistor à plusieurs émetteurs conditionne une économie de puissance notable sur les circuits *T-TTL*, même dotés d'un nombre plus grand d'entrées en OU que leurs homologues *TTL*. Les circuits *T-TTL* possèdent une seule source de courant (un *TPE* unique) quel que soit le nombre d'entrées en OU, tandis que les circuits *TTL* doivent avoir autant de sources de courant que d'entrées en OU (voir fig. 1.16 et 1.27).

Parmi les désavantages des éléments *T-TTL*, il convient de citer un abaissement de la tenue aux parasites statique et une augmentation du retard de basculement en commande directe (par la base) du circuit NON, ET.

L'abaissement du niveau d'antiparasitage tient à la chute de tension U_{c-e} (qui peut atteindre 0,1 V) dans le transistor d'entrée à l'ouverture du circuit NON, ET. Le niveau d'antiparasitage au régime statique des circuits *T-TTL* reste pourtant au-dessus de 0,25 V. La commande par la base du transistor du circuit NON, ET, produit la croissance du retard de basculement vers 0 (τ_{10}), car la charge dans la base du transistor s'écoule par un faible débit à travers la résistance chutrice placée dans la base. En cas de commande par l'émetteur la logique *T-TTL* ne présente pratiquement aucune prolongation du retard de basculement. Cependant, la réalisation des fonctions à plusieurs niveaux à l'aide de circuits *T-TTL* permet d'améliorer la rapidité fonctionnelle des dispositifs numériques grâce à la suppression de certains éléments intermédiaires qui s'imposent lorsque les mêmes fonctions sont à exécuter par les circuits *TTL*. C'est ainsi qu'avec un additionneur en circuits *TTL* (fig. 1.25) le délai de formation de la somme constitue $3\tau_{moy}$, tandis qu'avec un additionneur en circuits *T-TTL* (fig. 1.28) il devient égal à $2\tau'_{moy}$ (τ'_{moy} est le retard moyen introduit par l'inverseur *T-TTL*). Le paramètre τ'_{moy} dépend en premier lieu du retard $\tau_{1\,0}$ intervenant en commande par la base du circuit *T-TTL*.

Pour les circuits à faible consommation (R_b est grande) $\tau_{1\,0}$ en commande par la base dépasse de beaucoup le même paramètre en

commande par l'émetteur d'un circuit *T-TTL*. La valeur de R_b est à réduire, si l'on veut augmenter la rapidité de commutation en commande par la base. Mais la puissance absorbée par la charge de base peut s'en trouver trop accrue et le niveau de 1 logique abaissé,

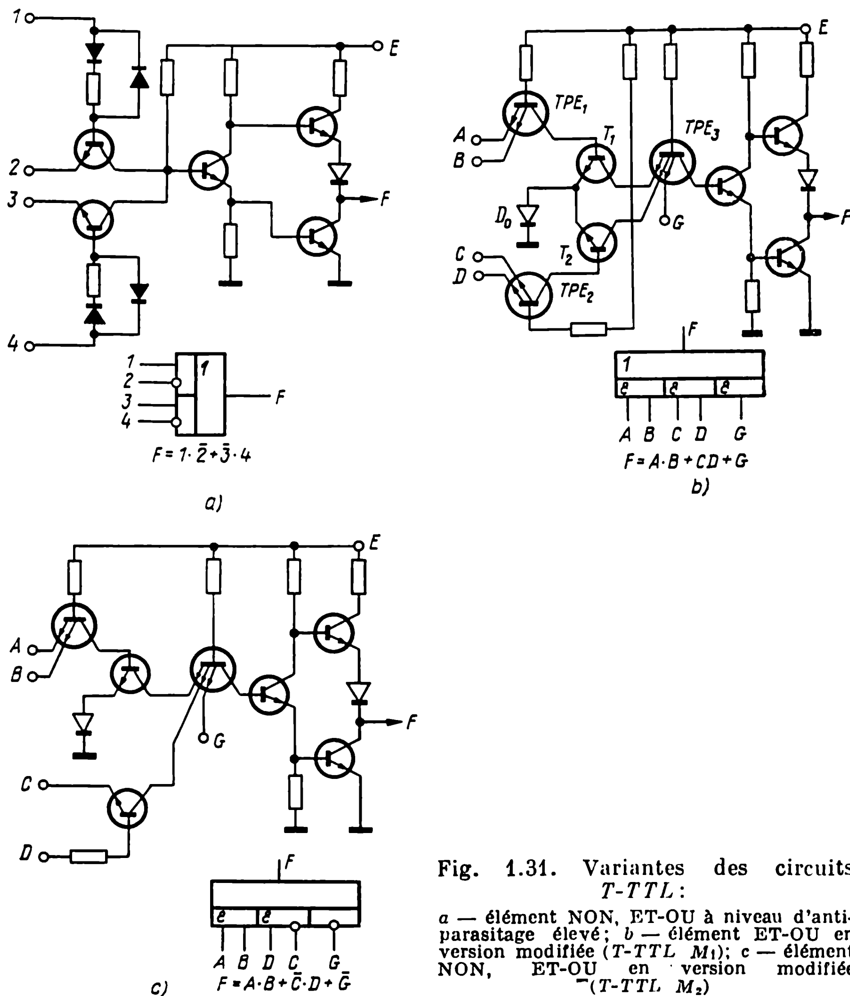


Fig. 1.31. Variantes des circuits *T-TTL*:

a — élément NON, ET-OU à niveau d'antiparasitage élevé; *b* — élément ET-OU en version modifiée (*T-TTL* M_1); *c* — élément NON, ET-OU en version modifiée (*T-TTL* M_2)

ce qui va compromettre l'antiparasitage du circuit débitant également sur les émetteurs. Pour combattre les inconvénients ci-dessus, on place, en série avec une résistance de faible valeur, des diodes qui, en plus de décalage de niveau, auront pour effet une limitation du courant de base (fig. 1.31 *a*). La haute rapidité de commutation en commande par la base est maintenue grâce à une diode supplémentaire montée en shunt de manière à avoir son anode reliée à la base

de transistor et sa cathode à l'entrée logique, ce qui permet un écoulement rapide de la charge à l'arrivée de 0 logique sur l'entrée. Il est à remarquer que par rapport à une résistance de forte valeur, les diodes occupent dans les circuits intégrés plusieurs fois moins de place.

Il existe une autre version de circuits *T-TTL* dépourvue d'entrées par base. L'exemple d'un tel circuit qui réalise la fonction ET-OU est donné fig. 1.31 *b*. La particularité du circuit consiste à exécuter aussi bien la fonction OU que la fonction ET au moyen de transistors à plusieurs émetteurs. L'apparition de 1 logique sur toutes les entrées du transistor à plusieurs émetteurs du circuit ET (par exemple sur les entrées du TPE_1) met en conduction le transistor de commutation T_1. Le TPE_3 sera ouvert, l'amplificateur de sortie du circuit bloqué et la sortie F portée au niveau de 1 logique. Le blocage du TPE_2 mettra en conduction le transistor de commutation T_2 et la sortie F sera de nouveau au niveau 1. La commande des éléments par entrée en OU s'effectue par un signal 0. La diode D_0 contenue dans les émetteurs des transistors de commutation maintient un niveau d'antiparasitage convenable du circuit du côté ET. La consommation de puissance par les circuits ET de l'élément $T\text{-}TTLM_1$ (modifié) est plusieurs fois inférieure à celle du circuit ET d'un élément *TTL* doté d'un amplificateur de sortie similaire.

Avec l'élément $T\text{-}TTLM_1$ exécutant la fonction ET-OU il est facile de réaliser l'opération de formation du report dans l'additionneur:

$$P = A \cdot B + A \cdot C + B \cdot C.$$

A cet effet, il suffit d'avoir un seul élément $T\text{-}TTLM_1$ réalisant la fonction 2ET-3OU au lieu d'un élément 2ET-3OU-NON et d'un inverseur en cas de circuit *TTL*.

Une simplification de l'élément $T\text{-}TTLM_1$ exécutant la fonction ET, dans lequel après la suppression du *TPE* du circuit OU il ne reste que le *TPE* du circuit ET avec un seul transistor de commutation, permet de réaliser les décodeurs sans faire appel à des éléments inverseurs supplémentaires, comme c'est le cas des circuits ET-NON du type *TTL*.

La réalisation du circuit ET à partir du *TPE* offre la possibilité de multiplier les entrées logiques en augmentant le nombre d'émetteurs et c'est là un avantage du circuit $T\text{-}TTLM_1$ sur le circuit *T-TTL*.

La combinaison des transistors à plusieurs émetteurs qui font la fonction ET avec des circuits NON, ET, à transistors dotés d'entrées directe et inhibitive, c.-à-d. l'association des possibilités logiques des circuits *T-TTL* et $T\text{-}TTLM_1$, conduit à une nouvelle variante de l'élément NON, ET-OU, qui est le circuit $T\text{-}TTLM_2$ (fig. 1.31 *c*). Avec cet élément, on peut réaliser un montage économique en bascule du type D à sortie asymétrique et à écriture de code directe. Le détail de cette bascule est fait au chapitre 2.

L'emploi conjugué d'éléments *T-TTL* et *TTL* assure une grande souplesse de l'étude et une synthèse économique des organes numériques.

Résumons, pour conclure, les performances les plus intéressantes des circuits *T-TTL*:

1. La présence d'entrées inverseuses et non inverseuses permet de supprimer un certain nombre d'inverseurs intermédiaires en cas de réalisation des fonctions compliquées.
2. On parvient à simplifier les bascules à sortie asymétrique et par le fait même à réduire le nombre d'entrées, de sorties et de commutations à doter les circuits LSI (voir chapitre 2).
3. Grâce au fonctionnement simultané des circuits NON, ET-OU, sur les entrées inverseuses et non inverseuses, on obtient un facteur de charge « double ».
4. On arrive à réduire sensiblement la consommation de puissance dans les circuits NON, ET-OU, comportant de nombreuses entrées en OU.
5. En cas d'utilisation combinée de circuits *TTL* et *T-TTL*, on parvient à assurer l'adaptation électrique entre les familles de circuits intégrés *TTL* et *T-TTL* et à réaliser des organes numériques économiques.

1.3. Logique intégrée à transistors à effet de champ (à transistors MOS)

Les transistors à effet de champ, dispositifs semi-conducteurs les plus prometteurs, ouvrent des possibilités nouvelles pour la création de circuits intégrés à grande et à très grande intégration. Les transistors à effet de champ à structure MOS et à jonction *P-N* de commande [4, 5, 12] sont actuellement les plus répandus. Les transistors à effet de champ dotés de la structure MOS ont trouvé leur application dans la logique intégrée, alors que ceux à effet de champ munis de la jonction *P-N* de commande dans les circuits linéaires (amplificateurs, portes analogiques, etc.).

A l'encontre des transistors bipolaires, commandés en courant, ceux à effet de champ, commandés en tension, s'identifient dans leur principe avec les tubes électroniques. La fig. 1.32 donne les symboles adoptés pour schématiser les transistors MOS. L'électrode de source sert généralement de point de référence par rapport auquel sont mesurés les potentiels en d'autres points du dispositif. La source peut être considérée comme analogue à l'émetteur du transistor bipolaire, la grille *) est le point d'application de la tension de commande (analogie avec la base du transistor bipolaire ou avec la grille du tube électronique), le drain formant la sortie du dispositif (analogie avec le collecteur du transistor bipolaire ou avec la plaque du tube).

---

*) ou « Gate » (*N.D.T.*).

En faisant varier la tension appliquée à la grille du transistor MOS, on peut moduler la résistance du canal source-drain, c.-à-d. modifier le courant dans le canal pour une tension constante sur le drain.

Les transistors MOS se distinguent par le type de conduction de leurs canaux : type *P* et type *N*. Les transistors MOS à canal *P* entrent en conduction lorsque leur grille est polarisée négativement par rapport à la source, et ceux à canal *N* lorsque leur grille a une polarisation positive par rapport à la source.

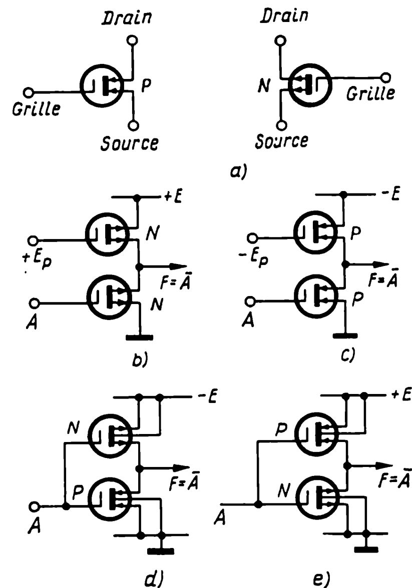


Fig. 1.32. Circuits inverseurs à transistors MOS :

a — symboles des transistors MOS à canal *N* et *P*; *b* — inverseur à transistors MOS à canal *N*; *c* — inverseur à transistors MOS à canal *P*; *d*, *e* — inverseurs à transistors MOS complémentaires

La logique reposant sur les transistors MOS à canal *P* à source à la masse exige une tension d'alimentation négative (« logique négative »). La logique utilisant les transistors MOS à canal *N* à source à la masse implique une tension d'alimentation positive (« logique positive »). L'emploi de transistors MOS complémentaires à canaux *P* et *N* (C/MOST) permet de réaliser la logique positive comme négative (logique intégrée C/MOST).

La fig. 1.32 représente quatre variantes de réalisation des éléments les plus simples qui sont les inverseurs (fonction NON) avec les transistors MOS : à canal *N* (fig. 1.32 *b*), à canal *P* (fig. 1.32 *c*), à transistors complémentaires (fig. 1.32 *d* et *e*). Pour les circuits à transistors MOS complémentaires, la « polarité » de la logique dépend du mode de connexion des transistors à canal *P* ou *N*. Si le transistor à canal *N* est connecté directement à la masse et celui à canal *P* à la source d'alimentation (fig. 1.32 *e*), le circuit fonctionne en logique positive (« 1 » $\approx +E$; « 0 » ≈ 0). Si au contraire le transistor à canal *P* se trouve en couplage direct avec la masse et celui à canal *N* avec la source, on a la logique négative (« 1 » $\approx -E$; « 0 » ≈ 0).

Dans les circuits logiques à transistors MOS d'un même type de conduction *), le rôle de la charge est joué par un transistor MOS normalement conducteur. Dans ce cas, la grille du transistor-ballast est raccordée à une source de tension de polarisation E_p dont le niveau est généralement supérieur (en valeur absolue) à celui de la

*) dits transistors unitypes (*N.D.T.*).

tension à commuter du circuit logique. Il est néanmoins possible de connecter la grille directement à la source d'allimentation du circuit logique.

Pour simplifier l'analyse de la logique à transistors MOS, nous traiterons dans ce qui suit des circuits alimentés à partir d'une source d'alimentation.

Il existe trois variétés de circuits à transistors MOS :

— circuits du type statique;
— circuits du type quasi statique;
— circuits du type dynamique.

Il convient de noter que les circuits du type quasi statique et dynamique profitant de la spécificité des transistors MOS, résistance d'entrée très haute ($R_e > 10^{12}\ \Omega$) et capacité parasite de la grille capable de conserver longtemps la charge et le niveau de tension de la grille, s'appliquent à une très grande échelle sous forme de bascules dans les registres et les circuits de comptage. Aussi, seront-ils décrits aux chapitres 3 et 4, les pages qui suivent du présent chapitre étant consacrées à l'organisation des éléments logiques du type statique réalisés avec les transistors à canal *P* et complémentaires.

1.3.1. Logique à transistors MOS à canal P

Les principes de synthèse des circuits logiques du type statique à transistors MOS unitypes sont à beaucoup d'égards compatibles avec ceux des circuits logiques à transistors à couplage direct (*DCTL*).

Ainsi, pour réaliser une porte OU-NON à plusieurs entrées, un seul transistor MOS charge les drains de *m* transistors logiques ayant

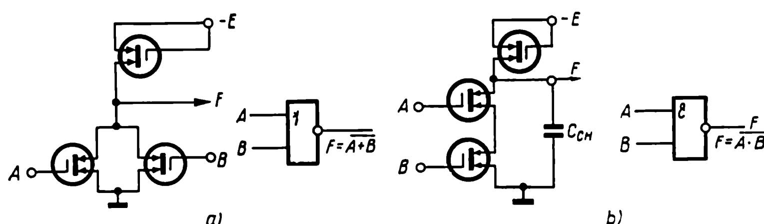


Fig. 1.33. Schémas des éléments logiques de base à transistors MOS à canal *P* :
a — OU-NON; *b* — ET-NON

leurs sources reliées à la masse. La fig. 1.33 *a* représente la porte OU-NON à deux entrées qui comporte un transistor ballast et deux transistors logiques. La limitation du paramètre m_{OU} (facteur de charge d'entrée) propre à ce circuit tient à un abaissement de niveau 1 à la sortie du circuit par une chute de tension dans la charge due à la somme des courants de fuite des circuits drain-source (I_0) de

tous les m transistors MOS d'entrée. Le courant I_0 des transistors MOS étant assez faible, le paramètre m du circuit logique peut atteindre 10 et au-delà.

Grâce à une très haute résistance présentée par sa grille ($R_c >$ $> 10^{12}$ Ω) le transistor MOS permet de réaliser les circuits dotés d'un facteur de charge de sortie très élevé ($n_c > 10$ à 20). Le seul obstacle que l'on trouve à augmenter le facteur de charge de sortie des circuits intégrés MOST à canal P consiste dans l'abaissement de la vitesse de commutation des circuits avec la multiplication des circuits d'utilisation, étant donné l'augmentation de la constante de temps de charge de la capacité parasite (C_{ch}) par le courant à travers le transistor MOS ballast. Dans les circuits intégrés MOST pratiques, la valeur de la résistance de conduction du transistor MOS ballast (R_{ch}) est comprise entre 15 et 50 $k\Omega$, ce qui donne pour $C_{ch} =$ $= 20$ pF ($n = 8$ à 10) une constante de temps de charge $R_{ch}C_{ch} \approx$ $\approx 0{,}5$ à 2 µs. Cela étant, on peut atteindre une fréquence de travail $f_{tr} < 1{,}0$ MHz.

La technologie intégrée des structures MOS permet d'utiliser un montage en série (en cascade) des transistors MOS réalisé de manière qu'entre la charge et la masse il y ait non pas un seul, mais deux, trois ou quatre transistors MOS connectés en condition ET. La source du transistor MOS logique « inférieur » est alors raccordée à la masse, son drain à la source du transistor immédiatement « supérieur » et ainsi de suite.

La charge ne peut conduire le courant vers la masse que si les transistors MOS de toutes les cascades sont passants. La fig. 1.33 *b* montre un circuit ET-NON à deux entrées qui, tout comme le circuit OU-NON, possède un facteur de charge élevé (n), mais dont le paramètre m_{ET} le cède de beaucoup au paramètre m_{OU}. D'une façon générale, le paramètre m_{OU} est limité à 4.

Cela tient au fait que l'augmentation du nombre de cascades du circuit ET demande des transistors MOS à pente plus raide que dans le cas des circuits OU-NON pour ne pas modifier la résistance totale des transistors en série. Il est à remarquer de plus que le montage en cascade des transistors conduit à une complication de la topologie et à un abaissement du niveau d'intégration des circuits intégrés MOST à canal P. D'autre part, en cas de synthèse des organes fonctionnels compliqués, le montage en cascade des transistors MOS permet d'obtenir une logique plus souple qu'avec les transistors bipolaires. La fig. 1.34 représente les circuits logiques compliqués du type MOST à canal P réalisant les fonctions OU-ET-NON, ET-OU-NON et OU-ET-OU-NON.

Pour doter les circuits intégrés MOST compliqués d'un bon facteur de charge, on leur adjoint des amplificateurs tampons spéciaux débitant sur une charge capacitive (C_{ch}). La fig. 1.35 représente les éléments tampons à transistors MOS à canal P réalisant les fonctions de complément et d'identité dont la sortie est analogue à celle par transistors symétriques des circuits *TTL*. Dans ce genre de circuits,

la recharge de la capacité s'opère toujours à travers un transistor MOS conducteur.

Le schéma de la fig. 1.35 *a* fait voir qu'à l'arrivée d'un signal $A = 1$ le transistor MOS de sortie T_3 passe à la conduction et la

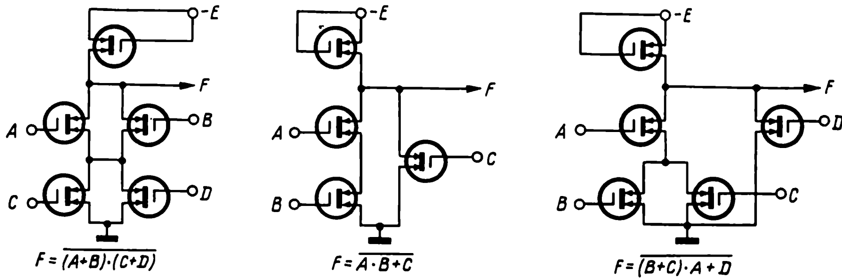


Fig. 1.34. Circuits logiques à plusieurs cascades à transistors MOS à canal *P*

capacité perd rapidement sa charge; au contraire, l'apparition d'un signal $A = 0$ produit la coupure du transistor T_1 et, par suite, l'ouverture du transistor de sortie T_2 et la recharge rapide de la capacité. C'est ainsi que l'on obtient un facteur de charge élevé des éléments tampons: $n > 20$ à 30.

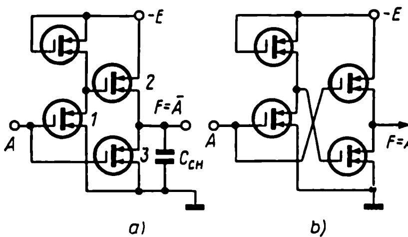


Fig. 1.35. Schémas des amplificateurs tampons à transistors MOS à canal *P*: *a* — inverseur; *b* — circuit d'identité

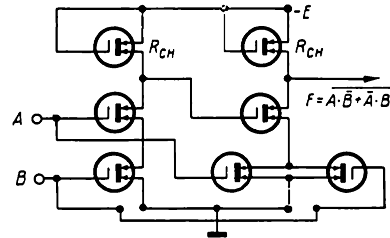


Fig. 1.36. Circuit logique OU-OU à transistors MOS à canal *P*

Examinons quelques-uns des circuits logiques à transistors MOS. La fig. 1.36 montre le circuit « OU exclusif », réalisé avec cinq transistors MOS logiques et deux ballasts, qui présente un retard de basculement limite $2\tau_{moy}$ (deux niveaux logiques ET-NON).

L'exemple d'un circuit plus compliqué, additionneur à une position, est donné fig. 1.37; le circuit comporte 12 transistors logiques et 2 transistors ballasts à canal *P*. Le désavantage de ce circuit est d'avoir ses transistors échelonnés en trois cascades, ce qui exige la présence dans le même circuit intégré MOST de transistors de pente différente pour assurer l'identité des niveaux de 0 logique à la sortie $\overline{P}$ (complément du report) et à la sortie $\overline{S}$ (complément de la somme).

Un inconvénient encore à noter de ce circuit est l'absence de sorties directes pour la somme et le report.

L'additionneur schématisé fig. 1.38 contient 11 transistors logiques et 4 transistors ballasts, tous MOS à canal *P*, échelonnés en deux

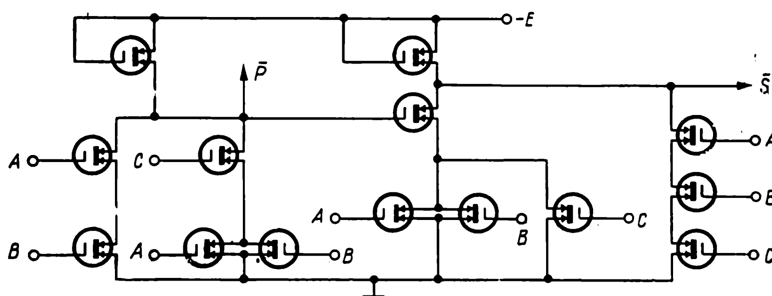


Fig. 1.37. Additionneur à une position à transistors MOS à canal *P*

cascades. L'avantage de ce circuit est d'avoir les sorties directes pour la somme (*S*) et le report (*P*). Comparé à l'additionneur de la fig. 1.37, celui de la fig. 1.38 présente le désavantage d'absorber plus de puissance (deux fois à peu près) à cause de ses quatre circuits d'utilisation au lieu de deux. Le premier additionneur a un

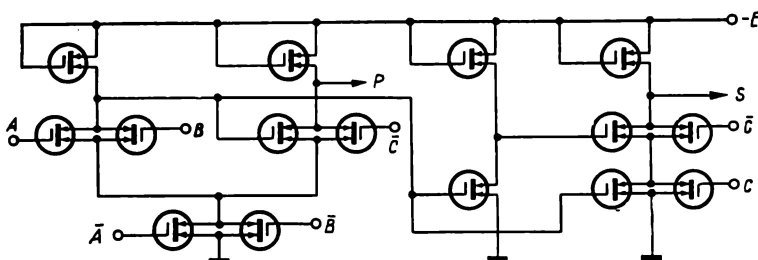


Fig. 1.38. Additionneur à une position à transistors MOS à canal *P*

délai plus court de formation de la somme et du report que le second du fait que $\tau_{s1} = 2\,\tau_{moy}$ et $\tau_{s2} = 3\,\tau_{moy}$. Toutefois, l'un et l'autre comportent un nombre bien plus petit de transistors MOS que dans le cas d'un additionneur réalisé directement avec les éléments logiques standards ET-NON, OU-NON, ET-OU-NON, conformément aux fonctions de la somme et du report:

$$S = A \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C,$$

$$P = A \cdot B + B \cdot C + A \cdot C.$$

Une matérialisation directe des expressions *P* et *S* au moyen de circuits ET-NON et ET-OU-NON impliquerait respectivement 9 tran-

sistors MOS ballasts, 25 logiques et 2 transistors MOS ballasts, 18 logiques. Ces chiffres dépassent de beaucoup le nombre de transistors MOS contenu dans les additionneurs schématisés fig. 1.37 et 1.38. La confrontation ci-dessus montre la grande souplesse de la synthèse des circuits logiques compliqués avec les transistors MOS résultant de multiples combinaisons possibles de leur branchement.

Le dynamisme du niveau d'intégration des transistors dans la logique intégrée MOST (jusqu'à 3 à 5 mille) a rendu impérative la réduction de la consommation de puissance par porte, assez importante dans le cas des circuits MOST à canal P (1 à 10 mW/porte). Or, la réduction de puissance que l'on obtient en augmentant la résistance des transistors MOS dans les circuits d'utilisation compromet la rapidité de commutation des circuits (jusqu'à 50 à 100 kHz) et restreint les débouchés de la logique intégrée MOST. Une réduction considérable de la consommation de puissance s'obtient par emploi de circuits à transistors MOS complémentaires.

1.3.2. Logique intégrée à transistors MOS complémentaires (C/MOST)

Les propriétés principales de la logique C/MOST qui l'avantagent sur celle à transistors MOS à canal P sont les suivantes:

— consommation de puissance micromique au régime statique;

— rapidité de commutation élevée;

— haute résistance aux parasites due à un grand décollement du signal 1 par rapport au signal 0;

— possibilités logiques nouvelles résultant de la complémentarité des structures;

— facteur de charge élevé ($n \geqslant 15$ à 20).

La logique C/MOST présente cette distinction qu'elle nécessite pour chaque entrée logique un transistor à canal N auquel est réuni par la grille un transistor à canal P.

Les transistors MOS complémentaires permettent la synthèse des circuits OU-NON en logique positive lorsque les transistors à canal N sont placés en parallèle et ceux à canal P en série, et des circuits OU-NON en logique négative lorsque le branchement des transistors à canal P se fait en parallèle et celui des transistors à canal N en série.

Un circuit OU-NON à m entrées demandera m transistors à canal P montés en série (en cascade) et m transistors à canal N montés en parallèle (logique positive). D'une manière générale, le facteur de charge d'entrée se trouve limité à 4. Respectivement, un circuit ET-NON à m entrées impliquera un montage en cascade de m transistors à canal N et un montage en parallèle de m transistors à canal P (logique positive).

La fig. 1.39 représente les circuits OU-NON et ET-NON à deux entrées en logique positive réalisés avec les transistors MOS complé-

mentaires. Considérons plus en détail le comportement du circuit OU-NON.

L'application à l'entrée A d'un signal 1 (tension voisine de $+E$) est suivie de l'ouverture du transistor à canal N et de la fermeture du transistor à canal P dont la grille est reliée à celle du précédent. La sortie du circuit est au niveau 0, proche du potentiel de la masse. L'apparition sur les entrées A et B des mêmes niveaux 0 entraîne la fermeture des deux transistors à canal N et l'ouverture des deux transistors à canal P avec comme effet la formation à la sortie d'un

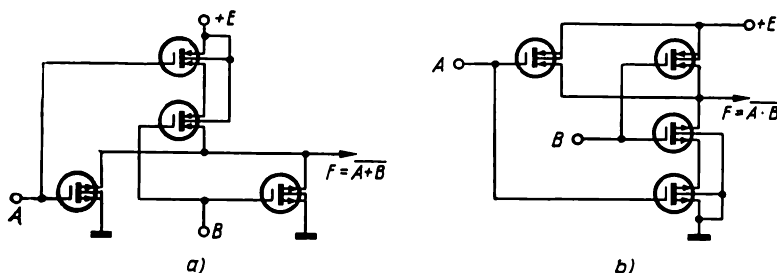


Fig. 1.39. Logique C/MOST, éléments de base:
a — OU-NON; *b* — ET-NON

niveau 1 voisin de $+E$. Vu que l'état $F = 0$ correspond à la conduction des transistors à canal N et l'état $F = 1$ à celle des transistors à canal P, la recharge de la capacité d'utilisation s'opère toujours par le transistor MOS ouvert. Puisque dans l'état statique les transistors complémentaires ne peuvent pas conduire à la fois, la consommation de puissance statique est égale au produit de la tension de la source d'alimentation par le courant de fuite du transistor bloqué. Pour les circuits pratiques, cette puissance constitue 1 à 5 μW par porte. Au régime dynamique, la puissance absorbée par la logique intégrée C/MOST est bien plus grande, mais il s'agit là uniquement de la recharge des capacités parasites du circuit d'utilisation pendant la durée d'impulsion. La consommation de puissance dynamique du circuit se détermine comme

$$P_{\mathrm{d}} = 2C_{\mathrm{ch}} f_{\mathrm{tr}} E^2,$$

où C_{ch} est la capacité de la charge, f_{tr}, la fréquence de travail et E, la tension de la source d'alimentation.

Pour réduire la consommation de puissance au régime dynamique, il est nécessaire de diminuer les capacités parasites. La tension de seuil du transistor à canal P (U_{0P}) étant supérieure à celle du transistor à canal N (U_{0N}), la tension d'alimentation doit être au-dessus de U_{0P}. Dans ce cas, le circuit logique jouit d'une tenue aux parasites élevée et d'une bonne vitesse de commutation.

Les intervalles types de variation de la puissance, absorbée au régime dynamique par la logique intégrée C/MOST en fonction de la fréquence, sont les suivants:

à 100 kHz: 50 à 100 μW/porte;

à 400 kHz: 200 à 400 μW/porte;

à 1 MHz: 500 à 1000 μW/porte.

Les valeurs de puissance ci-dessus sont 5 à 10 fois plus faibles que dans le cas des portes réalisées avec les transistors MOS unitypes.

La synthèse des circuits logiques à partir des transistors MOS complémentaires présente une grande souplesse. C'est ainsi qu'avec

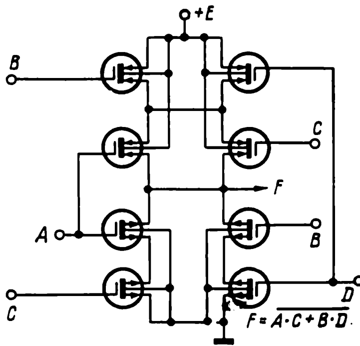


Fig. 1.40. Logique C/MOST, réalisation de la fonction ET-OU-NON

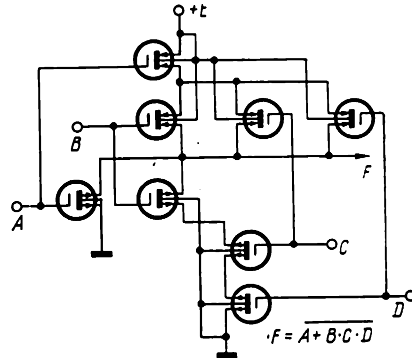


Fig. 1.41. Logique C/MOST, circuit 3ET-OU-NON

4 transistors à canal P et 4 transistors à canal N dont on change le mode de connexion, il est possible de réaliser 9 dispositifs différents:

$$M_1 = \bar{A} + \bar{B} + \bar{C} + \bar{D};$$
$$M_2 = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D};$$
$$M_3 = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D});$$
$$M_4 = (\bar{A} + \bar{B}) \cdot \bar{C} + \bar{D};$$
$$M_5 = (\bar{D} + \bar{B} + \bar{C}) \cdot \bar{A};$$
$$M_6 = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D};$$
$$M_7 = (\bar{A} \cdot \bar{B} + \bar{C}) \cdot \bar{D};$$
$$M_8 = \bar{A} \cdot \bar{B} + \bar{C} + \bar{D};$$
$$M_9 = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{D}.$$

La fig. 1.40 montre le circuit logique exécutant la fonction M_3 qui est transformable en circuit OU exclusif par application du signal A à l'entrée C et du signal B à l'entrée D.

La fonction M_5 (fig. 1.41) est matérialisée par un circuit formé d'un montage de quatre transistors à canal P dont trois sont connectés en parallèle et le quatrième en série, et d'un montage de quatre

transistors à canal N dont trois sont placés en série et le quatrième en shunt sur ceux-ci. La grille commune à un transistor unique à canal P et au transistor à canal N en shunt constitue l'entrée $\bar{A}$. En cas d'expressions M_3 et M_5 qui sont des fonctions logiques compliquées, les délais de commutation des deux circuits qui ont à les traiter se ramènent à un délai unique τ_{moy}.

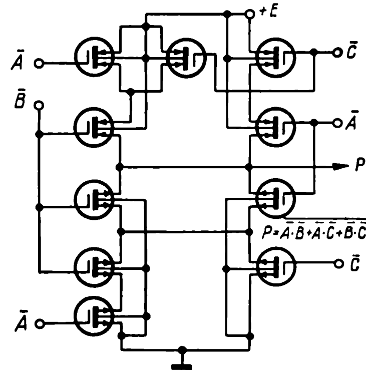


Fig. 1.42. Logique C/MOST, formateur de report

La fig. 1.42 représente le circuit logique de formation du report (P) d'un additionneur dont l'organisation est adaptée à matérialiser la fonction P sous sa forme classique. La réalisation directe de la fonction P à l'aide d'éléments standards ET-NON et OU-NON demande 18 transistors MOS (9 transistors à canal N et autant à canal P) tandis qu'un circuit profitant de la spécificité d'un montage des transistors MOS complémentaires en parallèle et en cascade (fig. 1.42) n'en implique que 10. Le délai de formation du report de ce circuit est égal à τ_{moy}.

L'additionneur complet à une position utilisant la logique intégrée C/MOST est schématisé fig. 1.43. Dans cet additionneur, la

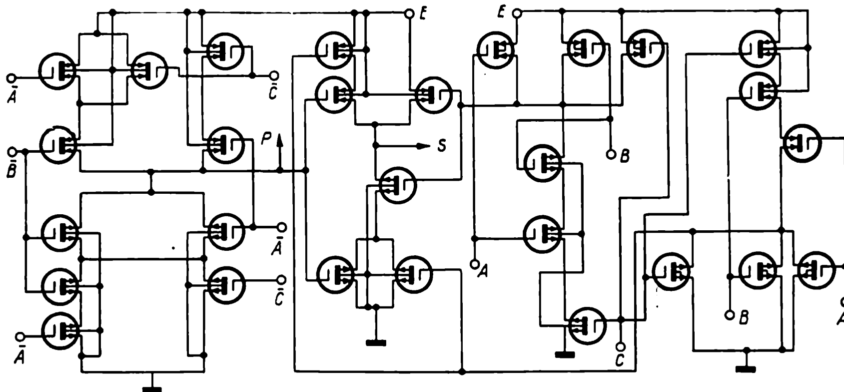


Fig. 1.43. Logique C/MOST, additionneur à une position

fonction de report se fait par le montage indiqué fig. 1.42, la somme étant formée suivant l'expression:

$$S=\overline{P}\,(A+B+C)+A\cdot B\cdot C.$$

La comparaison des circuits réalisés avec les transistors intégrés MOS à canal P et avec les transistors intégrés MOS complémentaires

montre que ces derniers constituent un nombre bien plus grand de composants que les précédents.

A côté des difficultés technologiques, un nombre relativement important de composants à utiliser pour exécuter une seule fonction est à l'origine des limitations supplémentaires qui désavantagent la logique LSI C/MOST par rapport au circuit LSI MOST à canal *P*. Cependant, grâce à leur consommation de puissance minime à laquelle s'ajoute une haute rapidité de commutation, les circuits intégrés C/MOST offrent de larges perspectives pour le développement de la logique à très grande intégration.

1.3.3. Logique C/MOST à transistor ballast

Des possibilités intéressantes pour la synthèse des circuits intégrés, économiques par le nombre de leurs composants, s'offrent grâce à l'emploi de transistors MOS complémentaires avec le transistor ballast. Cette classe de circuits MOS peut être désignée comme la logique intégrée C/MOSTB.

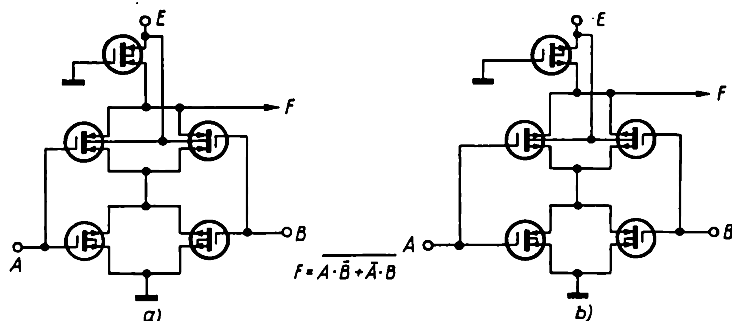


Fig. 1.44. Logique C/MOSTB, circuit OU-OU-NON :
a — logique positive; *b* — logique négative

En logique positive, le transistor ballast est à canal *P* et en logique négative, à canal *N*. La fig. 1.44 donne des exemples de réalisation du circuit OU exclusif en logique positive et négative à l'aide de circuits intégrés C/MOSTB. Le retard de commutation des circuits est égal à τ_{moy}.

Comparés au circuit OU-OU-NON en logique intégrée MOST à canal *P* de la fig. 1.36, les circuits intégrés C/MOSTB (fig. 1.44 *a*, *b*) contiennent deux transistors MOS de moins, tout en présentant une consommation de puissance et un retard de commutation deux fois plus petits du fait de l'élimination du deuxième étage logique. Un additionneur complet à une position utilisant les circuits intégrés C/MOSTB et dont le schéma est celui de l'additionneur à circuits intégrés MOST à canal *P* (fig. 1.38) se révèle plus économique. L'additionneur de la fig. 1.45 dont on a supprimé un étage inverseur jouit

d'une consommation de puissance moins grande et d'une rapidité de fonctionnement plus élevée. Il est à noter également que le nombre de transistors est diminué de deux et que les entrées d'information sont deux fois moins nombreuses (3 au lieu de 6) que dans le cas du circuit à transistors MOS à canal *P*.

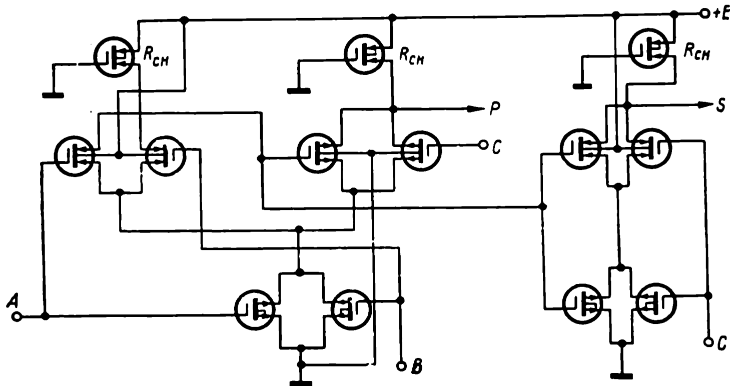
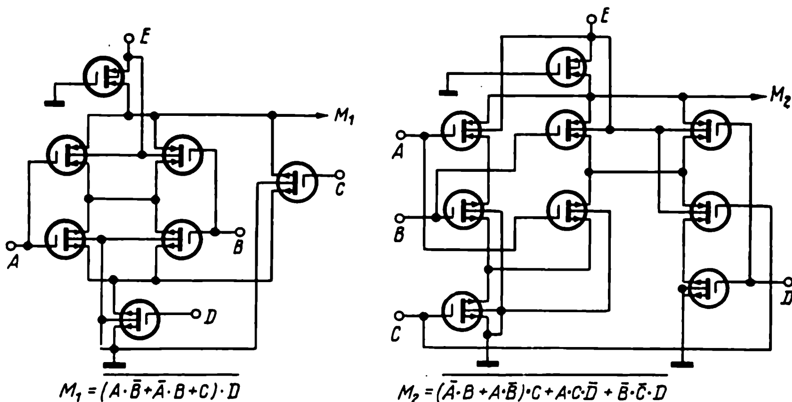


Fig. 1.45. Logique C/MOSTB, additionneur à une position

Les circuits C/MOSTB ont la propriété d'inverser le signal à l'entrée (voir fonction fig. 1.44) comme c'est le cas de la logique *T-TTL*. Cette propriété permet d'assouplir grandement l'étude des organes logiques.



$M_1 = \overline{(A \cdot \bar{B} + \bar{A} \cdot B + C) \cdot D}$ $\qquad$ $M_2 = \overline{(\bar{A} \cdot B + A \cdot \bar{B}) \cdot C + A \cdot C \cdot \bar{D} + \bar{B} \cdot \bar{C} \cdot D}$

Fig. 1.46. Logique C/MOSTB, réalisation des fonctions à plusieurs niveaux

L'association des transistors complémentaires à un transistor ballast conduit à des circuits capables de réaliser des fonctions logiques compliquées avec un minimum de composants. La fig. 1.46 donne à titre d'exemple les schémas des circuits intégrés C/MOSTB

en logique positive exécutant les fonctions logiques à plusieurs niveaux :

$$M_1 = \overline{(A \cdot \bar{B} + \bar{A} \cdot B + C) \cdot D},$$

$$M_2 = \overline{\bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + B \cdot C \cdot \bar{D} + \bar{B} \cdot \bar{C} \cdot D}.$$

La réalisation de ces fonctions au moyen de transistors MOS unitypes demande deux transistors de plus pour chaque entrée inverseuse.

Les circuits logiques à transistors MOS complémentaires, dotés d'un transistor ballast constituent l'un des domaines prometteurs du développement des circuits intégrés.

1.3.4. Logique intégrée C/MOS à transistors de passage et de blocage (C/MOST-PB)

La logique intégrée C/MOST de ce genre met en application les bonnes propriétés de blocage des transistors MOS (ces propriétés sont largement exploitées par la logique intégrée à effet dynamique et quasi statique, pour les mémoires MOS, etc.). Dans le circuit C/MOST-PB, chaque porte à deux entrées se trouve associée à un transistor MOS à canal N (ou P), dit de passage, auquel est lié un autre transistor MOS respectivement à canal P (ou N), dit de blocage. Le point commun des grilles des transistors de passage et de blocage (TP et TB) constitue toujours l'une des entrées logiques du circuit, le drain du TP sert de seconde entrée logique, le point commun des sources des TP et TB formant la sortie du circuit logique. Le rôle de TP peut être rempli par un transistor à canal N ou P et le TB peut avoir son drain raccordé soit à la source d'alimentation soit à la « terre ». Dans tous les modes de connexion des TP et TB le circuit réalise la fonction ET avec inhibition (NON, ET) avec ou sans inversion à la sortie.

La fig. 1.47 montre quatre modes possibles de connexion des TP et TB : logique positive en *a* et *b* ; logique négative en *c* et *d*. Comme nous l'avons déjà signalé, nous ne traiterons en détail dans ce qui suit que des circuits et dispositifs fonctionnant en logique positive.

La fig. 1.47 *a* représente un circuit exécutant la fonction NON, ET-NON où le TP est à canal N et le TB est un transistor à canal P raccordé à une source $+E$. Dans le circuit réalisant la fonction NON, ET (fig. 1.47 *b*) le TP est à canal P et le TB est un transistor à canal N connecté à la « terre ».

Analysons rapidement le comportement du circuit schématisé fig. 1.47 *b*. Pour une combinaison de signaux aux entrées $A = 1$, $B = 1$, le TB sera conducteur et la sortie F se trouvera au niveau de la « terre » ($F = 0$). Dans le cas où $A = 0$ et $B = 1$, le TB est toujours en débit et $F = 0$. Pour une combinaison de signaux $A = 0$, $B = 0$, c'est le TP qui sera conducteur, mais du fait que $A = 0$, la sortie F sera maintenue au potentiel de la masse ($F = 0$). C'est seulement pour une combinaison de signaux $A = 1$, $B = 0$ que le

TP (transistor à canal P) pourra conduire le signal 1 vers la sortie F (F = 1). Le circuit de la fig. 1.47 *b* réalise donc la fonction $F = A \cdot \overline{B}$. Nous laissons au lecteur le soin de vérifier par lui-même la fonction réalisée par le circuit de la fig. 1.47 *a*.

Les circuits C/MOST-PB ont ceci de particulier que lorsque le TP est bloqué le circuit a sa sortie réunie en toute sécurité à travers le TB ouvert soit à la source d'alimentation (E), soit au potentiel

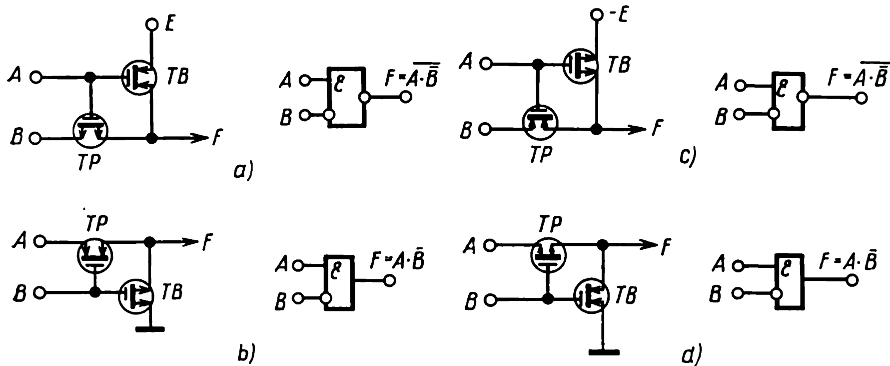


Fig. 1.47. Différentes versions des circuits NON, ET en C/MOST-PB :
a, *b* — logique positive; *c*, *d* — logique négative

de la « terre», ce qui confère une tenue aux parasites élevée aux circuits intégrés en question comme c'est le cas de la logique intégrée C/MOS classique (voir § 1.3.2).

Les concepteurs des dispositifs numériques pourront profiter de riches possiblités fonctionnelles qu'offre l'association des circuits C/MOST-PB réalisant les fonctions NON, ET et NON, ET-NON aux circuits C/MOS capables de fonctions ET-NON et OU-NON. Or, la fig. 1.48 représente un circuit qui fait la fonction 4 ET-NON et dont les deux entrées sont rendues inverseuses grâce à l'adjonction de deux circuits C/MOST-PB réalisant la fonction NON, ET à un circuit classique ET-NON à deux entrées.

En utilisant à la place du circuit ET-NON un circuit OU-NON à deux entrées, nous pourrons réaliser avec les mêmes 8 transistors MOS complémentaires la fonction NON, ET-OU-NON (fig. 1.49). Il est à noter à ce propos que la matérialisation de cette fonction par les circuits C/MOST classiques demandera 12 transistors MOS complémentaires. Si maintenant nous plaçons à l'entrée d'un circuit ET-NON classique deux circuits C/MOST-PB exécutant la fonction NON, ET-NON, nous obtiendrons un circuit NON, ET-OU à huit transistors complémentaires (voir fig. 1.50). D'autre part, l'association de deux circuits NON, ET-NON aux entrées du circuit OU-NON classique conduit à un circuit réalisant la fonction 4 ET-ET qui possède deux entrées inverseuses (voir fig. 1.51).

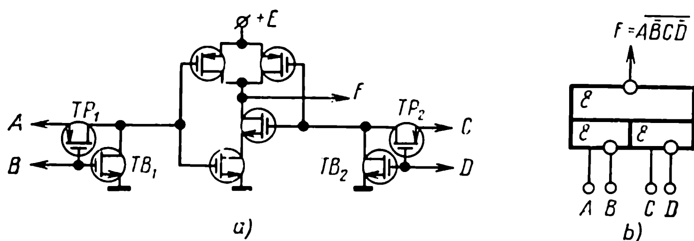


Fig. 1.48. Circuit NON, ET-ET-NON en C/MOST-PB :
a — schéma de principe, *b* — représentation symbolique

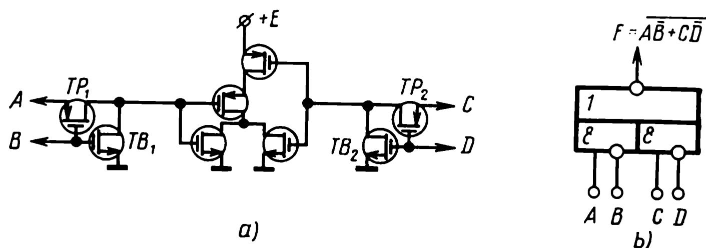


Fig. 1.49. Circuit NON, ET-OU-NON en C/MOST-PB :
a — schéma de principe; *b* — représentation symbolique

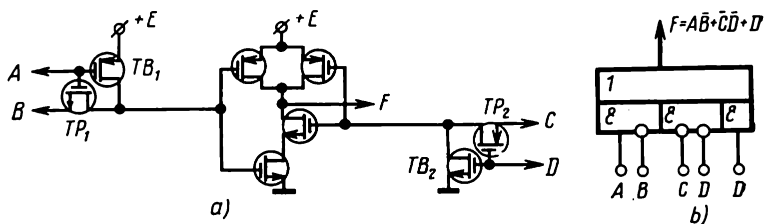


Fig. 1.50. Circuit NON, ET-OU en C/MOST-PB :
a — schéma de principe; *b* — représentation symbolique

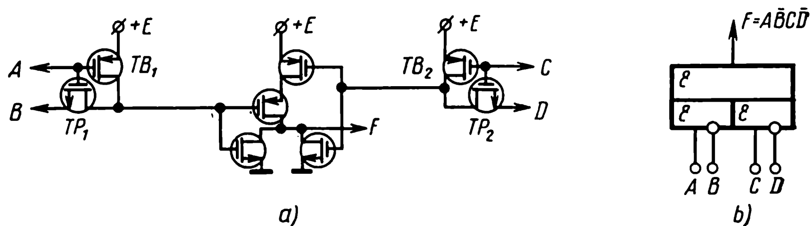


Fig. 1.51. Circuit NON, ET-ET en C/MOST-PB :
a — schéma de principe; *b* — représentation symbolique

Il est possible également de matérialiser avec les huit transistors MOS complémentaires des fonctions plus compliquées dont NON, ET-3 OU et NON, ET-3 OU-NON à condition de placer à l'une des entrées des circuits ET-NON (OU-NON) un circuit NON, ET et à l'autre entrée, un circuit NON, ET-NON (voir fig. 1.52 et 1.53). De telles fonctions se rencontrent dans les organes de commande des dispositifs numériques et, dans le cas de la technique de synthèse classique, nécessitent jusqu'à 16 transistors MOS complémentaires.

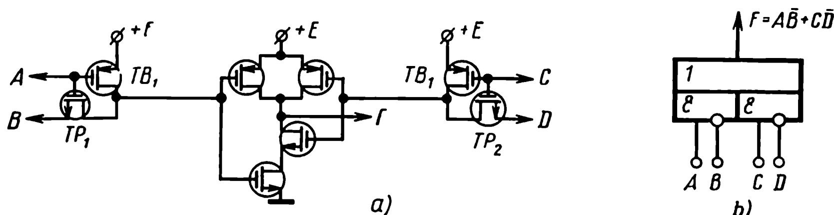


Fig. 1.52. Circuit NON, ET-3OU en C/MOST-PB :
a — schéma de principe ; *b* — représentation symbolique

La fig. 1.54 donne une autre variante d'emploi de la logique C/MOS à transistors de passage et de blocage dans le circuit NON, ET-OU-NON dont l'un seulement des deux circuits ET a une entrée inhibitive et se compose d'un TP à canal *P* et d'un TB à canal *N*. Le nombre d'entrées en NON, ET peut être augmenté par le montage cascadé des transistors à canal *P* et le montage parallèle des transistors à canal *N*, chaque couple de ces transistors ayant leur grille commune raccordée à un couple de transistors complémentaires qui sont le TP et le TB. La fig. 1.55 est l'exemple d'un tel circuit réalisant la fonction NON, ET-m·OU-NON. En analysant les schémas des fig. 1.47 à 1.55 on peut constater que les circuits C/MOST-PB réalisent toutes les fonctions dont sont capables les éléments T-TTL (voir § 1.2.2). Le fait de coupler les combinaisons diverses de circuits NON, ET et NON, ET-NON du type C/MOST-PB aux entrées des circuits classiques ET-NON, OU-NON et ET-OU-NON permet de réaliser des fonctions nouvelles et, partant, de construire de façon économique les additionneurs, les décodeurs, les comparateurs en module 2 et autres.

Un intérêt tout particulier représente l'emploi de circuits C/MOST-PB pour la synthèse des montages en bascule du type D, T_t, T-D et d'autres qui, quoique à effet statique, exigent un nombre réduit de transistors, ce qui est le propre des bascules en circuits intégrés MOS à effet quasi statique [42, 55]. Un certain nombre de montages en bascule économiques C/MOST-PB sera examiné au chapitre 3.

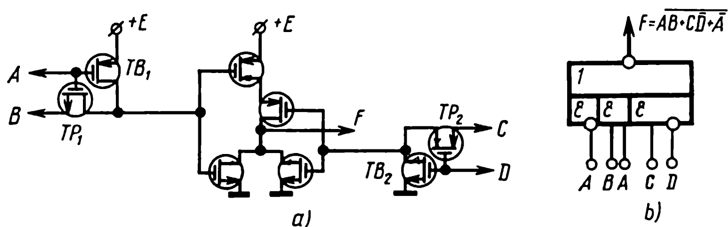


Fig. 1.53. Circuit NON, ET-3OU-NON en C/MOST-PB:
a — schéma de principe; *b* — représentation symbolique

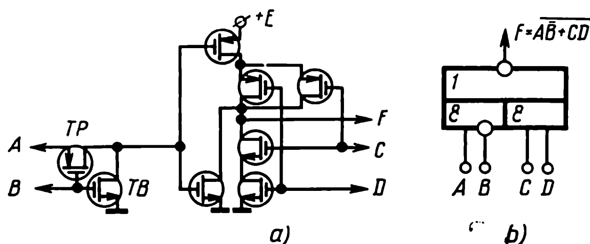


Fig. 1.54. Circuit NON, ET-OU-NON en C/MOST-PB:
a — schéma de principe; *b* — représentation symbolique

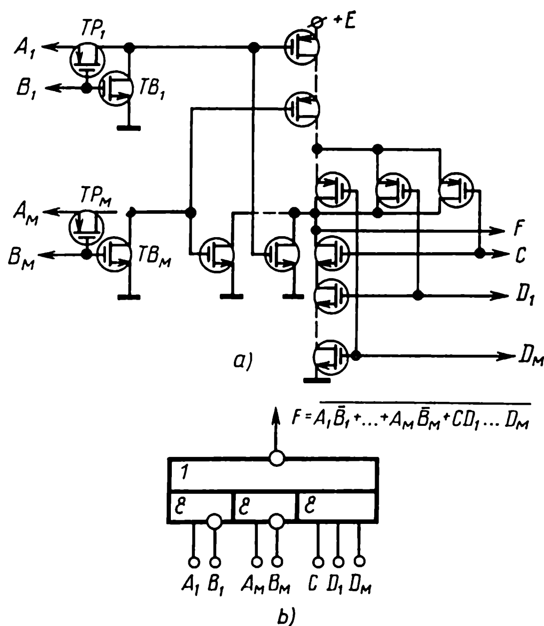


Fig. 1.55. Circuit NON, ET-OU-NON en C/MOST-PB:
a — schéma de principe; *b* — représentation symbolique

CHAPITRE II

Classification des montages en bascule

Introduction

Le montage en bascule représente un dispositif bistable *) comportant un élément de mémoire (bascule proprement dite) et un circuit de commande. Le circuit de commande sert à transformer les informations, qui arrivent sur ses entrées $A_1, \ldots, A_n$, en une combinaison de signaux agissant directement sur les entrées de la bascule proprement dite dont l'état est caractéristique de celui de l'ensemble du dispositif. Le schéma synoptique du montage en bascule est donné fig. 2.1, où :

T_b est la bascule proprement dite;

CC est le circuit de commande;

S', R' sont les entrées de la bascule proprement dite;

Q, $\bar{Q}$ sont les sorties du montage en bascule;

$A_1, \ldots, A_n$ sont les entrées d'information du montage en bascule;

$T_1, \ldots, T_n$ sont les entrées horloge.

La fig. 2.1 représente le schéma généralisé du montage en bascule. Pourtant, comme on le verra plus loin, il peut exister des versions plus simples des montages en bascule.

Dans un montage en bascule, le nombre d'entrées horloge peut être différent. Il y a des montages en bascule dont le nombre d'entrées horloge est égal à 1, à 2, à 3, etc. Les montages en bascule asynchrones n'ont pas d'entrées horloge. Ces derniers constituent les variantes les plus simples des montages en bascule, étant donné qu'ils sont généralement exempts de circuit de commande.

Aujourd'hui, la technique des circuits intégrés fait appel à des dizaines de versions des montages en bascule dissemblables dans leur fonction, leur structure, le mode d'écriture de l'information, etc. [5, 12, 17, 44]. Cela conduit à adopter une certaine classification des montages en bascule qui guiderait le choix des concepteurs des dispositifs appropriés.

Les éléments logiques commandés par niveaux étant les plus courants dans la technique des circuits intégrés (voir chapitre 1), il va s'agir dans ce qui suit des montages en bascule commandés par

*) Certains types de dispositifs dotés d'un nombre d'états stables supérieur à 2 que l'on appelle bascules multistables dans la littérature [32, 43] seront considérés au chapitre 5.

niveaux. La classification des montages en bascule commandés par niveaux (appelés tout simplement bascules dans les pages qui suivent) est donnée fig. 2.2. Les bascules commandées par niveaux sont classées essentiellement selon deux critères :

— critère fonctionnel,

— mode d'écriture de l'information dans la bascule.

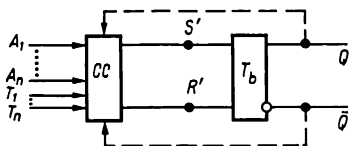


Fig. 2.1. Schéma synoptique du montage en bascule

La classification fonctionnelle [15, 17, 25, 44] qui est des plus générales répartit les bascules suivant la forme de l'équation logique représentative de l'état des entrées et des sorties d'une bascule aux instants antérieur et postérieur à son basculement (respectivement t^n et t^{n+1}). Selon la classification fonctionnelle, on

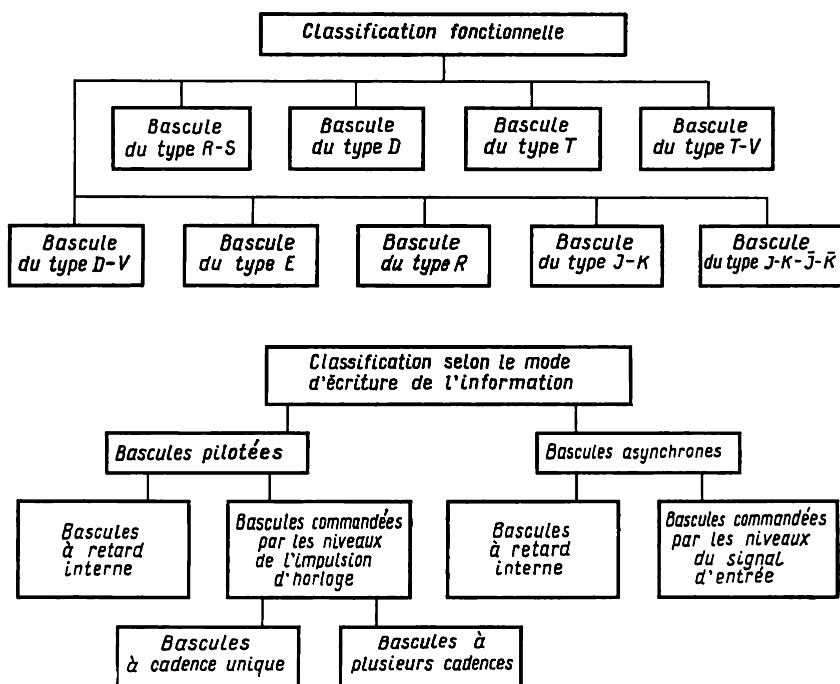


Fig. 2.2. Classification des montages en bascule

distingue les types suivants de bascules : *R-S*, *D*, *T*, *E*, *D-V*, *J-K* et autres. La classification selon le mode d'écriture de l'information est caractéristique du chronogramme de fonctionnement de la bascule, c.-à-d. qu'elle définit le déroulement de l'écriture de l'information dans celle-ci.

Cette classification [44] des bascules en fait deux groupes:
1) bascules asynchrones;
2) bascules pilotées.

Le trait distinctif des bascules asynchrones est que l'information y est inscrite directement sur un signal d'information arrivant sur l'entrée de la bascule. Or, l'écriture de l'information dans les bascules pilotées, dotées d'entrées d'information et horloge, n'a lieu qu'à l'application d'une impulsion d'autorisation dite d'horloge (H).

Les bascules pilotées peuvent, elles aussi, être classées en bascules commandées par les niveaux de l'impulsion d'horloge (le basculement est simultané avec l'arrivée de l'impulsion d'horloge) et en bascules à retard interne *) (le basculement a lieu après la disparition de l'impulsion d'horloge).

Les bascules pilotées, commandées par les niveaux de l'impulsion d'horloge, peuvent être à cadence unique ou à plusieurs cadences. Les bascules pilotées à retard interne sont généralement à cadence unique. Les bascules à plusieurs cadences (à n cadences) se caractérisent par le fait que la transition de la bascule proprement dite vers un nouvel état n'est terminée que sur la n-ième impulsion d'horloge ($n=2, 3, 4, \ldots$). Comme nous l'avons déjà indiqué, un montage en bascule se compose de la bascule proprement dite et du circuit de commande. Il est possible, grâce à la modification de l'organisation du circuit de commande et du mode de connexion des sorties de la bascule Q et $\overline{Q}$ aux entrées du circuit de commande, d'obtenir les bascules de type différent, dissemblables dans la fonction logique qu'elles réalisent. C'est ainsi qu'avec un montage en bascule à une seule entrée d'information A pouvant prendre deux états logiques 0 et 1 ($A = 0$ ou $A = 1$) et à deux sorties Q et $\overline{Q}$ donnant cinq états logiques possibles à la sortie 0, 1, Q, $\overline{Q}$ et X, on arrive à avoir 25 types fonctionnels de montages en bascule [44].

Les états de sortie de la bascule 0, 1, Q, $\overline{Q}$ et X s'interprètent comme suit:

0: la bascule est en permanence dans l'état zéro ($Q = 0$), quel que soit le niveau logique à l'entrée A;

1: la bascule est en permanence dans l'état 1 ($Q = 1$), quel que soit le niveau logique à l'entrée A;

Q: le changement d'information à l'entrée A n'entraîne pas celui de l'état de la bascule;

$\overline{Q}$: le changement d'information à l'entrée A produit l'inversion de l'état de la bascule;

X: l'état de la bascule est indéterminé **).

*) D'une manière générale, les bascules pilotées à retard interne se laissent commander également par le niveau de l'impulsion d'horloge, ce qui s'obtient par changement de polarité de cette dernière.

**) L'état indéterminé de la bascule se caractérise par le fait que pendant la durée du signal d'information à l'entrée de la bascule ses côtés ont les mêmes niveaux logiques de sorties ($Q = \overline{Q} = 1$ ou $Q = \overline{Q} = 0$) et après la cessation du signal d'information les basculements vers $Q = 1$ ou $Q = 0$ sont équiprobables.

Tableau 2.1

Tableau des états des montages en bascule à entrée unique

t^n	t^{n+1}																
	Q^{n+1}																
A	Numéro du montage en bascule																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	0	1	1	0	1	Q^n	1	0	Q^n	$\overline{Q}^n$	$\overline{Q}^n$	1	Q^n	X	1	Q^n	—
1	1	Q^n	0	0	1	1	Q^n	Q^n	0	$\overline{Q}^n$	Q^n	$\overline{Q}^n$	1	X	X	Q^n	—

N o t a. A est le niveau du signal agissant sur l'entrée d'information de la bascule à l'instant t^n; Q^{n+1} est l'état de la bascule à l'instant t^{n+1}; X est l'état indéterminé de la bascule.

Examinons à titre d'illustration de ce qui vient d'être dit le tabl. 2.1 qui résume les lois régissant le fonctionnement de quelques-uns des 25 types de bascules possibles. On voit immédiatement sur le tableau que la plupart des bascules sont soit impropres à l'utilisation pratique (bascules 4, 5, 8, 9 et autres) soit faciles à réaliser à partir des autres: 3 à partir de 1, 12 à partir de 2, etc.

Les montages en bascule 4, 5, 10, 14, 16 dotés d'un seul état stable peuvent servir de générateurs de 0, 1...

Il est possible d'établir des tableaux de transitions similaires également pour les bascules à deux, à trois et à plus d'entrées. Les bascules à deux entrées et à deux sorties permettant quatre combinaisons de signaux à l'entrée (00, 01, 10, 11) et cinq états à la sortie peuvent déjà exister dans les 625 types. Formellement, le fait d'adopter un montage à n entrées permettrait la création de 5^{2^n} types de bascules. Pourtant, en réalité on ne met en pratique qu'un nombre réduit de types de bascules dont en premier lieu les bascules R-S, D-V, J-K, T, T-V, E, R.

Les dispositifs numériques conçus à partir des circuits intégrés commandés par niveaux font le plus souvent appel à des bascules pilotées dont la description sera l'objectif principal des chapitres qui suivent.

2.1. *Bascule du type R-S*

On appelle bascule du type R-S un organe logique à deux états stables qui possède deux entrées d'information R et S telles que pour $S=1$ et $R=0$ la bascule prend l'état 1 ($Q=1$), et pour $R=1$ et $S=0$ son état devient 0 ($Q=0$). En conformité de l'état que prend la bascule, l'entrée S est appelée entrée un de la bascule et l'entrée R, entrée zéro.

La loi de fonctionnement de la bascule du type R-S est représentée dans les tabl. 2.2 et 2.3.

Tableau 2.2

Table de vérité générale de la bascule *R-S*

Positions	t^n			t^{n+1}	Positions	t^n			t^{n+1}
	Q^n	R^n	S^n	Q^{n+1}		Q^n	R^n	S^n	Q^{n+1}
1	0	0	0	0	5	1	0	0	1
2	0	0	1	1	6	1	0	1	1
3	0	1	0	0	7	1	1	0	0
4	0	1	1	X	8	1	1	1	X

Tableau 2.3

Table de vérité condensée de la bascule *R-S*

t^n		t^{n+1}	t^n		t^{n+1}
R^n	S^n	Q^{n+1}	R^n	S^n	Q^{n+1}
0	0	Q^n	1	0	0
0	1	1	1	1	X

Nota. Q^n est l'état de repos de la bascule.

On voit bien que l'état de la bascule *R-S* ne change pas (c.-à-d. que $Q^{n+1} = Q^n$) si les deux entrées du montage sont au niveau de 0 logique. L'application d'un 0 logique à l'entrée R et d'un 1 logique à l'entrée S produit le renforcement de l'état précédent si la bascule était en état $Q = 1$ et le basculement si la bascule était en état $Q = 0$. Dans le cas où les entrées R et S reçoivent simultanément les uns logiques, la bascule prend un état indéterminé. Aussi, les organes logiques reposant sur les bascules *R-S* doivent-ils être conçus de façon à éviter les combinaisons de signaux $R \cdot S = 1$. L'équation logique de la bascule *R-S* établie en accord avec sa table de vérité et compte tenu de la contrainte ci-dessus s'écrit comme:

$$\left.\begin{aligned} Q^{n+1} &= S^n + \overline{R}^n \cdot Q^n ; \\ R^n \cdot S^n &= 0. \end{aligned}\right\} \qquad (2.1)$$

Considérons certains schémas pratiques des bascules pilotées et asynchrones du type *R-S*. La fig. 2.3 donne trois variantes de la bascule asynchrone *R-S* réalisée avec les circuits intégrés ET-NON, OU-NON, ET-OU-NON. Comme le montre la fig. 2.3, la bascule asynchrone *R-S* est en fait une bascule proprement dite dont les entrées du côté droit et du côté gauche reçoivent directement les

signaux d'information. Ces entrées, référencées S_d ($\bar{S}_d$) et R_d ($\bar{R}_d$) fig. 2.3, sont appelées entrées de forçage de la bascule respectivement à 1 et 0 *).

Or, le positionnement de la bascule par les entrées S_d et R_d implique les signaux dont le niveau représente 1 logique (fonctionnement en logique positive) et par les entrées $\bar{S}_d$ et $\bar{R}_d$. les signaux dont le niveau est celui de 0 logique (il s'agit là d'une bascule *R-S* à commande inverse). Les bascules de la fig. 2.3 *b* et *c* passeront donc à l'état 1 ($Q = 1$) pour $S_d = 1$ et à l'état 0 ($Q = 0$) pour $R_d = 1$. Pour ces bascules, la combinaison de signaux $S_d = R_d = 1$ est

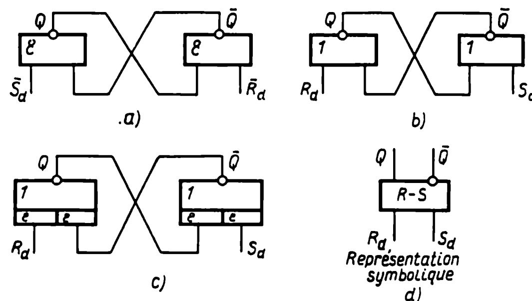


Fig. 2.3. Bascule asynchrone *R-S* :
a — réalisation en éléments ET-NON ; *b* — réalisation en éléments OU-NON ; *c* — réalisation en éléments ET-OU-NON ; *d* — représentation symbolique de la bascule

interdite. La bascule de la fig. 2.3 *a* est placée dans l'état 1 ($Q = 1$) par un signal $\bar{S}_d = 0$ et dans l'état 0 ($Q = 0$) par un signal $\bar{R}_d = 0$. Pour elle, c'est la combinaison de signaux $\bar{R}_d = \bar{S}_d = 0$ qui est interdite, c.-à-d. que l'apparition simultanée de 0 logique sur ses deux entrées est à proscrire.

L'étude des dispositifs numériques mettant en application les bascules nécessite la connaissance, en plus de la fonction exécutée par une bascule, de ses principaux paramètres qui sont :

le facteur de charge de sortie de la bascule n_t ;

le facteur de charge d'entrée m_t ;

la rapidité de fonctionnement **) caractérisée par :

a) le retard de basculement de la bascule τ_t ;

b) la durée du signal d'écriture de l'information dans la bascule τ_i ;

c) la fréquence utile F_u et la fréquence maximale F_{maxi} de basculement de la bascule.

---

*) Dans les bascules considérées, les entrées R_d et S_d correspondent aux entrées S' et R' sur le schéma synoptique de la fig. 2.1.

**) La rapidité de fonctionnement s'entend pour les signaux parfaitement rectangulaires, c.-à-d. abstraction faite de la durée de fronts.

Les paramètres n_t et m_t sont entièrement tributaires du facteur de charge de sortie et du facteur de charge d'entrée des éléments de base des circuits intégrés ($n_é$ et $m_é$) constituant la bascule.

Le retard de basculement des bascules asynchrones R-S (fig. 2.3) représente la somme des retards de commutation de deux éléments logiques dont se composent les bascules, soit $\tau_t = \tau_{10} + \tau_{01} = 2\tau_{moy}$. En effet, s'il s'agit d'écrire l'information dans n'importe quel montage de la fig. 2.3, par exemple, par l'entrée S_d (la bascule se trouve dans l'état $Q = 0$), un nouvel état stable $Q = 1$ sera atteint dans un temps $t = 2\tau_{moy}$ compté du moment d'arrivée du signal sur l'entrée S_d. Pour la stabilité de fonctionnement de la bascule, la durée du signal agissant sur ses entrées R_d et S_d ne peut pas être inférieure au retard total de commutation des éléments logiques formant les deux côtés de la bascule nécessaire à l'établissement de nouvelles valeurs des niveaux de sortie. Pour les montages schématisés fig. 2.3, la durée du signal d'entrée doit être d'au moins $2\tau_{moy}$, c.-à-d. $\tau_i \geqslant 2\tau_{moy}$.

La fréquence de basculement maximale de la bascule (F_{maxi}) est fonction de l'intervalle de temps minimum admissible entre deux signaux consécutifs de durée minimale arrivant alternativement sur les entrées S_d et R_d de la bascule.

Le paramètre F_{maxi} est donné par l'expression:

$$F_{maxi} = 1/\tau_t = 1/2\tau_{moy}. \qquad (2.2)$$

Par conséquent, la fréquence maximale d'alternance des signaux aux entrées est définie par un temps $\tau_T = 2\tau_{moy}$, c.-à-d. qu'un nouveau signal ne peut se présenter que lorsque les phénomènes transitoires ont pris fin dans la bascule et que celle-ci a basculé. Pourtant, pour $F_{maxi} = 1/2\tau_{moy}$, la durée des signaux aux sorties Q et $\bar{Q}$ sera limitée à τ_{moy}. Puisque la durée de signal τ_{moy} ne suffit pas pour une transmission fidèle de l'information au circuit logique formant la charge de la bascule, on est conduit à augmenter le temps séparant les signaux qui alternent aux entrées de la bascule, ce qui a pour effet un abaissement de la fréquence de basculement maximale. Par conséquent, la fréquence de basculement utile limite (F_u) d'une bascule asynchrone R-S, pour une durée d'au moins $2\tau_{moy}$ du signal d'information agissant sur chaque côté de la bascule, aura pour expression :

$$F_u = 1/3\tau_{moy}. \qquad (2.3)$$

Les bascules asynchrones R-S qui à titre autonome ont un débouché assez restreint servent cependant de circuits de base à tous les montages en bascule plus compliqués. Les dispositifs destinés au traitement numérique des informations utilisent généralement les bascules pilotées. La fig. 2.4 montre certaines variantes des bascules pilotées du type R-S réalisées en éléments ET-NON, OU-NON et ET-OU-NON.

A la différence des montages asynchrones, les bascules pilotées R-S possèdent à l'entrée de chaque côté les portes supplémentaires

à deux entrées dont les premières, qui sont communes, constituent une entrée horloge et les secondes, les entrées d'écriture de 1 (S) et de 0 (R). Ainsi, l'information venant sur les entrées R et S peut être transmise vers la bascule proprement dite seulement à l'arrivée d'une impulsion d'horloge. Examinons le fonctionnement séquentiel de la bascule pilotée à propos du montage de la fig. 2.4 *c* utilisant les éléments ET-OU-NON.

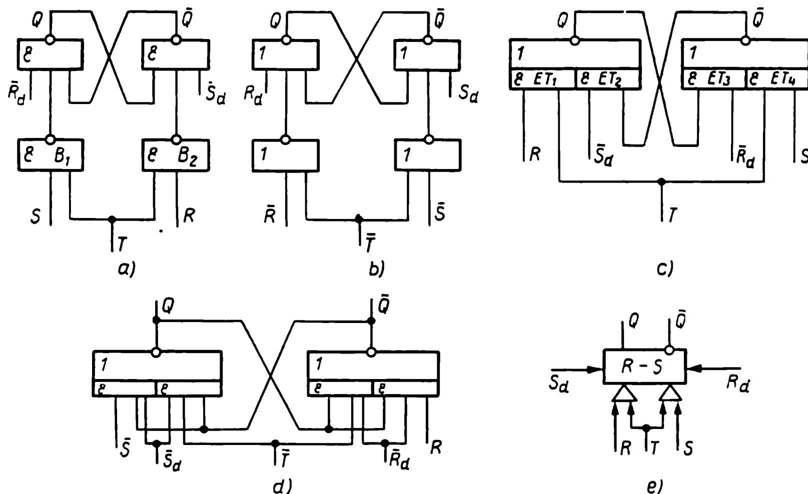


Fig. 2.4. Bascule pilotée R-S :

a — réalisation en éléments ET-NON ; *b* — réalisation en éléments OU-NON ; *c* — réalisation en éléments ET-OU-NON (les impulsions d'horloge ont le niveau 1) ; *d* — réalisation en éléments ET-OU-NON (les impulsions d'horloge ont le niveau 0) ; *e* — représentation symbolique de la bascule

Supposons la bascule être dans l'état $Q = 1$ et l'entrée R soumise à un signal de 1 logique, c.-à-d. que $R = 1$. Dans ce cas, à l'application d'une impulsion d'horloge ($T = 1$) le circuit ET_1 devient conducteur et la sortie Q passe à 0. Le circuit ET_3 s'en trouvera bloqué et le niveau 1 apparaîtra sur la sortie $\overline{Q} = 1$ qui, arrivé sur le circuit ET_2, le mettra en débit pour renforcer par le fait même le niveau 0 sur la sortie Q, d'où un nouvel état de la bascule: $Q = 0$, $\overline{Q} = 1$. Après la disparition de l'impulsion d'horloge ($T = 0$) le circuit ET_1 se coupe, mais, le circuit ET_2 étant passant, la bascule reste dans l'état pris pendant l'impulsion d'horloge. La combinaison de signaux $S \cdot T = 1$ met la bascule dans l'état $Q = 1$. En cas de combinaison de signaux $R \cdot S \cdot T = 1$, la bascule se trouve dans un état indéterminé, c.-à-d. que pour une bascule pilotée R-S, cette combinaison est interdite, tout comme la combinaison $R \cdot S = 1$ pour une bascule asynchrone.

La bascule de la fig. 2.4 *d* réalisée en éléments ET-OU-NON fonctionne par analogie avec celle de la fig. 2.4 *c* à cela près que

la commande par les entrées $\overline{R}$, $\overline{S}$, $\overline{T}$ s'effectue par les signaux de 0 logique. Pour une combinaison de signaux $\overline{R} = \overline{T} = 0$, elle a un état 0 et pour $\overline{S} = \overline{T} = 0$, un état 1. C'est donc la combinaison $\overline{S} = \overline{R} = \overline{T} = 0$ qui lui est interdite. La mise directe des deux circuits en état 1 ou 0 *) se fait en appliquant un 0 logique aux entrées $\overline{S}_d$ et $\overline{R}_d$. Les paramètres caractéristiques de la rapidité de fonctionnement des bascules pilotées (schémas en *c* et *d*, fig. 2.4) sont les suivants:

$$\tau_t = 2\tau_{moy}\ ;\ \tau_l = 2\tau_{moy}\ ;\ F_u \leqslant 1/4\tau_{moy}. \qquad (2.4)$$

Le circuit schématisé fig. 2.4 *a* est fait en éléments de la logique à niveau unique ET-NON, commandé (comme c'est le cas du circuit de la fig. 2.4 *d*) par les signaux de 1 logique appliqués aux entrées *R*, *S* et *T*. Si la bascule se trouve, par exemple, en état 0 ($Q = 0$) et que l'entrée *S* est portée au niveau de 1 logique ($S = 1$), l'arrivée d'une impulsion d'horloge ($T = 1$) aura pour effet l'ouverture de la porte B_1 (sa sortie est à 0 logique) et la bascule passera à l'état $Q = 1$. La combinaison de signaux $R \cdot T = 1$ met la bascule en état 0 ($Q = 0$). Le comportement du circuit de la fig. 2.4 *b* est similaire à celui de la fig. 2.4 *a*, à la seule différence qu'il est commandé par les signaux de 0 amenés sur les entrées $\overline{S}$, $\overline{R}$ et $\overline{T}$. Pour une combinaison de signaux $S = 0$ et $R = 1$, la présence d'une impulsion d'horloge ($T = 0$) fait passer la bascule dans l'état 1, et pour une combinaison de signaux $\overline{R} = 0$, $\overline{S} = 1$ et $\overline{T} = 0$, dans l'état 0 ($Q = 0$).

Etant donné que le processus d'inversion de la bascule proprement dite dans les montages schematisés en *a* et *b* fig. 2.4 commence après le déclenchement des éléments ET-NON et OU-NON, le paramètre τ_t pour ces bascules est connu par l'expression

$$\tau_t = 3\tau_{moy}. \qquad (2.5)$$

Dans le cas des circuits de la fig. 2.4 *a*, *b* et *d*, le paramètre τ_l doit être d'au moins $2\tau_{moy}$.

Les bascules pilotées du type *R-S* peuvent s'utiliser en bascules *R-S* à deux cadences, ce qui implique la présence d'une entrée horloge dans chaque porte d'entrée. La bascule à deux cadences du type *R-S* dérivant du circuit de la fig. 2.4 *a* est schématisée fig. 2.5. La première impulsion d'horloge produit l'écriture de l'information par l'entrée *S* et la seconde par l'entrée *R*, après quoi la bascule change d'état. La bascule *R-S* peut exister en version dotée d'une entrée horloge et d'une entrée asynchrone (fig. 2.6). L'emploi de bascules pilotées *R-S* pour les cellules logiques a pris une grande extension dans les dispositifs de commande et les registres et échelles. Par exemple, la fonction de position dans un registre à deux entrées parallèles (à deux « abonnés ») peut être faite par une bascule

*) Dite « forçage » (*N.D.T.*).

pilotée R-S-R^*-S^* *) de la fig. 2.7. L'écriture de l'information par les entrées R, S ou R^*, S^* a lieu sur les impulsions d'horloge respectives (T ou T^*) qui doivent être espacées d'un temps d'au moins

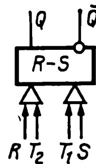


Fig. 2.5. Bascule R-S à deux cadences

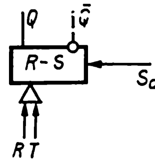


Fig. 2.6. Bascule R-S à entrée horloge unique

$4\tau_{moy}$. La rapidité de fonctionnement de la bascule R-S-R^*-S^* réalisée selon le schéma de la fig. 2.7 correspond à celle de la bascule pilotée R-S de la fig. 2.4 *a*:

$$\tau_t = 3\tau_{moy}\ ;\ \tau_i \geqslant 2\tau_{moy}\ ;\ F_u \leqslant 1/4\tau_{moy}. \qquad (2.6)$$

Le nombre d'« abonnés » à une bascule pilotée R-S-R^*-S^* peut être considérable, c'est pourquoi ces bascules peuvent servir de base aux registres des ordinateurs à fonctionnement parallèle.

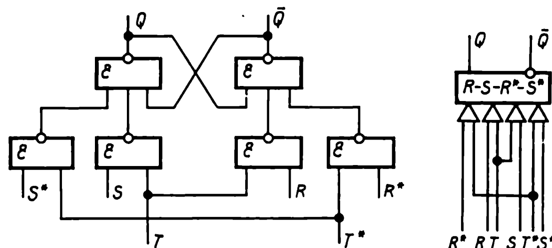


Fig. 2.7. Bascule pilotée R-S-R^*-S^*

Les bascules pilotées R-S que nous venons de décrire se rangent parmi les circuits commandés par les niveaux de l'impulsion d'horloge. Les bascules pilotées du type R-S à retard interne et les bascules du type R-S à plusieurs phases seront considérées au chapitre 3.

2.2. *Bascule du type D*

On appelle bascule du type D, connue dans la littérature sous le nom de bascule retardateur, un organe logique bistable comportant une entrée d'information D **). Le tableau 2.4 donne la loi de fonc-

---

*) Les références R^* et S^* des entrées signifient que l'écriture de l'information par ces entrées s'opère par une impulsion d'horloge T^* qui ne coïncide pas avec T, c.-à-d. que l'information peut s'écrire soit par les entrées R, S, soit par les entrées R^*, S^*.

**) La désignation « bascule D » dérive du mot anglais « delay » — retard.

tionnement de la bascule du type D, représentée par l'équation logique

$$Q^{n+1} = D^n. \tag{2.7}$$

L'équation logique indique que l'état de sortie de la bascule à l'instant t^{n+1} s'identifie à celui de son entrée à l'instant t^n, c.-à-d. que le signal d'entrée est soumis à un retard.

Tableau 2.4

Table de vérité de la bascule D

t^n	t^{n+1}
D^n	Q^{n+1}
0	0
1	1

La version la plus simple de cette bascule se présente sous forme d'une bascule asynchrone D (fig. 2.8). Pourtant, un tel montage n'a pas de signification pratique, la fonction de cette bascule pouvant se réaliser par un circuit composé de deux inverseurs en série (fig. 2.8 *b*). Le plus grand intérêt est offert par des bascules pilotées, très répandues dans la technique des circuits intégrés. Les variantes des bascules à cadence unique du type D, commandées par les niveaux de l'impulsion d'horloge et réalisées en éléments ET-NON, OU-NON, sont apparentes fig. 2.9.

En l'occurrence, l'entrée d'information est D, celle d'horloge est $\overline{T}$. Le montage schématisé fig. 2.9 *a* est piloté par un signal de 1 logique et celui de la fig. 2.9 *b* par un signal de 0 logique, c.-à-d. qu'au repos l'entrée T du premier montage est au niveau 0 et celle du second, au niveau 1. Lorsque l'impulsion d'horloge manque, les portes B_1 et B_2 sont fermées et quelle que soit l'information présentée à l'entrée D, l'état de la bascule ne change pas.

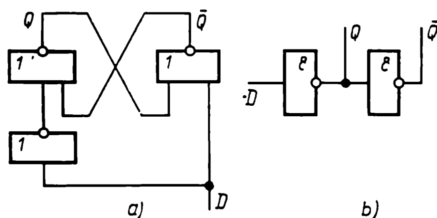


Fig. 2.8. Bascule asynchrone D

Pour $T = 1$ et $D = 1$ (il s'agit du montage de la fig. 2.9 *a*) la sortie de la porte B_1 passe au niveau de 0 logique qui, appliqué aux entrées des portes B_3 et B_2, met la bascule dans l'état $Q = 1$ et en même temps interdit l'ouverture de la porte B_2. Pour $D = 0$ et $T = 1$, la bascule B_1 reste fermée (sa sortie est au niveau de 1 logique), la bascule B_2 entre en conduction et le niveau 0 apparu sur sa sortie fait passer la bascule à l'état $Q = 0$. Or, pour $T = 1$, la bascule se laisse toujours écrire une information correspondant à celle présente à l'entrée D, c.-à-d. que la bascule se comporte comme un élément de retard d'une seule période d'horloge. Pour la stabilité de fonctionnement du circuit, il faut que l'entrée D ne change pas d'information pendant l'impulsion d'horloge (H).

La fig. 2.10 montre deux versions d'une bascule pilotée utilisant les éléments ET-OU-NON que l'on rencontre dans la littérature sous le nom de « bascule-verrou ». Chacun des montages représentés est réalisé avec un seul élément ET-OU-NON et deux inverseurs (NON). Le montage schématisé fig. 2.10 *a* est piloté par une impulsion $T = 1$ et celui de la fig. 2.10 *b* par une impulsion $\overline{T} = 0$. Examinons le

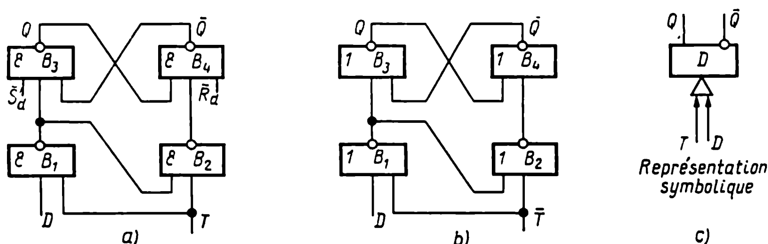


Fig. 2.9. Bascule pilotée D :
a — réalisation en éléments ET-NON; *b* — réalisation en éléments OU-NON; *c* — représentation symbolique de la bascule

comportement de ces bascules à partir du montage de la fig. 2.10 *b*. En l'absence de l'impulsion d'horloge ($\overline{T} = 1$) la porte B_2 se trouve fermée quel que soit le niveau logique à l'entrée D. Dans ce cas, si l'état de la bascule est 1 ($Q = 1$), la porte de réaction B_1 est passante. Si, au contraire, la bascule est dans l'état 0 ($Q = 0$), les deux portes de la bascule sont bloquées.

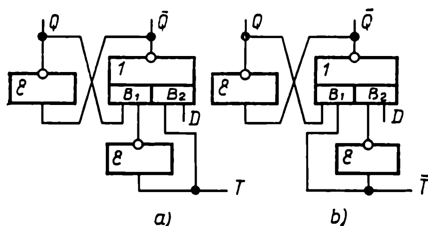


Fig. 2.10. Bascules pilotées D du type « verrou » :
a — pilotage par niveau 1; *b* — pilotage par niveau 0

Soit la bascule dans l'état $Q = 0$ et l'entrée D portée au niveau 1. Cela étant, l'arrivée d'une impulsion d'horloge ($\overline{T} = 0$) fera apparaître, au bout d'un temps égal au retard de l'inverseur, 1 logique à la sortie de celui-ci. L'effet en sera l'ouverture de la porte B_2. Par conséquent, la sortie $\overline{Q}$ passe à 0 et la sortie Q à 1, une réaction s'établit entre la sortie Q et l'entrée de la B_1 et la bascule prend un état stable $Q = 1$. Après la cessation de l'impulsion d'horloge ($\overline{T} = 1$), la bascule gardera son état premier, car à ce moment c'est la porte B_1 qui conduira au lieu de la B_2. Il est à noter que la porte B_1 se met en débit avant la coupure de la porte B_2 dont l'entrée horloge est précédée d'un élément de retard (inverseur).

Pour faire passer la bascule à l'état 0 ($Q = 0$) il faut appliquer un signal 0 à son entrée d'information. Alors, à l'arrivée d'une impulsion d'horloge ($\overline{T} = 0$) les portes B_1 et B_2 se trouvent fermées. La

sortie $\bar{Q}$ passe au niveau 1 et la bascule prend l'état 0 ($Q = 0$). Après la disparition de l'impulsion d'horloge ($\bar{T} = 1$) la porte B_1 reste bloquée du fait que le côté Q maintient l'entrée de la B_1 au niveau 0, et la porte B_2 se coupe sous l'effet d'un signal $D = 0$. Pour que le fonctionnement du montage soit stable, l'information sur l'entrée D ne doit pas changer pendant l'impulsion d'horloge.

La rapidité de basculement de la bascule D (fig. 2.10 *b*) se caractérise par les paramètres suivants:

$$\tau_i \geqslant \tau'_{moy} + \tau''_{moy}, \quad \tau_t = 2\tau'_{moy} + \tau''_{moy}, \qquad (2.8)$$

où τ'_{moy} est le retard moyen de propagation de l'inverseur et τ''_{moy}, retard moyen de propagation de l'élément ET-OU-NON.

Le montage de la fig. 2.10 *a*, piloté par le signal $T = 1$, fonctionne avec moins de stabilité. Cela tient au fait que dans ce montage l'élément inverseur empêche l'établissement rapide de la réaction dans la bascule après la cessation de l'impulsion d'horloge.

2.2.1. Bascules D à sortie asymétrique

La distinction entre les bascules D à sortie asymétrique et celles que nous venons de décrire est la présence d'une seule sortie d'information Q. Il existe deux variétés de bascules D à sortie asymétrique: à écriture d'information directe et à écriture d'information inverse (bascule D dite inverse). D'une manière plus générale, la classification en bascules D directes et inverses peut s'étendre également aux bascules comportant deux sorties d'information Q et $\bar{Q}$. Rapportée à un niveau strictement fixé à la sortie Q, l'entrée D peut être considérée comme directe (c'est le cas, par exemple, des montages des fig. 2.9 *a* et 2.10 *a*) ou inverse (montages des fig. 2.9 *b* et 2.10 *b*). Cependant, comme le niveau à la sortie Q peut être arbitraire, on n'a pas besoin d'une répartition en bascules D directes et inverses dans le cas des montages à deux sorties d'information Q et $\bar{Q}$.

Tableau 2.5

Table de vérité de la bascule $\bar{D}$

t^n	t^{n+1}
D^n	Q^{n+1}
0	1
1	0

Le fonctionnement de la bascule D directe est conforme à la table de vérité (tableau 2.4) déjà mentionnée et à l'expression (2.7). Le fonctionnement de la bascule D inverse (nous la désignons bascule $\bar{D}$) vérifie la table de vérité 2.5 et l'expression (2.9).

L'équation régissant le fonctionnement de la bascule $\bar{D}$ a la forme:

$$Q^{n+1} = \bar{D}^n. \qquad (2.9)$$

Les bascules $\bar{D}$ à sortie asymétrique sont réalisables à partir des éléments logiques ET-NON, OU-NON, ET-OU-NON, etc. Les plus

économiques seront pourtant les bascules D à sortie asymétrique réalisées en éléments exécutant la fonction NON, ET-OU, c.-à-d. dotées d'une entrée inverseuse.

La fig. 2.11 *a* représente le schéma fonctionnel d'une bascule $\bar{D}$ à sortie asymétrique du type « verrou » utilisant un seul élément NON, ET-OU. La sortie Q exerce une réaction sur l'entrée directe de la porte B_1; l'entrée inverseuse de la porte B_1 et l'entrée directe de la porte B_2 ont un point commun qui reçoit l'impulsion d'horloge. L'entrée inverseuse de la porte B_2 constitue l'entrée D de la bascule. Les impulsions d'horloge ont le niveau 1.

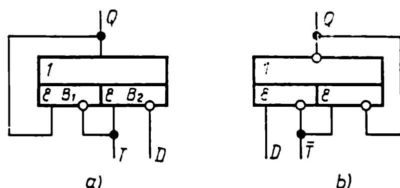


Fig. 2.11. Bascules D à sortie asymétrique:

a — pilotage par $T = 1$; *b* — pilotage par $T = 0$

Examinons rapidement le fonctionnement de la bascule $\bar{D}$. Lorsque $Q = 1$ et que l'impulsion d'horloge est absente ($T = 0$), la porte B_1 est passante et l'état $Q = 1$ s'en trouve confirmé. Si, d'autre part, l'entrée d'information reçoit un signal $D = 1$ et qu'une impulsion d'horloge apparaît ($T = 1$), la B_1 cesse de conduire et la B_2 reste en état fermé, ce qui aura pour effet la formation du niveau 0 à la sortie Q ($Q = 0$). Après la disparition de l'impulsion d'horloge ($T = 0$) la porte B_1 ne pourra pas s'ouvrir, son entrée directe étant au niveau 0 fourni par la sortie Q.

Ensuite, pour mettre la bascule $\bar{D}$ en état 1, il faut appliquer un signal $D = 0$ à son entrée d'information. Alors, sur une impulsion d'horloge ($T = 1$) la porte B_2 s'ouvre et la bascule prend un état $Q = 1$. Après la cessation de l'impulsion d'horloge ($T=0$) cet état se trouve confirmé par la conduction de la porte B_1. La fig. 2.11 *b* représente le schéma d'une bascule D inverse pilotée par des impulsions au niveau 0.

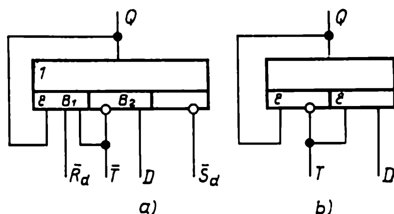


Fig. 2.12. Bascules D à sortie asymétrique réalisées avec un élément NON, ET-OU:

a — pilotage par $T = 0$; *b* — pilotage par $T = 1$

La fig. 2.12 donne le schéma d'une bascule D à sortie asymétrique à écriture d'information directe, réalisé, lui aussi, à l'aide d'un élément NON, ET-OU (une version de l'élément T-TTL) dont la porte B_1 a uniquement les entrées en ET directes. Le pilotage de la bascule D s'effectue par des impulsions au niveau 0. Le schéma fait également voir les entrées de forçage de la bascule à 0 (entrée $\bar{R}_d$) et à 1 (entrée $\bar{S}_d$). Le forçage s'opère par des impulsions au niveau 0.

L'entrée d'information de la bascule est constituée par l'entrée directe de la porte B_2.

Lorsque l'impulsion d'horloge manque ($\bar{T} = 1$) la porte B_2 est fermée et la porte B_1 est ouverte si $Q = 1$ (ce qui renforce l'état 1 de la bascule) ou fermée si $Q = 0$ (ce qui renforce l'état 0 de la bascule). A l'arrivée d'une impulsion d'horloge ($\bar{T} = 0$) la porte B_1 se bloque et l'état de la bascule tient à l'information présente sur l'entrée D: si $D = 1$ et que $\bar{T} = 0$, la porte B_2 conduit et $Q = 1$; si $D = 0$, même pour $\bar{T} = 0$, la porte B_2 est fermée et $Q = 0$, c.-à-d. qu'il y a écriture directe de l'information arrivant sur l'entrée D.

Le forçage à 1 de la bascule s'effectue par l'entrée $\bar{S}_d$ du fait que pour $\bar{S}_d = 0$ la sortie Q sera portée au niveau 1 par le circuit OU. Le forçage à 0 de la bascule par l'entrée $\bar{R}_d$ se fait en l'absence de l'impulsion d'horloge ($\bar{T} = 1$). Dans ce cas, lorsque $\bar{R}_d = 0$, la B_1 se ferme et, la B_2 étant, elle aussi, fermée, la sortie Q passe à 0. La fig. 2.12 *b* représente le schéma d'une bascule D à sortie asymétrique, pilotée par des impulsions au niveau 1. De la comparaison des bascules D à sortie asymétrique que nous venons d'examiner (fig. 2.11 et 2.12) avec les bascules D du type « verrou » (fig. 2.10 *a*, *b*) il vient que les bascules à sortie asymétrique comportent à peu près deux fois moins d'éléments, c.-à-d. qu'elles sont morphologiquement plus économiques.

De plus, la rapidité fonctionnelle des bascules D à sortie asymétrique, réalisées en éléments NON, ET-OU, dépasse celle des bascules D ordinaires utilisant les éléments ET-NON, OU-NON, ET-OU-NON. Le retard de basculement de la bascule à sortie asymétrique n'excède pas le retard de commutation maximal de l'élément logique ($\tau_t = \tau_{i\,maxi}$), la durée minimale de l'impulsion d'horloge devant être, elle aussi, égale à $\tau_{i\,maxi}$. Il faut se rappeler que le retard de commutation maximal d'un élément NON, ET-OU, réalisé à partir du circuit *T-TTL* est fonction du retard du signal appliqué à l'entrée directe (commande par la base) du transistor NON, ET.

Comme nous le verrons au chapitre 3, l'emploi simultané de bascules D à sortie asymétrique, directe et inverse, permet de réaliser une bascule de comptage des plus économiques.

Dotées d'une seule entrée et d'une seule sortie d'information, les bascules D à sortie asymétrique permettent d'obtenir une réduction de sorties extérieures dans le circuit intégré et de commutations dans les organes numériques compliqués. Ces avantages, alliés à une diminution de la quantité de composants dans le cas des bascules D à sortie asymétrique réalisées en circuits *T-TTL*, favorisent le développement d'un certain nombre de circuits LSI à très grande intégration de technologie bipolaire faisant fonction de registres, de distributeurs et d'échelles.

2.2.2. Bascules D deux cadences

Les dispositifs numériques développés sur la base de la logique intégrée à niveau unique ET-NON et OU-NON font largement appel aux bascules *D* à deux cadences qui, pour mémoriser l'information, nécessitent l'application de deux impulsions d'horloge.

Les circuits de la fig. 2.13 peuvent servir d'exemples de bascules du type *D* à deux cadences. Dans cette figure, les entrées horloge de la bascule sont T_1 et T_2, l'entrée d'information étant D. Pour pouvoir écrire une information dans la bascule *D* (fig. 2.13 *a*) il faut appliquer aux entrées $\overline{T}_1$ et T_2 des impulsions d'horloge décalées dans le temps qui ont respectivement des niveaux logiques bas et haut, soit $\overline{T}_1=0$ et $T_2=1$. L'arrivée d'une impulsion d'horloge sur l'entrée $\overline{T}_1$ met la bascule en état 0, après quoi une autre impulsion d'horloge appliquée cette fois sur l'entrée T_2 entraîne l'écriture de l'information présente sur l'entrée *D*. Dans ce cas, si $D = 1$ et $T_2 = 1$, la bascule prend un état 1. Si $D = 0$ et qu'un 1 vient sur la T_2, la porte B_1 se ferme et la bascule garde l'état 0 qu'elle a pris sur l'impulsion d'horloge $\overline{T}_1$. La bascule du type *D* à deux cadences est plus économique que celle à cadence unique (fig. 2.9) du fait de comporter une porte de moins. Sa rapidité de basculement est pourtant inférieure à celle de la bascule *D* à cadence unique, étant donné que la commande de la bascule *D* à deux cadences s'effectue par deux impulsions espacées dans le temps.

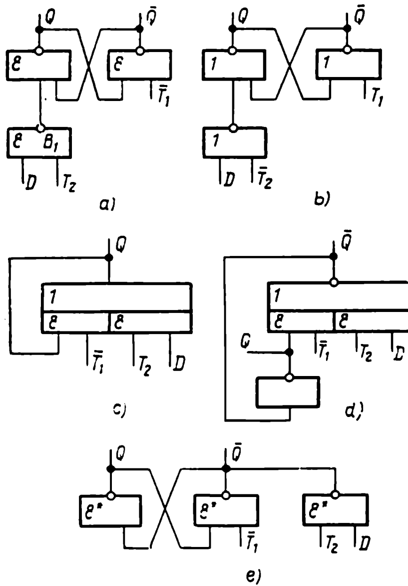


Fig. 2.13. Bascule *D* à deux cadences:
a — réalisation en éléments ET-NON; *b* — réalisation en éléments OU-NON; *c* — bascule à sortie asymétrique (élément ET-OU); *d* — réalisation en éléments ET-OU-NON; *e* — réalisation en éléments ET-NON avec réunion en OU

La fig. 2.13 *c*, *d* représente les schémas des bascules *D* à deux cadences du type « verrou », réalisées avec des éléments ET-OU et ET-OU-NON et un inverseur. L'état 0 ($Q = 0$) des bascules est commandé par une impulsion $\overline{T}_1 = 0$ et l'état 1, par une combinaison de signaux $T_2 = 1$ et $D = 1$. Pour la sécurité de basculement, il est nécessaire que la durée des impulsions d'horloge soit supérieure ou égale à $2\tau_{moy}$, c.-à-d. que $\tau_1 \geqslant 2\tau_{moy}$.

La fig. 2.13 *e* montre une variante de la bascule *D* à deux cadences du type « verrou » faite avec des éléments ET-NON à collecteur

ouvert. Sur une impulsion d'horloge $\overline{T}_1 = 0$ la bascule se place dans l'état 0 ($Q = 0$) et sur une combinaison de signaux $T_2 \cdot D = 1$, dans l'état $Q = 1$. La rapidité de fonctionnement de la bascule se caractérise par les paramètres suivants:

$$\tau_i \geqslant 2\tau_{moy}\ ;\ \tau_t = 2\tau_{moy}. \qquad (2.10)$$

Les bascules D que nous venons de considérer sont commandées par les niveaux des impulsions d'horloge. Les bascules D à retard interne qui sont largement appliquées dans la micro-électronique pour la synthèse des registres et des échelles compliqués font l'objet du chapitre 3.

2.3. *Bascule du type D-V*

On appelle bascule du type D-V une bascule pilotée D, dotée d'une entrée d'information supplémentaire V, qui, pour $V = 1$, a un comportement analogue à celui de la bascule du type D et,

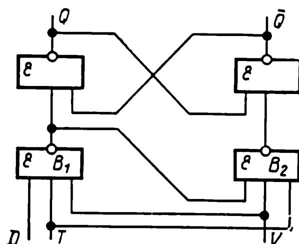


Fig. 2.14. Bascule pilotée D-V

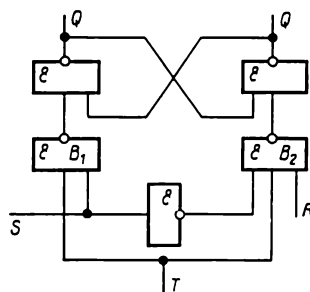


Fig. 2.15. Bascule pilotée S

pour $V = 0$, conserve son état premier que l'information sur l'entrée D a changé ou non. La loi qui gouverne le fonctionnement de la bascule du type D-V (voir tabl. 2.6) est donnée par l'équation logique suivante:

$$Q^{n+1} = D^n \cdot V^n + Q^n \cdot \overline{V}^n. \qquad (2.11)$$

Dans le cas le plus simple, la bascule D-V s'obtient à partir d'une bascule D commandée par le niveau de l'impulsion d'horloge dont l'entrée horloge est montée en parallèle sur une entrée V. Une des variantes de la bascule D-V est représentée fig. 2.14 dans laquelle D et V sont les entrées d'information et T l'entrée horloge. On voit bien sur la figure que pour $V = 1$ la bascule D-V devient une bascule pilotée D.

A titre de condition complémentaire de la stabilité de fonctionnement de la bascule D-V fig. 2.14, il faut que le signal d'autorisation appliqué à l'entrée V ($V = 1$) soit simultané avec une impulsion d'horloge et qu'il la dépasse en durée.

Tableau 2.6

Table de vérité de la bascule *D-V*

t^n		t^{n+1}	t^n		t^{n+1}
V^n	D^n	Q^{n+1}	V^n	D^n	Q^{n+1}
0	0	Q^n	1	0	0
0	1	Q^n	1	1	1

Les bascules du type *D-V*, tout comme les bascules du type *D*, trouvent leur application dans les échelles, les registres à décalage, ainsi que dans l'appareillage de commande.

2.4. *Bascule du type S*

La bascule du type *S* est dite un organe logique bistable, doté de deux entrées d'information *R* et *S*, qui pour une combinaison de signaux $R \cdot S = 1$ prend un état un et pour toutes les autres combinaisons de signaux d'entrée se comporte en accord avec la table de vérité de la bascule *R-S*.

La loi régissant le fonctionnement de la bascule du type *S* qui se résume par le tabl. 2.7 est décrite par une équation logique de la forme:

$$Q^{n+1} = S^n + \overline{R}^n \cdot Q^n. \tag{2.12}$$

Le schéma fonctionnel d'une bascule pilotée *S* utilisant les éléments logiques ET-NON est montré fig. 2.15. La bascule *S* dans sa version la plus simple (fig. 2.15) se distingue de la bascule *R-S* par la présence d'un inverseur supplémentaire qui bloque le passage du signal par la porte B_2 pour $S = 1$.

Tableau 2.7

Table de vérité de la bascule du type *S*

t^n		t^{n+1}	t^n		t^{n+1}
S^n	R^n	Q^{n+1}	S^n	R^n	Q^{n+1}
0	0	Q^n	1	0	1
0	1	0	1	1	1

Pour une combinaison de signaux $S \cdot R \cdot T = 1$, la porte B_2 sera fermée et la bascule sera positionnée sur 1 par l'entrée *S* quel que soit son état initial.

2.5. Bascule du type R

On appelle bascule du type R un organe logique bistable à deux entrées d'information R et S qui pour une combinaison de signaux $R \cdot S = 1$ se met en état zéro et pour le reste des combinaisons de signaux d'entrée répond à la définition de la table de vérité de la

Tableau 2.8

Table de vérité de la bascule R

t^n		t^{n+1}	t^n		t^{n+1}
R^n	S^n	Q^{n+1}	R^n	S^n	Q^{n+1}
0	0	Q^n	0	1	1
1	0	0	1	1	0

bascule R-S. Le comportement de la bascule du type R se traduit par le tabl. 2.8 et l'équation logique:

$$Q^{n+1} = \bar{R}^n \cdot S^n + \bar{R}^n \cdot Q^n. \quad (2.13)$$

Le schéma fonctionnel d'une bascule pilotée du type R en éléments logiques ET-NON est représenté fig. 2.16. A cause de l'inverseur, le montage fonctionne de façon que, pour une combinaison de

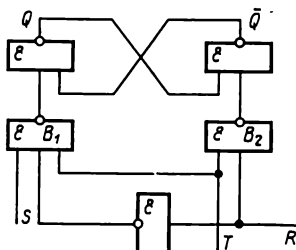


Fig. 2.16. Bascule pilotée R

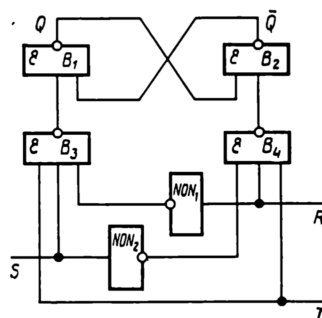


Fig. 2.17. Bascule pilotée du type E

signaux $R \cdot S \cdot T = 1$, la porte B_1 se trouve bloquée et la bascule positionnée sur 0 par l'entrée R.

2.6. Bascule du type E

On appelle bascule du type E un organe logique bistable, doté de deux entrées R et S, qui, pour une combinaison de signaux $R \cdot S = 1$, ne change pas son état et pour toutes les autres combinai-

sons de signaux d'entrée se comporte en conformité de la table de vérité de la bascule R-S. La loi de fonctionnement de la bascule du type E est donnée par le tabl. 2.9 et l'équation logique:

$$Q^{n+1} = S^n \cdot R^n \cdot Q^n + S^n \cdot \overline{R}^n + \overline{R}^n \cdot Q^n. \qquad (2.14)$$

Le schéma d'une bascule pilotée du type E utilisant les éléments logiques ET-NON fait l'objet de la fig. 2.17.

Tableau 2.9

Table de vérité de la bascule E

t^n		t^{n+1}	t^n		t^{n+1}
R^n	S^n	Q^{n+1}	R^n	S^n	Q^{n+1}
0	0	Q^n	0	1	1
1	0	0	1	1	Q^n

La présence de deux inverseurs (NON_1 et NON_2) fait que l'écriture de l'information dans la bascule n'est possible que si le niveau du signal à l'entrée S est autre que celui à l'entrée R. Pour une combinaison de signaux $R \cdot S = 1$, les portes B_3 et B_4 se trouvent fermées et l'état de la bascule ne change pas. La mise de la bascule en état 1 ($Q = 1$) et 0 ($Q = 0$) s'effectue par analogie avec la bascule R-S. Les bascules de types E, R et S trouvent leur application principalement dans les dispositifs de commande des systèmes numériques.

2.7. *Bascule du type T*

On appelle bascule du type T (bascule de comptage) un organe logique bistable ayant une seule entrée (T) qui inverse son état toutes les fois qu'un signal de commande (de comptage) vient sur l'entrée T.

Tableau 2.10

Table de vérité de la bascule T

t^n	t^{n+1}
T^n	Q^{n+1}
1	$\overline{Q}^n$
0	Q^n

Le comportement de la bascule du type T se définit par le tabl. 2.10 et l'équation logique:

$$Q^{n+1} = \overline{T}^n \cdot Q^n + T^n \cdot \overline{Q}^n. \qquad (2.15)$$

Les schémas des plus simples bascules T qui dérivent des bascules pilotées de types R-S et D sont donnés fig. 2.18. Les éléments de retard (LR) placés dans les boucles de réaction entre les sorties et les entrées d'information des bascules assurent la stabilité de fonctionnement des circuits. Il est à noter que le retard du signal à travers une LR doit dépasser τ_1. Considérons le fonctionnement de la bas-

cule T à partir du schéma de la fig. 2.18 *a*. Supposons qu'au repos $Q = 1$. L'arrivée d'une impulsion de comptage ($T = 1$) rend passante la porte B_2 (du fait que sa seconde entrée est à un niveau d'autorisation élevé fixé par la sortie de la LR_1) et la bascule passe à l'état $Q = 0$. Dans ce cas, la porte B_2 reste ouverte pendant le temps de l'impulsion d'entrée, étant donné que le signal $Q = 1$ prend un retard $\tau_r > \tau_i$ à travers la ligne à retard et que simultanément le signal $Q = 1$ est stocké dans la LR_2. Après la disparition de l'impulsion de comptage, lorsque les deux portes d'entrée de la bascule *R-S*

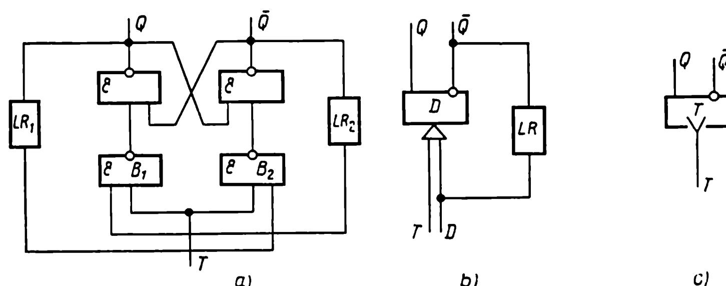


Fig. 2.18. Bascule de comptage du type T:
a — transposition de la bascule *R-S*; *b* — transposition de la bascule *D*; *c* — représentation symbolique de la bascule *T*

s'en trouvent fermées, la porte B_1 reçoit à travers la LR_2 un niveau d'autorisation émis par le côté $\overline{Q}$ (du fait que $\overline{Q} = 1$). Par conséquent, la deuxième impulsion de comptage mettra la bascule T dans son état premier $Q = 1$.

Dans le montage schématisé fig. 2.18 *b* c'est la réaction entre la sortie et l'entrée de la bascule qui assure son inversion au moment de l'impulsion de comptage. Les schémas représentés fig. 2.18 illustrent avec assez d'évidence le principe de synthèse des bascules de comptage. En technologie intégrée, les bascules de comptage sont réalisées avec des circuits commandés par niveaux utilisant pour lignes à retard soit les éléments logiques, soit les composants spéciaux à stockage de charge. Les différentes versions de tels montages sont détaillées au chapitre 3 tant au point de vue du principe de fonctionnement que des paramètres déterminant leur rapidité fonctionnelle.

2.7.1. Bascule du type T-V

Le nom de bascule du type *T-V* désigne un organe logique bistable, doté d'une entrée de comptage (T) et d'une entrée supplémentaire V telle que, pour $V = 1$, la bascule fait fonction de bascule de comptage et pour $V = 0$ son état ne change pas même à l'application des

Tableau 2.11

Table de vérité de la bascule *T-V*

t^n		t^{n+1}	t^n		t^{n+1}
V^n	T^n	Q^{n+1}	V^n	T^n	Q^{n+1}
1	1	$\overline{Q}^n$	0	1	Q^n
1	0	Q^n	0	0	Q^n

signaux à l'entrée de comptage *). La loi gouvernant le fonctionnement de la bascule *T-V* est décrite par le tabl. 2.11 et l'équation:

$$Q^{n+1} = (\overline{T}^n \cdot Q^n + T^n \cdot \overline{Q}^n)\, V^n + Q^n \cdot \overline{V}^n. \qquad (2.16)$$

Le schéma fonctionnel d'une bascule *T-V* en éléments logiques OU-NON est donné fig. 2.19. Il se distingue de la bascule *T* par une entrée inhibitive *V* en parallèle sur l'entrée *T*. Pour $V = 1$ (niveau élevé d'autorisation sur l'entrée *V*) la bascule *T-V* a un comportement similaire à celui de la bascule *T*, les deux portes aux entrées étant dans ce cas passantes. Lorsque l'entrée *V* est ramenée à un niveau bas (0 logique) il y a inhibition, blocage des deux portes aux entrées de la bascule *R-S*, et l'état de celle-ci reste inchangé à l'application des impulsions de comptage. La condition $\tau_{LR} > \tau_1$ reste valable pour la bascule *T-V*. Les bascules du type *T-V* sont largement utilisées pour la synthèse des compteurs parallèles à plusieurs positions et des dispositifs de commande.

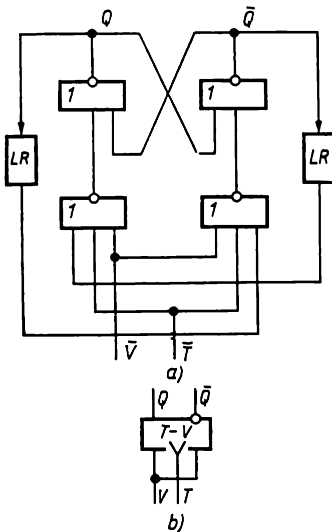


Fig. 2.19. Bascule du type *T-V* (*a*) et sa représentation symbolique (*b*)

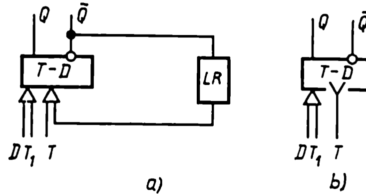


Fig. 2.20. Bascule du type *T-D* (*a*) et sa représentation symbolique (*b*)

*) La bascule du type *T-V* est souvent appelée dans la littérature bascule de comptage synchrone ou pilotée.

2.7.2. Bascule du type T-D

On appelle bascule du type *T-D* un organe logique bistable comportant une entrée de comptage T et une entrée horloge supplémentaire D telle que, pour $T = 0$, l'arrivée d'une impulsion d'horloge met la bascule dans l'état correspondant à la nature de l'information sur l'entrée D. L'application simultanée d'une impulsion de comptage et d'une impulsion d'horloge à la bascule *T-D* est interdite, c.-à-d. que la combinaison $T \cdot H = 1$ est à proscrire. Le comportement de la bascule *T-D*, mis en évidence par le tabl. 2.12, est explicité par l'expression :

$$Q^{n+1} = (T \cdot \overline{Q}^n + \overline{T}^n \cdot Q^n) \times \overline{H}^n + \overline{T}^n \cdot H^n \cdot D^n. \qquad (2.17)$$

La bascule *T-D* dans sa version la plus simple est représentée fig. 2.20. C'est une transposition de la bascule pilotée D à deux entrées dont la première est reliée à travers une ligne à retard au côté Q, la seconde constituant l'entrée horloge D de la bascule *T-D*.

Tableau 2.12

Table de vérité de la bascule *T-D*

t^n				t^{n-1}	t^n				t^{n-1}
Q^n	T^n	H^n	D^n	Q^{n+1}	Q^n	T^n	H^n	D^n	Q^{n+1}
1	1	0	0	0	0	1	0	0	1
1	1	0	1	0	0	1	0	1	1
1	1	1	0	X	0	1	1	1	X
1	1	1	1	X	0	1	1	0	X
1	0	0	0	1	0	0	0	0	0
1	0	0	1	1	0	0	0	1	0
1	0	1	1	1	0	0	1	1	1
1	0	1	0	1	0	0	1	0	0

Les détails de l'organisation des bascules *T-D* seront faits au chapitre 3.

Les bascules du type *T-D* ont des applications pour la synthèse des compteurs à entrées d'adresse qui se généralisent dans les unités de commande de l'ordinateur et les systèmes adaptatifs adressables.

2.7.3. Bascule du type R-S-T

On appelle bascule du type *R-S-T* (bascule de comptage à positionnement séparé) un organe bistable à trois entrées (R, S et T) qui réunit les propriétés des bascules de types *R-S* et T. Dans cette bascule, S_d et R_d constituent les entrées de positionnement et T, celle de comptage. Le fonctionnement de la bascule du type *R-S-T* s'interprète par le tabl. 2.13.

Tableau 2.13

Table de vérité condensée de la bascule *R-S-T*

t^n			t^{n+1}	t^n			t^{n+1}
R^n	S^n	T^n	Q^{n+1}	R^n	S^n	T^n	Q^{n+1}
0	0	0	Q^n	0	1	0	1
0	0	1	$\overline{Q}^n$	1	0	0	0

L'équation logique de la bascule du type *R-S-T* établie en vertu du tabl. 2.13 compte tenu des limitations sur les combinaisons de signaux interdites s'écrit sous la forme:

$$Q^{n+1} = S^n + T^n \cdot \overline{Q}^n + \overline{R}^n \cdot \overline{T}^n \cdot Q^n, \text{ pour } S \cdot T = R \cdot T = R \cdot S = 0. \quad (2.18)$$

Le schéma synoptique d'une bascule *R-S-T* représenté fig. 2.21 fait voir que son organisation est analogue à celle de la bascule du type *T* à cela près qu'elle a deux entrées de positionnement $\overline{R}_d$ et $\overline{S}_d$.

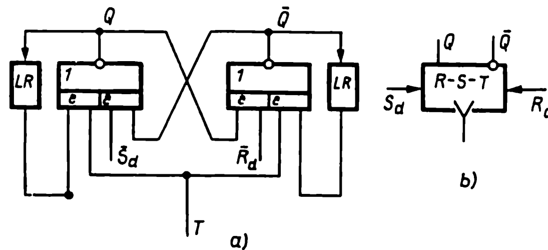


Fig. 2.21. Bascule du type *R-S-T* (*a*) et sa représentation symbolique (*b*)

C'est par action directe sur ces entrées que la bascule est mise en états 0 ($Q = 0$) et 1 ($Q = 1$) respectivement. La bascule du type *R-S-T* trouve de nombreuses applications dans les échelles, les dispositifs de commande, les distributeurs, etc.

2.8. *Bascule du type J-K*

La bascule du type *J-K* est un organe bistable, doté de deux entrées *J* et *K*, qui pour $J \cdot K = 1$ inverse son état précédent (c.-à-d. si $J \cdot K = 1, Q^{n+1} = \overline{Q}^n$) et dans le reste des cas se comporte conformément à la table de vérité de la bascule *R-S*, l'entrée *J* équivalant à l'entrée *S* et l'entrée *K* à l'entrée *R*. Le comportement de la bascule *J-K* se résume par les tabl. 2.14 et 2.15. L'équation logique de la bascule résultant du tabl. 2.15 est de la forme:

$$Q^{n+1} = \overline{K}^n \cdot Q^n + J^n \cdot \overline{Q}^n. \quad (2.19)$$

La version la plus simple de la bascule du type *J-K* est donnée fig. 2.22. A l'application d'un 1 logique à l'entrée *J* ou *K*, la porte respective réagit pour placer la bascule soit dans l'état 1 (si $J = 1$)

Tableau 2.14

Table de vérité générale de la bascule *J-K*

t^n			t^{n+1}
Q^n	J^n	K^n	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Tableau 2.15

Table de vérité condensée de la bascule *J-K*

t^n		t^{n+1}
J^n	K^n	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q}^n$

soit dans l'état 0 (si $K = 1$). La simultanéité des uns logiques sur les entrées *J* et *K* produit toujours, par l'intermédiaire de l'une des portes, l'inversion de la bascule ($Q^{n+1} = \overline{Q}^n$), c.-à-d. que celle-ci a le comportement de la bascule du type *T*. Le schéma de la fig. 2.22 qui représente la bascule asynchrone *J-K* sert à dégager l'un des

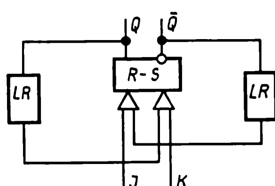
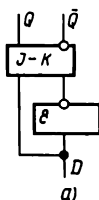
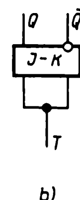


Fig. 2.22. Bascule du type *J-K*





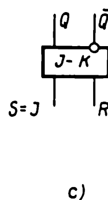


Fig. 2.23. Transpositions de la bascule *J-K* en bascules *D* (*a*), *T* (*b*) et *R-S* (*c*)

principes de son organisation. Ce genre de circuits, tout comme les bascules *T* et *R-S-T* à LR examinées plus haut, n'a pas de débouchés. La technique des circuits intégrés ne fait appel qu'aux bascules *J-K* pilotées dont nous traitons en détail au chapitre 3.

La bascule du type *J-K* se range parmi les montages universels du fait qu'on peut par simples modifications des commutations extérieures en dériver les circuits capables de fonctions des bascules *R-S*, *D* et *T* [25]. Les applications de la bascule du type *J-K* à titre de bascules *D*, *T* et *R-S* sont apparentes fig. 2.23.

La bascule du type *J-K* se transforme en bascule *D* si son entrée *J* est réunie à travers un inverseur à l'entrée *K*. Dans ce cas, l'entrée *J* fait fonction d'entrée *D* et l'ensemble du dispositif suit la table de

vérité de la bascule D. L'organisation d'une bascule à entrée de comptage est montrée fig. 2.23 *b*.

Une bascule de comptage est dérivable de la bascule J-K à condition d'en réunir les entrées J et K. La bascule R-S s'obtient de la bascule du type J-K par simple contrainte sur la combinaison de signaux d'entrée $J = K = 1$, c.-à-d. que les signaux ainsi combinés ne doivent pas apparaître sur les entrées d'information de la bascule. Les bascules du type J-K s'utilisent pour la synthèse des échelles, des registres à décalage, dans les dispositifs de commande, etc.

2.9. *Bascule du type* J-K-$\bar{J}$-$\bar{K}$

On appelle bascule du type J-K-$\bar{J}$-$\bar{K}$ un organe logique bistable comportant deux couples d'entrées J et K, et $\bar{J}$ et $\bar{K}$, qui pour $J \cdot K = 1$ ou $\bar{J} + \bar{K} = 0$ s'inverse et dans les autres cas vérifie la table de vérité de la bascule R-S ($J \equiv S$ et $K \equiv R$; $\bar{J} \equiv \bar{S}$ et $\bar{K} \equiv \bar{R}$).

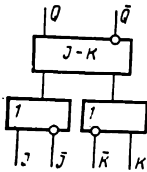


Fig. 2.24. Bascule du type J-K-$\bar{J}$-$\bar{K}$

Le comportement de la bascule du type J-K-$\bar{J}$-$\bar{K}$ s'explique par le tabl. 2.16 et de son schéma synoptique fig. 2.24 on voit que la bascule J-K-$\bar{J}$-$\bar{K}$ se réalise par adjonction au montage J-K de deux éléments OU et de deux inverseurs. La bascule du type J-K-$\bar{J}$-$\bar{K}$, dotée d'une grande souplesse logique permettant dans nombre de cas d'éviter l'inversion des signaux d'entrée, s'emploie pour la synthèse des compteurs, des registres à décalage, dans les unités de commande des ensembles numériques, etc. [17].

Tableau 2.16

Table de vérité de la bascule du type J-K-$\bar{J}$-$\bar{K}$

t^n				t^{n+1}	t^n				t^{n+1}
J	K	$\bar{J}$	$\bar{K}$	Q^{n+1}	J	K	$\bar{J}$	$\bar{K}$	Q^{n+1}
0	0	0	0	$\bar{Q}^n$	1	0	0	0	$\bar{Q}^n$
0	0	0	1	1	1	1	0	0	$\bar{Q}^n$
0	0	1	0	0	0	1	0	1	$\bar{Q}^n$
0	0	1	1	Q^n	1	1	0	1	$\bar{Q}^n$
0	1	1	1	0	1	0	1	0	$\bar{Q}^n$
1	0	1	1	1	1	1	1	0	$\bar{Q}^n$
1	1	1	1	$\bar{Q}^n$	1	0	0	1	1
0	1	0	0	$\bar{Q}^n$	0	1	1	0	0

CHAPITRE III

Montages en bascule dans les registres et les échelles

Introduction

Les registres et les échelles appartiennent à la catégorie de circuits réguliers du fait qu'ils sont réalisés à partir des cellules logiques d'un même type, voire identiques, qui sont les bascules [26, 30, 31].

En technologie intégrée, la synthèse des registres et des échelles repose sur des montages en bascule (MB) pilotés des types *R-S*, *D*, *D-V* *J-K* et autres.

Selon les conditions imposées aux sous-ensembles des ordinateurs, les registres et les échelles peuvent être faits avec les montages en bascule à cadence unique ou à plusieurs cadences, universels ou non. Par montages en bascule universels nous entendons en l'occurrence ceux qui sans demander pour autant les changements de structure supplémentaires peuvent servir de bits types pour un compteur binaire comme pour des registres à décalage. Sont dits non universels les montages en bascule capables uniquement d'une application bien déterminée, c.-à-d. soit comme « bit » d'un registre à décalage, soit comme bascule de comptage.

3.1. Montages en bascule à plusieurs cadences

Nous désignons sous le terme de montages en bascule à plusieurs cadences ceux dont la commande nécessite une série de n impulsions d'horloge ($n = 2, 3, 4$). Ces montages atteignent un nouvel état sur la n-ième impulsion d'horloge. C'est ainsi que pour $n = 2$ nous aurons un MB à deux cadences, pour $n = 3$ un MB à trois cadences, etc. D'une manière générale, les MB à plusieurs cadences sont réalisés à partir des bascules pilotées du type *R-S* et *D* organisées selon la formule *M-E* *). En application de cette formule, un MB comporte deux bascules pilotées *M* (Maître) et *E* (Esclave). Le Maître reçoit l'information d'entrée et l'Esclave fixe l'état du montage en bascule. Il faut noter à ce propos que le Maître et l'Esclave peuvent être soit d'un même type, par exemple les deux bascules du type *R-S* ou *D*, soit de type différent. La formule *M-E* permet aussi la réalisation des montages en bascule à trois et à quatre cadences. A côté de la

*) Il s'agit de la technologie dite *M-S* par les Anglo-Saxons: Master-Slave (*N.D.T.*).

formule *M-E*, il existe également d'autres possibilités de synthèse des montages en bascule à plusieurs cadences qui seront examinées en même temps que la technologie *M-E* aux chapitres suivants.

3.1.1. Montages en bascule à plusieurs cadences du type R-S

Parmi les MB à plusieurs cadences du type *R-S*, c'est la bascule à deux cadences en technologie *M-E* qui est la plus courante. Le

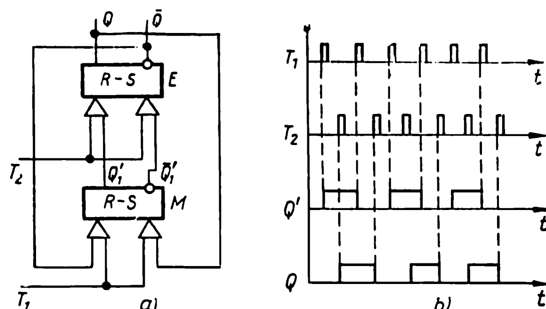


Fig. 3.1. Bascule de comptage à deux cadences (*a*) et chronogramme de son fonctionnement (*b*)

schéma synoptique de cette bascule est donné fig. 3.1. Le montage est universel car il peut remplir deux fonctions:

— celle de bascule de comptage (bascule *T*);

— celle de bit d'un registre à décalage à deux cadences (bascule *R-S*).

Lorsqu'il s'agit du fonctionnement en bascule *T* (obtenu en branchant les sorties Q et $\bar{Q}$ de la bascule respectivement sur les entrées *R* et *S*) l'une des impulsions d'horloge (*T*) devient de service (T_2) et l'autre de comptage (T_1). En l'absence de l'impulsion de comptage (T_1) l'application périodique de l'impulsion T_2 produit la transcription de l'information du Maître à l'Esclave. L'effet en est que les deux bascules ont les mêmes états: $Q = Q'$.

A l'apparition d'une impulsion de comptage ($T_1 = 1$) l'une des portes du Maître s'ouvre (celle dont les deux entrées sont à un niveau haut) et le Maître prend l'état inverse de celui de l'Esclave. Dans ce cas, l'écriture de l'information dans l'Esclave est interdite par le niveau 0 agissant sur l'entrée T_2. La deuxième impulsion ($T_2 = 1$) mettra l'Esclave dans l'état du Maître.

Ainsi, au bout d'une série de deux impulsions d'horloge le montage se place dans l'état $\bar{Q}$. Sur la deuxième impulsion de comptage ($T_1 = 1$) le Maître reviendra dans son état premier qui, pour $T_2 = 1$, sera recopié par l'Esclave. Le montage que nous venons de considérer opère le comptage en module deux des impulsions arrivant sur l'entrée de comptage T_1, c.-à-d. fait fonction de bascule de comptage.

Pour mieux dégager les particularités d'organisation de la bascule de comptage à deux cadences, la fig. 3.2 présente quatre versions de sa réalisation :

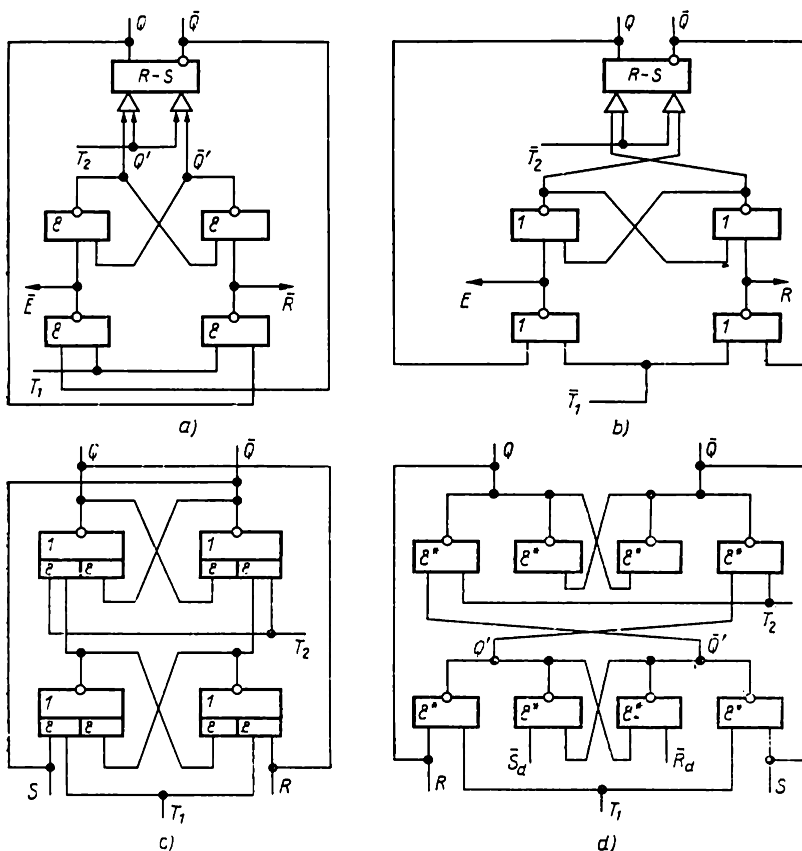


Fig. 3.2. Bascule de comptage à deux cadences:
a — en éléments ET-NON; *b* — en éléments OU-NON; *c* — en éléments ET-OU-NON; *d* — en éléments ET-NON avec réunion en OU

— en circuits intégrés ET-NON (en *a* et *d*);
— en circuits intégrés OU-NON (en *b*);
— en circuits intégrés ET-OU-NON (en *c*).

Les bascules de comptage se caractérisent par le facteur de charge n_b et la rapidité de fonctionnement. Les paramètres représentatifs de la rapidité de fonctionnement sont les suivants:

a) fréquence de comptage $F_c = 1/T$, T étant la période des impulsions de comptage;

b) durée de l'impulsion de comptage τ_{1c};

c) délai de report τ_r.

La valeur de n_b correspond à celle pour les éléments logiques de base ($n_é$) constituant la bascule de comptage. C'est ainsi que le

paramètre n_b des bascules de comptage de la fig. 3.2 *a*, *b* et *c* (pour les sorties Q et $\overline{Q}$) se détermine comme $n_b = n_é - 2$. Le facteur de charge de sortie de l'élément logique se trouve ici diminué de deux par le fait que l'une des charges de l'élément formant chaque côté de l'Esclave est le second côté de ce dernier, la deuxième charge étant constituée par une des entrées du Maître. L'inversion de la bascule de comptage réalisée avec les éléments ET-NON et ET-OU-NON se fait par les impulsions au niveau 1 et celle de la bascule en éléments OU-NON, par les impulsions au niveau 0.

Les bascules de comptage utilisant la logique à niveau unique présentent le caractère important de former intérieurement les signaux de report et d'emprunt sur les sorties des portes du Maître. Le signal de report est élaboré lorsqu'une impulsion de comptage arrive et que la bascule passe de l'état 1 à l'état 0 et celui d'emprunt, de l'état 0 à l'état 1. La bascule de comptage en logique à double niveau (fig. 3.2 *c*) n'a pas de sorties de report ni d'emprunt, c.-à-d. qu'elle ne jouit pas de propriété « intrinsèque » de formation de tels signaux. La synthèse des compteurs à plusieurs positions à partir des bascules de comptage incapables de report ni d'emprunt oblige à l'emploi de portes supplémentaires.

La bascule de comptage utilisant les circuits ET-NON produit les signaux de report et d'emprunt sous forme de 0 logique (sorties $\overline{R}$ et $\overline{E}$ pour le montage schématisé fig. 3.2 *a*). Les signaux R et E de la bascule de comptage à circuits OU-NON ont le niveau 1 (fig. 3.2 *b*). Passons maintenant aux paramètres caractéristiques de la rapidité de basculement des bascules de comptage à deux cadences représentées fig. 3.2. Comme les bascules de comptage à deux cadences sont faites avec les bascules pilotées *R-S*, la durée des impulsions T_1 et T_2 doit être d'au moins $2\tau_{moy}$. La période de répétition des impulsions de comptage minimale admise (T_{mini}) ne peut pas être inférieure à la somme des retards de basculement du Maître et de l'Esclave *R-S*, soit

$$T_{mini} \geqslant \tau_{bM} + \tau_{bE}. \qquad (3.1)$$

Etant donné que le retard de basculement des bascules pilotées *R-S* (fig. 3.2 *a* et *b*) constitue $3\tau_{moy}$ et que d'autre part celui des bascules pilotées *R-S* de la fig. 3.2 *c* et *d* est égal à $2\tau_{moy}$, la fréquence $F_{maxi} = 1/T_{mini}$ caractéristique de la récurrence maximale des impulsions de comptage à l'entrée de la bascule est égale à $1/6\tau_{moy}$ dans le cas des circuits de la fig. 3.2 *a* et *b* et à $1/4\tau_{moy}$ dans celui des circuits de la fig. 3.2 *c* et *d*.

Le délai de formation du signal de report ou d'emprunt dans les bascules de comptage schématisées fig. 3.2 *a* et *b* est égal au retard d'un seul élément logique, c.-à-d. que

$$\tau_R = \tau_E = \tau_{moy}. \qquad (3.2)$$

Il est à noter que, pour réaliser des compteurs à plusieurs positions avec les bascules de comptage à report interne, on est bien souvent

amené à placer des éléments inverseurs supplémentaires dans les circuits de transmission du report des rangs inférieurs vers les rangs supérieurs du compteur. La raison en est que le niveau du signal de report peut être incompatible avec celui que doit avoir le signal de comptage pour commander un rang consécutif (immédiatement supérieur) du compteur. Par exemple, soit une bascule de comptage en circuits ET-NON dont le signal de comptage a un niveau $T_1 = 1$ et le signal de report, un niveau $\bar{R} = 0$. L'adjonction d'un inverseur à la sortie $\bar{R}$ va donner un signal de report au niveau 1, mais par le fait même le délai de report dans le compteur se trouve augmenté à $2\tau_{moy}$ par chiffre. Tous les montages en bascule fig. 3.2 sont universels car ils peuvent tenir un rôle de cellule d'un registre à décalage à double cadence.

L'organisation du registre à décalage nécessite que les sorties Q et $\bar{Q}$ du i-ième étage de la bascule R-S soient raccordées aux entrées du $(i + 1)$-ième étage, les entrées horloge communes T_1 et T_2 étant destinées respectivement aux impulsions d'écriture et de transcription de l'information. Nous insistons plus longuement sur les registres à décalage au chapitre 4.

3.1.2. Montages en bascule à plusieurs cadences du type *D*

A côté des bascules *R-S*, les MB à plusieurs cadences font un large appel aux bascules *D*. Les montages en bascule à plusieurs

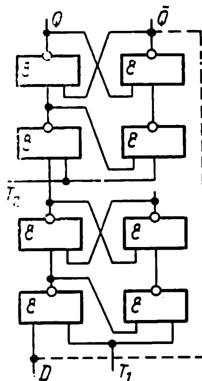


Fig. 3.3. Montage en bascule de comptage à deux cadences utilisant les bascules *D*

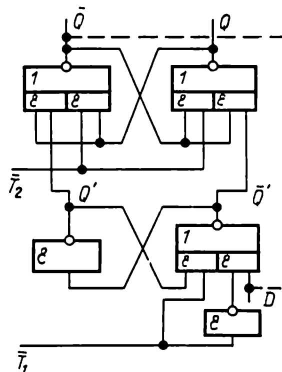


Fig. 3.4. Montage en bascule de comptage utilisant les bascules *D* du type « verrou »

cadences du type *D* sont, eux aussi, organisés selon le schéma *M-E*. Les montages en bascule du type *D* dont le pilotage nécessite plus de 2 impulsions d'horloge sont très courants dans les registres à déca-

lage de rapidité moyenne, mais économiques par la quantité de composants.

Les fig. 3.3 et 3.4 représentent des bascules de comptage à deux cadences réalisées à l'aide de bascules pilotées *D* et la fig. 3.5, l'une des versions de la bascule de comptage à deux cadences conçue en bascules du type différent (Maître est une bascule *D* et Esclave, une bascule *R-S*).

A condition de supprimer la liaison entre la sortie $\bar{Q}$ et l'entrée *D*, les MB à deux cadences peuvent être utilisés comme « bits » d'un registre à décalage à deux cadences. Dans ce cas, pour pouvoir construire un registre à décalage à plusieurs bits, on aura à connecter la sortie *Q* du *i*-ième « bit » à l'entrée *D* du $(i + 1)$-ième « bit » qui le suit et à appliquer aux entrées T_1 et T_2 respectivement les impulsions d'écriture et de transcription de l'information.

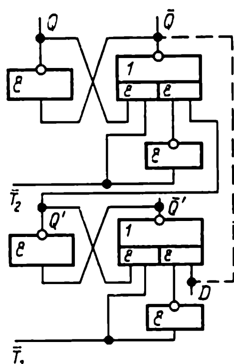


Fig. 3.5. Montage en bascule de comptage à deux cadences utilisant les bascules *R-S* et *D*

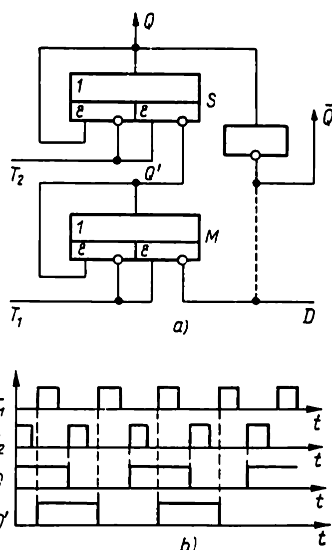


Fig. 3.6. Montage en bascule de comptage à deux cadences en éléments NON, ET-OU

Les MB du type *D* que nous venons d'examiner ont pour caractère d'employer la liaison monophasée entre le Maître et l'Esclave, ce qui conduit à une organisation très simple des commutations dans les compteurs et les registres à décalage à plusieurs positions.

La fig. 3.6 montre le schéma d'une bascule de comptage à deux cadences réalisée avec des bascules $\bar{D}$ à sortie asymétrique du type « verrou ». Cette bascule de comptage qui est un montage *M-E* comporte deux bascules $\bar{D}$ et un inverseur supplémentaire assurant la transcription directe de l'information de la sortie du Maître $\bar{D}$ à l'Esclave $\bar{D}$. Comme nous l'avons vu au chapitre 2, la bascule $\bar{D}$

prend l'état 0 pour $D = 1$ et l'état 1 pour $D = 0$. A l'arrivée d'une impulsion de comptage ($T_1 = 1$) le Maître passe à l'état inverse de celui de l'Esclave et le montage se comporte comme un compteur d'impulsions modulo 2. La commande de la bascule de comptage composée d'éléments logiques NON, ET-OU (logique *T-TTL*) s'opère par des impulsions de 1 logique.

La bascule schématisée fig. 3.6, comme c'est le cas de la bascule de comptage en éléments ET-OU-NON de la logique à double niveau, n'a pas de sorties d'emprunt ni de report, c.-à-d. qu'elle est incapable de former intrinsèquement les signaux de report. La bascule de comptage de la fig. 3.6, réalisée avec deux circuits NON, ET-OU et un inverseur, est plus économique que celle de la fig. 3.2 *c* utilisant quatre circuits ET-OU-NON. La séparation entre la sortie de l'Esclave et l'entrée *D* du Maître permet d'employer le montage fig. 3.6 comme « bit » type du registre à deux cadences sans avoir recours à un inverseur.

Les montages en bascule à plusieurs cadences que nous venons de décrire sont pénalisés essentiellement par la présence des impulsions de service qui, en plus d'« alourdir » le fonctionnement du dispositif, impliquent des frais complémentaires de composants. L'alourdissement du fonctionnement du montage se traduit par le fait que l'impulsion de commande et celle de service ne peuvent pas se suivre de façon arbitraire. Pour des raisons de stabilité de fonctionnement des MB à plusieurs cadences, il faut veiller à ce que les impulsions d'horloge ne tombent pas en coïncidence sous peine de réduire la fréquence de travail. Cet inconvénient n'est plus à craindre avec les MB à cadence unique qui ont pris aujourd'hui une grande extension.

3.2. Montages en bascule à cadence unique

Les montages en bascule à cadence unique en usage dans la technique des circuits intégrés reposent notamment sur les bascules des types *R-S*, *D* et *J-K* dotées de retard interne. Rappelons que dans les bascules à retard interne la nouvelle information à la sortie de la bascule n'est établie qu'après la cessation de l'impulsion d'horloge. C'est grâce à ce caractère important que les bascules à retard interne peuvent servir de base aux dispositifs de traitement numérique des informations de forte rapidité du fait que la lecture et l'écriture de l'information peuvent s'effectuer pendant le temps d'une seule impulsion d'horloge (comme c'est le cas du compteur d'adresses dans un ordinateur, etc.). Dans les pages qui suivent, les bascules à retard interne seront marquées de la lettre *t* juxtaposée au type de la bascule *). Il existe à l'heure actuelle un grand éventail de telles bascules.

---

*) Bascule $R\text{-}S_t$: bascule *R-S* à retard interne.

Il est à noter que, quel que soit leur type, la synthèse des bascules à retard interne consiste essentiellement à compléter leur circuit de commande par des éléments assurant le transfert de l'information vers la bascule proprement dite à la fin de l'impulsion d'horloge. Ces éléments peuvent être soit des bascules supplémentaires, soit d'autres éléments de mémoire (diodes, triodes à stockage de charge, capacités parasites), soit leur combinaison. On peut dégager principalement trois schémas selon lesquels sont organisées les bascules de comptage à cadence unique:

— schéma *M-E*;

— schéma à trois bascules (bascule principale et deux bascules de commutation) *);

— schéma avec éléments de mémoire.

Le schéma *M-E* qui est le plus répandu existe en plusieurs versions.

En fonction de l'organisation des couplages entre le Maître et les Esclaves ainsi que du procédé de commande, les montages en bascule *M-E* peuvent se classer comme suit:

— bascules *M-E* à inverseur;

— bascules *M-E* à couplages inhibitifs;

— bascules *M-E* à commande par impulsions de polarité différente;

— bascules *M-E* à transistors de commutation.

Il est possible également de créer d'autres versions des bascules *M-E*. Il est à noter que tous ces montages reposent généralement sur les bascules de type *R-S* et *D*. La fonction de Maître et d'Esclave peut alors être faite par des combinaisons de bascules de divers types: *R-S* et *R-S*; *R-S* et *D*; *D* et *D*; *D* et *R-S*.

La particularité du schéma à trois bascules est que le rôle d'élément de retard est rempli par deux bascules de commutation. Celles-ci servent à recevoir l'information au moment de l'impulsion d'horloge et à la transmettre à la bascule proprement dite du MB après la disparition de l'impulsion d'horloge. Ce procédé de synthèse, quoique moins riche en variété de montages que la formule *M-E*, est souvent utilisé pour construire les bascules en logique intégrée à niveau unique ET-NON, OU-NON.

Tous les types de bascules à retard interne, réalisées suivant le schéma *M-E* ou celui à trois bascules, sont faits à partir des éléments logiques standards commandés par niveaux. Les montages en bascule à retard interne commandés par niveaux, qui se basent sur les éléments de mémoire, utilisent, à côté des éléments logiques standards, des composants à stockage de charge (triodes, diodes, condensateurs) réalisant la fonction de retard. L'interaction de tous les éléments du montage s'effectue, d'ailleurs, à l'aide de niveaux de potentiel et c'est là la distinction de ces bascules d'une classe étendue de bascules à commande mixte.

*) Cas particulier du principe général de synthèse des MB avec un Maître à n états stables et des n bascules de commutation décrit au chapitre 5.

De cette variété de montages en bascule nous traitons au présent chapitre de ceux dont les éléments de mémoire sont constitués par les triodes et les diodes bipolaires de même que d'un grand nombre de bascules à transistors MOS utilisant les capacités à titre d'éléments de mémoire.

3.2.1. Montages en bascule du type R-S_t réalisés selon le schéma M-E

3.2.1.1. Montages en bascule du type R-S_t à inverseur

Ces montages ont ceci de particulier que le couplage entre le Maître et l'Esclave se fait par un inverseur assurant au MB le régime à cadence unique et interdisant la transcription de l'information dans l'Esclave au cours de l'écriture du Maître.

Une des variantes de la bascule R-S_t représentant un montage M-E à inverseur est schématisée fig. 3.7. C'est une réalisation en éléments ET-NON pilotée par une impulsion au niveau 1.

Au repos ($T = 0$), le Maître et l'Esclave ont le même état du fait que la sortie de l'inverseur est au niveau 1 et que, partant, la transcription du Maître à l'Esclave a eu lieu. Supposons la bascule être initialement dans l'état $Q = 0$ et ses entrées S et R, respectivement à 1 et à 0. A l'arrivée d'une impulsion d'horloge ($T = 1$) le Maître est mis par l'entrée S dans l'état 1 ($Q' = 1$) et l'Esclave conserve son état premier 0 ($Q = 0$). Au bout d'un temps $\Delta t = \tau_{moy}$ (τ_{moy} est le retard de l'inverseur), consécutif à la disparition de l'impulsion d'horloge ($T = 0$), l'inverseur ramène sa sortie au niveau 1 et l'Esclave prend l'état du Maître. Compte tenu du retard de l'inverseur, l'information à la sortie du MB apparaît dans un temps $\Delta t = 4\tau_{moy}$ après la cessation de l'impulsion d'horloge.

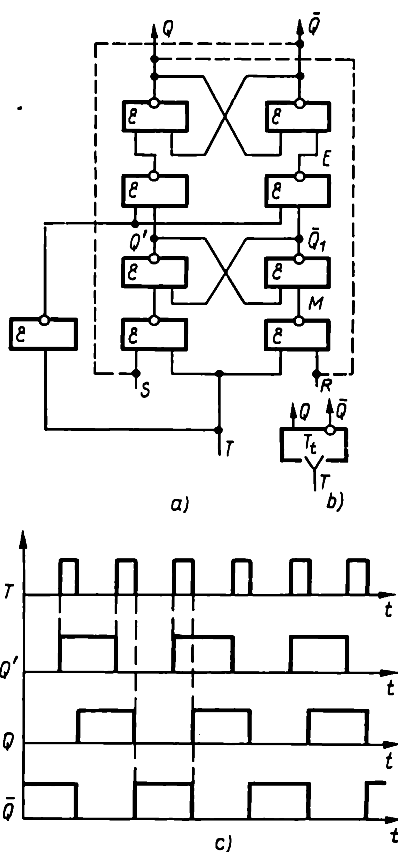


Fig. 3.7. Bascule du type R-S_t (*a*), représentation symbolique de la bascule de comptage à retard interne (*b*) et chronogramme de son fonctionnement (*c*)

Pour mettre la bascule en état 0 ($Q = 0$), il faut appliquer à ses entrées une combinaison de signaux $R = 1$ et $S = 0$. La combinaison de signaux $R = S = T = 1$ est interdite pour le montage en bascule R-S_t. Pour des raisons de stabilité de fonctionnement du montage, il est nécessaire que l'impulsion d'horloge ait une largeur d'au moins $2\tau_{moy}$ et que pendant l'écriture du Maître (pour $T = 1$) la formation d'un 0 à la sortie de l'inverseur, inhibitif pour la transcription de l'information, soit antérieure au basculement du Maître ($\tau_{NON} < 2\tau_{moy}$). Cette condition remplie, le montage en bascule R-S_t se trouve capable d'une grande stabilité de fonctionnement.

Le montage en bascule R-S_t (fig. 3.7) est universel car il peut faire fonction de bit dans un registre à décalage à cadence unique ou dans un compteur binaire. On obtient le compteur binaire en réunissant les sorties Q et $\bar{Q}$ du MB R-S_t à ses entrées R et S et en appliquant les impulsions de comptage à son entrée horloge. Dans ce cas, la bascule R-S_t se transforme en bascule de comptage à retard interne (bascule T_t). Le comportement de la bascule T_t est analogue à celui de la bascule R-S_t à cela près qu'ici le rôle de signaux d'information est tenu par les signaux provenant des sorties Q et $\bar{Q}$ de l'Esclave. Il est à noter à ce propos que chaque impulsion de comptage fait passer le Maître dans un état inverse de celui de l'Esclave et qu'après la cessation de l'impulsion d'horloge l'Esclave prend l'état du Maître.

Une organisation analogue à celle de la fig. 3.7 peut être adoptée pour les montages en bascule utilisant les éléments OU-NON et ET-OU-NON (logique à double niveau). La réalisation des MB R-S_t en logique à niveau unique permet d'obtenir les signaux de report et d'emprunt aux sorties des portes du Maître. La rapidité de fonctionnement des MB du type R-S_t et du type T_t qui en dérive est évaluable par les mêmes paramètres que pour la bascule R-S en considérant que le paramètre τ_t est en l'occurrence caractéristique du retard d'inversion de la bascule après la fin de l'impulsion d'horloge. Pour la bascule schématisée fig. 3.7, ces paramètres se chiffrent comme suit :

$$\left.\begin{array}{l} \tau_i \geqslant 2\tau_{moy} \,; \quad \tau_t = 4\tau_{moy} \,; \\ \tau_b = \tau_r = \tau_{moy} \,; \\ F_u = 1/\tau_i + 4\tau_{moy} \,; \\ F_{maxi} = 1/T_{mini} = 1/6\tau_{moy} \quad \text{pour} \quad \tau_i = 2\tau_{moy}. \end{array}\right\} \qquad (3.3)$$

Dans notre cas, les paramètres F_u, F_{maxi}, τ_b et τ_r traduisent la rapidité de fonctionnement du montage au régime de comptage.

Les montages en bascule R-S_t dotés de bascules pilotées de type différent sont organisés de la même manière que le montage de la fig. 3.7.

Comme nous l'avons signalé plus haut, les MB à retard interne se laissent commander par le niveau de l'impulsion d'horloge (régime

de la bascule T) auquel cas le passage des sorties Q et $\bar{Q}$ à un nouvel état a lieu pendant l'impulsion de comptage. Il existe deux façons d'imposer le régime de la bascule T au montage de la fig. 3.7 :

— en changeant la polarité de l'impulsion de comptage ($T = 0$) ;

— en appliquant les impulsions de comptage ($T = 1$) directement à l'entrée horloge de l'Esclave (bascule S) et, à travers un inverseur, à l'entrée horloge du Maître.

3.2.1.2. *Montages en bascule du type R-S_t à couplages inhibitifs*

La particularité de tels montages en bascule R-S_t est que pendant l'impulsion d'horloge l'écriture de l'information d'entrée dans le Maître s'effectue en simultanéité avec l'émission par les portes de celui-ci de signaux inhibitifs qui viennent sur les portes de l'Esclave bloquer la transcription de l'information du Maître à l'Esclave. La cessation de l'impulsion d'horloge fait disparaître ce blocage et l'état du Maître se transcrit dans l'Esclave.

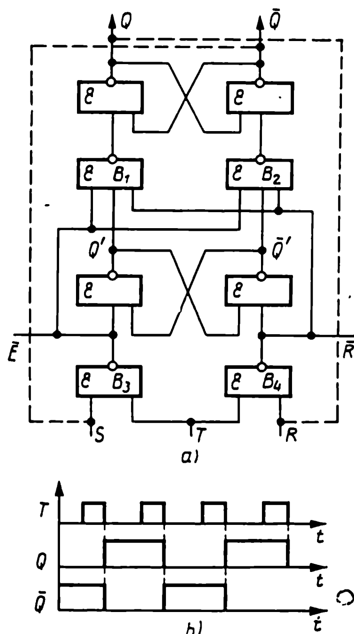


Fig. 3.8. Bascule R-S_t réalisée selon le schéma M-E à couplages inhibitifs

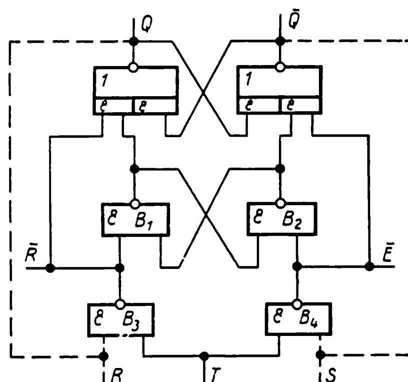


Fig. 3.9. Bascule R-S_t à couplages inhibitifs en éléments ET-NON et ET-OU-NON

En règle générale, dans les MB à couplages inhibitifs les portes du Maître sont réalisées avec les éléments de la logique à niveau unique ET-NON ou OU-NON.

Un montage en bascule R-S_t à bascules R-S du même type est schématisé fig. 3.8. Dans ce montage, le Maître et l'Esclave utilisent les éléments ET-NON. Le montage en bascule R-S_t à éléments OU-NON est conçu de manière analogue, à cette différence qu'il

est commandé par des impulsions d'horloge au niveau 0. Pour faire fonctionner le montage en bascule T_t, il faut que les signaux en provenance des entrées Q et $\bar{Q}$ soient amenés respectivement sur les entrées R et S. Cela étant, au repos (pour $T = 0$) les portes B_3 et B_4 sont fermées. De leurs sorties, les niveaux 1 viennent sur les entrées des portes de l'Esclave, c.-à-d. qu'il y a transcription directe de l'information du Maître à l'Esclave. Supposons le MB être à l'état $Q = 1$. L'arrivée d'une impulsion de comptage ($T = 1$) produit l'ouverture de la porte B_4 (sa sortie passe à 0 logique) qui met à 1 le Maître et en même temps bloque les portes B_1 et B_2 de l'Esclave. Il en résulte que le Maître prend l'état $Q' = 0$ et que l'Esclave garde son état précédent.

Après la disparition de l'impulsion de comptage ($T = 0$) la porte B_4 se bloque, sa sortie passe à 1 et la porte B_2 transfère l'état du Maître à l'Esclave. Ainsi, la première impulsion de comptage a pour effet la transition du MB d'un état $Q = 1$ vers un état $Q = 0$. Sur l'impulsion de comptage suivante, le Maître se place dans l'état $Q' = 1$ pour appliquer une inhibition à partir de la sortie de la porte B_3 aux entrées des portes B_1 et B_2. Après la cessation de l'impulsion de comptage la bascule reprend son état premier $Q = 1$. Les paramètres caractéristiques de la rapidité de fonctionnement de la bascule T_t ont les valeurs suivantes:

$$\left.\begin{array}{l}\tau_i \geqslant 2\tau_{moy}\,;\ \tau_b = \tau_r = \tau_{moy}\,;\ \tau_t = 4\tau_{moy}\,;\\ F_{maxi} = 1/6\tau_{moy}\ \text{pour}\ \tau_i = 2\tau_{moy}.\end{array}\right\} \qquad (3.4)$$

A l'encontre du MB R-S_t schématisé fig. 3.7, celui de la fig. 3.8 demande un nombre plus petit de circuits intégrés. De plus, il s'agit là d'un montage très fiable, la dispersion des valeurs du τ_{moy} des circuits ET-NON étant sans incidence sur le bon état de fonctionnement de l'ensemble du montage.

Il est possible d'améliorer la rapidité de fonctionnement des montages en bascule R-S_t réalisés selon le schéma M-E à couplages inhibitifs. A cet effet, on doit doter le Maître d'éléments logiques ET-NON et l'Esclave, d'éléments ET-OU-NON. Le paramètre F_{maxi} d'un tel montage (fig. 3.9) est égal à 1/5 τ_{moy}. Le montage en bascule du type R-S_t (schéma fig. 3.9) et la bascule de comptage, qui est sa transposition, utilisent chacun 6 éléments logiques tandis que le montage de la fig. 3.8 en exige 8. Le forçage du MB R-S_t s'opère par les entrées S_d et R_d des Maîtres qui reçoivent un niveau 0 en cas d'éléments logiques ET-NON et un niveau 1 en cas d'éléments OU-NON. Le positionnement simultané des Esclaves n'est pas obligatoire car, lorsque le montage est au repos (l'impulsion de comptage manque) leur état est celui du Maître.

Les montages en bascule R-S_t schématisés fig. 3.8 et 3.9 se rangent, eux aussi, parmi les universels. En version « bascule T_t » les signaux de report et d'emprunt sont fournis par les sorties des portes B_3 et B_4 du Maître.

3.2.1.3. *Montages en bascule du type R-S_t à commande par impulsions de polarité différente*

Ce genre de conception de la bascule R-S_t a ce caractère que le Maître et l'Esclave sont pilotés par des signaux de polarité différente, ce qui interdit la transcription de l'information dans l'Esclave au moment de l'écriture du Maître. A la fin de l'impulsion d'horloge, l'interdiction est levée et l'information se transcrit du Maître à l'Esclave. C'est ainsi que lorsqu'en écriture le Maître est commandé par des signaux de 1 logique, la commande de l'Esclave doit se faire par des signaux de 0 logique.

L'une des variantes du montage en bascule R-S_t universel est représentée fig. 3.10. Le Maître (bascule pilotée R-S) est ici réalisé en éléments logiques ET-NON et l'Esclave, en éléments OU-NON.

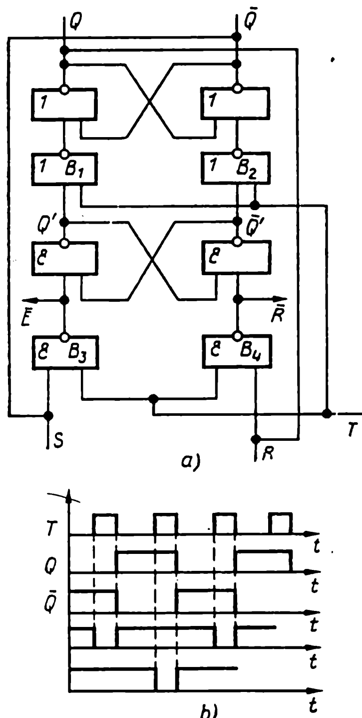


Fig. 3.10. Bascule T_t réalisée selon le schéma M-E à commande par impulsions de polarité différente (*a*) et chronogramme de son fonctionnement (*b*)

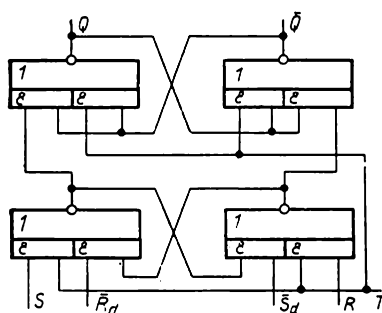


Fig. 3.11. Bascule R-S_t à commande par impulsions de polarité différente en éléments ET-OU-NON

Pour construire une bascule de comptage du type T_t, les sorties Q et $\bar{Q}$ du montage sont reliées respectivement aux entrées R et S. L'impulsion de comptage se présente sous forme de 1 logique. En son absence, l'une des portes (B_1 ou B_2) de l'Esclave est passante et il y a transcription de l'information du Maître à l'Esclave. Une impulsion de comptage qui arrive ($T = 1$) produit la fermeture des deux portes de l'Esclave et l'ouverture respective de la porte B_3 ou B_4 du Maître. Le Maître s'en trouve basculé dans l'état $\bar{Q}'$. Après la

disparition de l'impulsion de comptage ($T = 0$) les portes du Maître se bloquent et l'Esclave prend l'état du Maître.

La fig. 3.11 montre une autre variante du montage en bascule $R\text{-}S_t$ selon la formule *M-E* à commande par impulsions de polarité différente où le Maître et l'Esclave se composent des éléments de la logique à double niveau ET-OU-NON. Le comportement du montage en versions $R\text{-}S_t$ et T_t, identique à celui que nous venons d'examiner, n'a pas besoin d'une interprétation spéciale. Le rôle d'Esclaves dans ces montages peut être tenu par des bascules pilotées *D*.

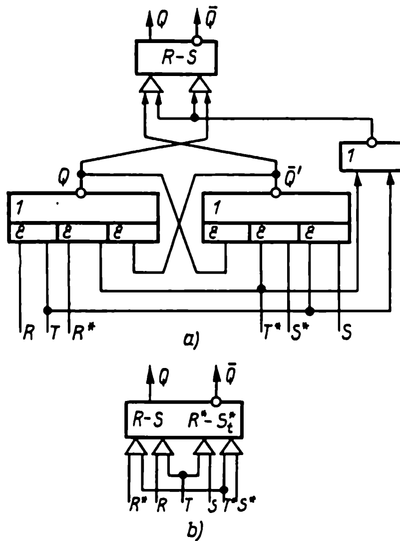


Fig. 3.12. Bascule $R\text{-}S\text{-}R^*\text{-}S_t^*$ (bascule à pilotage séparé) (*a*) et sa représentation symbolique (*b*)

Les paramètres dynamiques principaux des bascules T_t utilisant les montages $R\text{-}S_t$ schématisés fig. 3.10 et 3.11 ont les valeurs suivantes.

Pour les montages T_t en éléments ET-NON et OU-NON :

$$\left.\begin{aligned} \tau_i &\geqslant 2\tau_{moy}\,;\\ \tau_b = \tau_r &= \tau_{moy}\,;\\ \tau_t &= 3\tau_{moy}\,;\\ F_{maxi} &= 1/6\tau_{moy}\\ \text{pour } \tau_i &= 2\tau_{moy}. \end{aligned}\right\} \quad (3.5)$$

Pour les montages T_t en éléments ET-OU-NON :

$$\left.\begin{aligned} \tau_i &\geqslant 2\tau_{moy}\,;\\ F_u &= 1/\tau_i + \tau_t\,;\\ \tau_t &= 2\tau_{moy}\,;\\ F_{maxi} &= 1/4\tau_{moy}. \end{aligned}\right\} \quad (3.6)$$

Par analogie avec la bascule $R\text{-}S\text{-}R^*\text{-}S^*$ (fig. 2.7), on peut construire un montage en bascule $R\text{-}S\text{-}R^*\text{-}S_t^*$ doté de deux groupes d'entrées. L'exemple d'un tel MB réalisé selon le schéma *M-E* à inverseur (en l'occurrence une porte OU-NON) est donné fig. 3.12. Le nombre d'entrées de la porte inverseuse correspond à celui d'entrées parallèles *R* et *D* du montage en bascule, c.-à-d. au nombre d'entrées horloge.

L'écriture de l'information dans le montage en bascule $R\text{-}S\text{-}R^*\text{-}S_t^*$ à un moment donné n'est possible que par un groupe d'entrées unique (par exemple, soit par les entrées $R^*\text{-}S^*$, soit par les entrées *R-S*) à l'arrivée de l'impulsion d'horloge respective (T^* ou T). La bascule $R\text{-}S\text{-}R^*\text{-}S_t^*$ trouve de nombreuses applications pour la synthèse des registres à décalage bidirectionnel à cadence unique.

3.2.1.4. Montage en bascule du type R-S_t à transistors de commutation

La spécificité des montages en bascule R-S_t ainsi organisés est que le couplage entre le Maître et l'Esclave s'effectue à l'aide de transistors supplémentaires assurant la transition de l'Esclave dans l'état du Maître après la cessation de l'impulsion d'horloge.

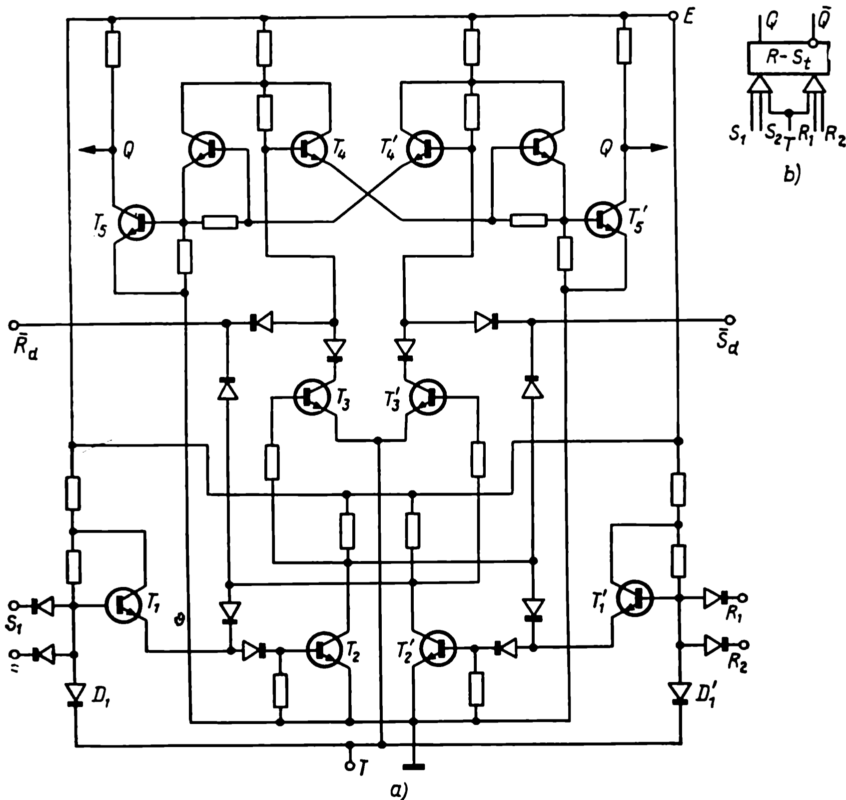


Fig. 3.13. Bascule du type R-S_t à transistors de commutation (*a*) et sa représentation symbolique (*b*)

Le schéma de principe de l'une des variantes de ce MB réalisé en éléments ET-NON est représenté fig. 3.13. On y voit: le Maître comportant les transistors T_1, T_1', T_2 et T_2', l'Esclave utilisant les transistors T_4, T_4', T_5 et T_5', les transistors de commutation T_3 et T_3' ainsi que les diodes aux entrées logiques S et R. Au repos, lorsque $T = 0$, les signaux existant sur les entrées S ou R de la bascule n'ont pas accès au Maître du fait que pour $T = 0$ les diodes D_1 et D_1' sont conductrices et les transistors T_1 et T_1' sont bloqués en permanence.

Suivant l'état initial du Maître, l'un des transistors de commutation (T_3 ou T'_3) est toujours en débit et l'autre, en coupure. C'est ainsi que lorsque le Maître est dans l'état 0 (la sortie du transistor T_2 est à un niveau haut) le transistor T_3 conduit et T'_3 non, leurs bases étant maintenues respectivement à des potentiels élevé et bas. Puisque le transistor T_3 est coupé, les transistors T_4 et T_5 seront passants et les transistors T_4 et T'_5 non et, par conséquent, la sortie Q de la bascule sera portée à un niveau logique bas et la sortie $\bar{Q}$ à un niveau logique haut respectivement.

Plaçons la bascule dans l'état 1 ($Q = 1$, $\bar{Q} = 0$) en appliquant à ses entrées une combinaison des signaux $S_1 = 1$, $R_1 = 0$ *). Lorsqu'une impulsion d'horloge vient ($T = 1$) les diodes D et D'_1 se coupent et les transistors T_1, T_2 entrent en conduction. Le transistor T'_2 cesse de débiter (sa base est portée au niveau 0 par la sortie du transistor T_2) et le Maître prend l'état 1 (la sortie du T'_2 est à un niveau haut). Or, pendant l'impulsion d'horloge ($T = 1$) les transistors de commutation seront bloqués, leurs émetteurs étant maintenus à un niveau logique élevé. La disparition de l'impulsion d'horloge rend passant le transistor T'_3 (sa base est à un niveau haut), mais pas le transistor T_3. Le débit du transistor T'_3 aura pour effet la fermeture des transistors T'_4 et T_5 et l'ouverture des transistors T_4 et T'_5. Le résultat en est que l'Esclave se place dans l'état 1 ($Q = 1$). L'état 0 ($Q = 0$) de la bascule est commandé par une combinaison de signaux $R = 1$, $S = 0$ après la cessation de l'impulsion d'horloge. La combinaison de signaux $S = R = H = 1$ est interdite pour le montage en bascule R-S_t.

L'organisation de la bascule de comptage implique les connexions des sorties Q et $\bar{Q}$ aux entrées R et S respectivement. Les entrées S_d et R_d du montage en bascule R-S_t considéré qui sont réalisées sous forme de groupes de diodes servent au forçage de la bascule respectivement à 1 et à 0. A cet effet, il faut leur appliquer des signaux de 0 logique. Au repos, les entrées S_d et R_d doivent être portées à des niveaux élevés (1 logique).

3.2.2. Montage en bascule du type R-S_t réalisé selon le schéma à trois bascules **)

L'emploi du schéma à trois bascules est assez courant dans les montages en bascule R-S_t reposant sur les éléments de la logique à niveau unique ET-NON et OU-NON. Cette formule à ceci de particulier que la synthèse d'un MB R-S_t nécessite 3 bascules asynchrones du type R-S dont l'un fait fonction de Maître et les deux autres, de commutateurs. En exemple d'un montage en bascule R-S_t orga-

*) Les autres entrées du montage seront maintenues à des niveaux de tension élevés ($R_2 = S_2 = 1$).

**) Il s'agit là d'une application particulière du principe général considéré au chapitre 5.

nisé suivant le principe de trois bascules, examinons les schémas de la fig. 3.14. La bascule se compose de 6 portes OU-NON dont B_1 et B_2 constituent la bascule principale et B_3, B_4 et B_5, B_6 les bascules de commutation respectivement gauche et droite.

Il est à noter que les portes B_1, B_3 et B_5 forment les côtés Q et les portes B_2, B_4 et B_6 les côtés $\overline{Q}$ des bascules R-S. Les sorties des portes

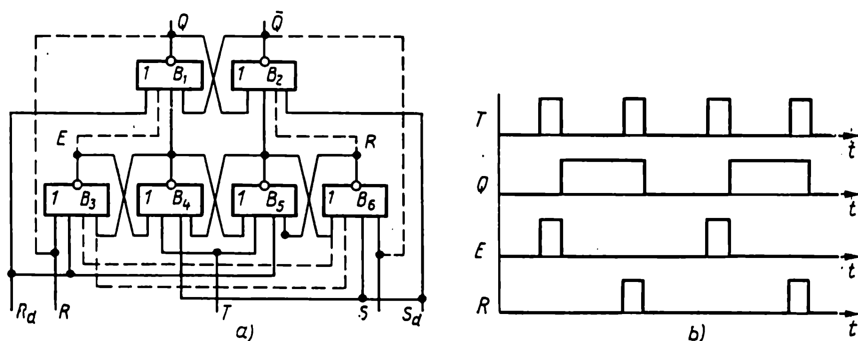


Fig. 3.14. Montage en bascule R-S_t réalisé selon le schéma à trois bascules (a) (le couplage de comptage est indiqué en pointillé) et chronogramme du fonctionnement de la bascule T_t (b)

appartenant aux bascules de commutation réunies aux entrées de positionnement de la bascule principale constituent les côtés de commande (portes B_4 et B_5) des bascules de commutation. C'est ainsi que lorsqu'au repos (pour une combinaison de signaux $R = S = T = 0$) le côté de commande de la bascule de commutation droite sera à un niveau haut, c.-à-d. que son état sera 1 ($B_5 = 1$, $B_6 = 0$) les deux autres bascules auront, elles aussi, l'état 1. Dans ce cas, la mise en état 1 de la bascule de commutation gauche sera due à la réaction entre la sortie de la B_5 et l'entrée de la B_4 et au signal $R = 0$. Si pour cette même combinaison de signaux c'est le côté de commande de la bascule de commutation gauche qui se trouve dans l'état 1 ($B_3 = 0$, $B_4 = 1$) les deux autres bascules seront dans l'état 0. Notons à ce propos que l'état 0 de la bascule de commutation droite est l'effet de la réaction entre la sortie de la B_4 et l'entrée de la B_5 ainsi que du signal $S = 0$.

Examinons de plus près le comportement de la bascule en versions R-S_t et T_t. Supposons que la bascule soit dans l'état 1 ($Q = 1$, $\overline{Q} = 0$). Plaçons la bascule dans l'état 0 par application à ses entrées d'une combinaison de signaux $R = 1$ et $S = 0$. Alors, pour $T = 0$, l'état de la bascule de commutation droite sera celui de la bascule principale ($B_1 = B_5 = Q = 1$ et $B_2 = B_6 = \overline{Q} = 0$) et les deux côtés de la bascule de commutation gauche seront au niveau 0 (car $R = 1$ et $B_5 = 1$). Toute autre répartition des potentiels entre les sorties des portes B_1 à B_6 est inutile du fait qu'elle conduit à un désaccord avec l'état initial de la bascule principale.

Au moment d'une impulsion d'horloge ($T = 1$) la sortie de la B_5 passe à 0 et celle de la B_6 à 1 (car $S = 0$). Dans ce cas, le reste des éléments du montage ne changent pas d'état, la sortie de la B_4 étant désormais maintenue au niveau 0 grâce à l'impulsion d'horloge ($T = 1$). Après la disparition de l'impulsion d'horloge (pour $T = 0$) l'élément B_4 établit à sa sortie un niveau élevé (toutes les entrées sont à 0 logique) agissant simultanément sur les entrées des portes B_1 et B_3. L'effet en est que la bascule de commutation gauche et la bascule principale prennent l'état 0.

Pour une combinaison de signaux $R = 0$, $S = 1$, l'arrivée d'une impulsion d'horloge ($T = 1$) mettra d'abord la bascule de commutation gauche dans l'état 1 ($B_3 = 1$, $B_4 = 0$) et après la cessation de l'impulsion d'horloge ($T = 0$) la sortie de la B_5 sera à un niveau haut, ce qui fera passer le MB à l'état $Q = 1$. La combinaison de signaux $R = S = T = 1$ est interdite, étant donné que, dans ce cas, la B_3 et la B_6 seront en permanence maintenues au niveau 0 d'où l'équiprobabilité de formation du niveau 1 sur la B_4 ou la B_5 à la fin de l'impulsion d'horloge et, partant, de l'état $\overline{Q} = 1$ ou $Q = 1$. En version R-S_t, la bascule s'utilise comme chiffre dans les registres à décalage à cadence unique.

Pour en dériver une bascule de comptage, il faut raccorder la sortie Q à l'entrée R et la sortie $\overline{Q}$ à l'entrée S (ligne discontinue fig. 3.14). Le comportement du montage en version T_t est explicité en détail dans le tabl. 3.1. Pendant l'impulsion d'horloge, les sorties des portes B_3 et B_6 fournissent les signaux de 1 logique (voir tabl. 3.1, positions 3 et 10). Il est à remarquer à ce sujet que le signal à la sortie de la B_3 apparaît à la transition de la bascule de l'état 1 vers l'état 0 et celui à la sortie de la B_6, à la transition de l'état 0 vers l'état 1, c.-à-d. que ces signaux peuvent faire fonctions « report » et « emprunt ».

Ce caractère de la bascule T_t (fig. 3.14) permet d'organiser des échelles à plusieurs positions en réunissant directement la sortie « report » (ou « emprunt » en cas de comptage bidirectionnel) du n-ième chiffre à l'entrée de comptage du ($n + 1$)-ième chiffre. Il n'en est pas de même avec les bascules T_t réalisées selon le schéma M-E et dotées de sorties « report » et « emprunt » qui demandent la présence d'inverseurs supplémentaires dans les couplages entre les chiffres consécutifs pour adapter le niveau logique de l'impulsion de report à celui de l'impulsion de comptage.

Les paramètres caractéristiques de la rapidité de basculement de la bascule T_t que nous venons de considérer ont les valeurs suivantes:

$$\left.\begin{aligned} &\tau_i \geqslant 2\tau_{moy};\\ &\tau_t = 4\tau_{moy};\\ &\tau_b = \tau_r = 2\tau_{moy};\\ &F_{maxi} = 1/6\tau_{moy} \text{ pour } \tau_i = 2\tau_{moy}. \end{aligned}\right\} \quad (3.7)$$

Répartition temporelle des niveaux aux sorties des portes de la bascule T_t

Numéro de la position	Entrée de comptage	Bascule principale		Bascule de commutation gauche		Bascule de commutation droite		Observations
	T	B_1	B_2	B_3	B_4	B_5	B_6	
1	0	1	0	0	0	1	0	Etat de repos du montage: la bascule de commutation droite et la bascule principale sont positionnées sur 1, les couplages électriques de la bascule de commutation gauche sont coupés
2	1	1	0	0	0	0	0	Etat du montage au bout d'un temps $\Delta t = \tau_{moy}$ après l'arrivée de l'impulsion de comptage $T = 1$
3	1	1	0	0	0	0	1	$\Delta t = 2\tau_{moy}$; la bascule de commutation gauche a pris un état inverse de celui de la bascule principale, la sortie de la B_6 fournit le signal « report »
4	1	1	0	0	0	0	1	$\Delta t > 2\tau_{moy}$
5	0	1	0	0	1	0	1	Etat du montage au bout d'un temps $\Delta t = \tau_{moy}$ après la cessation de l'impulsion de comptage
6	0	0	0	0	1	0	1	$\Delta t = 2\tau_{moy}$ après la cessation de l'impulsion de comptage
7	0	0	1	0	1	0	1	$\Delta t = 3\tau_{moy}$ après la cessation de l'impulsion de comptage: toutes les trois bascules sont passées dans l'état 0
8	0	0	1	0	1	0	0	$\Delta t = 4\tau_{moy}$; autre état stable du montage; lorsque la bascule principale et celle de commutation droite sont mises à 0, les couplages de la bascule de commutation droite sont coupés, le signal « report » n'existe pas
9	0	0	1	0	1	0	0	Etat du montage au bout d'un temps $\Delta t > 4\tau_{moy}$
10	1	0	0	1	0	0	0	$\Delta t = 2\tau_{moy}$ après la présentation de la 2e impulsion de comptage; la bascule de commutation gauche se trouve dans l'état 1, le signal « emprunt » est produit
11	0	1	0	1	0	1	0	$\Delta t = 3\tau_{moy}$ après la cessation de la 2e impulsion de comptage; toutes les trois bascules sont mises à 1
12	0	1	0	0	0	1	0	$\Delta t = 4\tau_{moy}$ après la cessation de la 2e impulsion de comptage; la bascule a repris son état premier, le signal « emprunt » n'est plus

En plus de régimes R-S_t et T_t, le montage schématisé fig. 3.14 peut fonctionner également en bascule R-S ou T commandée par le niveau de l'impulsion d'horloge dont la polarité doit alors être inversée. Le régime de fonctionnement sans retard se révèle pourtant peu fiable car, dans ce cas, la commande de la porte de la bascule principale (B_1 ou B_2) s'opère par le signal de 1 logique en provenance unique du côté opposé de la bascule, ce qui augmente le risque de dérangement du montage sous l'effet des parasites.

Il est possible d'améliorer la rapidité de fonctionnement et la tenue aux parasites de la bascule T_t (fig. 3.14). Cette dernière se trouve augmentée grâce à deux couplages supplémentaires (à la fig. 3.14 ces couplages sont indiqués en pointillé) allant des formateurs de report et d'emprunt respectivement vers les entrées des portes B_1 et B_2 de la bascule principale et les entrées des portes B_3 et B_6 des bascules de commutation.

Une meilleure tenue aux parasites de la bascule s'obtient par l'effet des couplages complémentaires établis entre les sorties des portes B_3 et B_6 et les entrées respectives des portes B_1 et B_2 favorisant le maintien de la bascule principale dans son état précédent pendant l'impulsion d'horloge. Ces couplages ne sont pourtant efficaces qu'à condition que la durée de l'impulsion d'horloge soit supérieure au délai de formation du signal de report, c.-à-d. pour $\tau_1 > 2\tau_{moy}$.

La rapidité de fonctionnement du montage se trouve augmentée sous l'effet des couplages allant des sorties des portes B_3 et B_6 vers les entrées des portes B_6 et B_3 respectivement. Cela abrège la période des impulsions grâce à la diminution du retard de basculement de la bascule. Cette diminution est rendue possible par le fait que la formation du signal « report » ou « emprunt » est en avance sur celle du niveau 1 à la sortie de la bascule principale (Q ou $\overline{Q}$) provoquant la mise à 0 de l'élément B_3 ou B_6. Etant donné que le retard de la bascule constitue $4\tau_{moy}$ et que le signal aux sorties des portes B_3 et B_6 apparaît dans un temps $t = 2\tau_{moy}$ après l'application d'une impulsion $T = 1$, les éléments B_3 et B_6 se placent dans l'état 0 pendant l'impulsion d'horloge, ce qui permet d'accroître la fréquence des impulsions de comptage à une valeur $F_c = \frac{1}{\tau_1 + 2\tau_{moy}}$. Alors pour $\tau_1 = 2\tau_{moy}$, on a $F_{c\,max1} = 1/4\tau_{moy}$.

La bascule T_t organisée selon le schéma à trois bascules est plus économique lorsqu'elle utilise les éléments de la logique à niveau unique ET-NON et OU-NON que la bascule T_t en formule M-E car elle comporte deux éléments de moins (6 au lieu de 8). A cet avantage du schéma considéré il faut ajouter la possibilité de formation des impulsions de report et d'emprunt de la même polarité que l'impulsion de comptage, ce qui permet, en utilisant cette bascule en version T_t, de simplifier d'une part les compteurs à plusieurs positions et de l'employer d'autre part pour distribuer des impulsions entre deux voies (voir chapitre 6).

3.2.3. Montages en bascule du type R-S_t à éléments de mémoire

Il existe trois variétés de montages en bascule à retard interne réalisés :

1) avec diodes à stockage de charge ;
2) avec triodes fonctionnant au régime de stockage de charge ;
3) avec circuits à retard dû à la charge des capacités parasites.

Les deux premières variétés du MB sont représentées fig. 3.15 et 3.16. Le principe de fonctionnement des deux montages schématisés étant à peu près le même, nous n'en traitons ici qu'à propos de

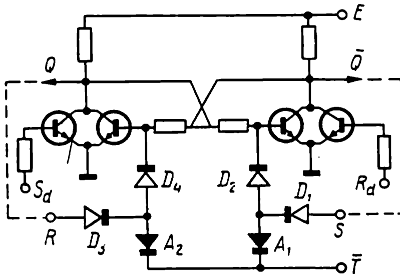


Fig. 3.15. Bascule R-S_t utilisant les diodes à stockage de charge (le couplage de comptage est indiqué en pointillé)

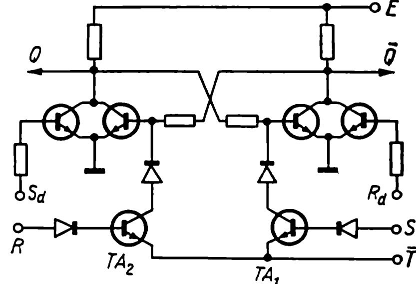


Fig. 3.16. Bascule R-S_t utilisant les transistors à stockage de charge

celui de la fig. 3.15. Le montage est composé d'une bascule R-S et d'un circuit de commande symétrique réalisé avec quatre diodes ordinaires (D_1 à D_4) et deux diodes à stockage de charge (A_1 et A_2). Les impulsions d'horloge ont ici le niveau 0 ($\overline{T} = 0$). Supposons qu'au repos $Q = 0$ ($\overline{Q} = 1$) et que les signaux agissant sur les entrées soient $S = 1$ (niveau de tension haut) et $R = 0$ (niveau de tension bas).

Sur une impulsion d'horloge ($\overline{T} = 0$) la diode D_1 entre en débit et la A_1 se met à conduire un courant qui va produire sa charge. Comme $R = 0$, le circuit comportant la D_3 et la A_2 se trouve bloqué. Pendant le temps de l'impulsion d'horloge la bascule gardera son état antérieur et la A_1 continuera le stockage de sa charge. Après la cessation de l'impulsion d'horloge ($\overline{T} = 1$) le courant à travers les D_1 et A_1 sera coupé et la D_2 va écouler la charge stockée dans la A_1 vers la base du transistor du côté droit de la bascule ($\overline{Q}$). Il en résulte que le transistor est mis en débit avec comme effet le passage de la bascule dans l'état $\overline{Q} = 0$, $Q = 1$. Ainsi, le montage schématisé fig. 3.15 fonctionne avec un retard interne et peut s'utiliser comme bit dans un registre à décalage à cadence unique. Dans le montage de la fig. 3.16, le rôle d'accumulateur de charge est rempli par la

région de collecteur des transistors placés dans les circuits de commande (TA_1 et TA_2).

Pour une combinaison de signaux $R = S = 0$ aux entrées du montage en bascule $R\text{-}S_t$ il n'y aura de basculement ni après l'apparition, ni après la disparition des impulsions d'horloge, le courant étant nul tant dans le circuit D_1, A_1, que dans le circuit D_3, A_2. La combinaison des signaux $R = S = 1$ est interdite car, dans ce cas, l'arrivée d'une impulsion d'horloge ($T = 0$) entraîne le débit des diodes D_1 et D_2 et, partant, le stockage de charge dans les A_1 et A_2. Après la cessation de l'impulsion d'horloge, la transition du montage dans l'un ou l'autre des états possibles est équiprobable. Cela signifie que pour $S = R = 1$ la bascule se trouve dans un état indéterminé. Le forçage du montage en bascule $R\text{-}S_t$ dans l'état $Q = 1$ ou $Q = 0$ s'effectue par application des signaux de 1 logique respectivement à l'entrée S_d ou R_d. La durée de l'impulsion d'horloge est déterminée par le temps de conduction des diodes à stockage de charge ($\tau_1 \gg \tau_{c.a.}$) et le retard de basculement par le délai d'écoulement de la charge ($\tau_{éc}$) et le temps d'inversion de la bascule proprement dite du montage, égal à $2\tau_{moy}$.

Pour transformer les montages schématisés fig. 3.15 et 3.16 en bascule de comptage T_t, il faut réunir les sorties Q et $\overline{Q}$ de la bascule respectivement aux entrées R et S. Alors, l'apparition d'une impulsion de comptage ($\overline{T} = 0$) aura pour effet le stockage de charge dans la diode du côté porté au niveau 1 et par là même l'inversion de la bascule après la disparition de l'impulsion d'horloge. Le montage est calculé de façon que le niveau haut à la sortie soit insuffisant pour débloquer la jonction base-émetteur du transistor de la bascule. C'est ainsi qu'au passage de la bascule de comptage à l'état $Q = 1$, le niveau de tension élevé sera inférieur à la somme des chutes de tension dans les diodes conductrices D_3 et D_4 ajoutée à la tension de déblocage du transistor. Les montages considérés peuvent s'utiliser comme bascules $R\text{-}S$ et T commandées par le niveau de l'impulsion d'horloge à condition que sa polarité corresponde à 1 logique. Dans ce cas, l'une des diodes à stockage de charge sera normalement conductrice (lorsque $T = 0$) et l'arrivée d'une impulsion d'horloge ($T = 1$) produira sa décharge dans la base du transistor de la bascule pendant la montée de l'impulsion d'horloge.

Ces montages ont à leur désavantage la mauvaise compatibilité entre la technique de fabrication des composants actifs et passifs et celle des composants à stockage de charge.

Encore un schéma de la bascule de comptage à cadence unique est donné fig. 3.17. Le montage schématisé comporte deux bascules:

1) bascule principale à transistors T_3 et T_4 et
2) bascule de commande à transistors T_1 et T_2.

La bascule de commande joue le rôle d'un élément mémorisant l'état intermédiaire du MB et assurant l'inversion de la bascule principale. Le montage fonctionne de la manière suivante.

Supposons la bascule être dans un état $Q = 1$ qui correspond à un niveau haut en point A (sortie Q) et à un niveau bas en point B (sortie $\overline{Q}$), c.-à.-d. que le transistor T_d est bloqué et le transistor T_4 conduit. Il est à noter que le montage est conçu de façon que le transistor T_3 de la bascule de commande est passant, alors que le transistor T_2 est bloqué. Une impulsion de comptage qui vient en polarité positive sur l'entrée T met en débit le transistor T_7, ce qui a pour effet la coupure de l'alimentation de collecteur des transistors de la bascule de commande et leur blocage. Cela étant, les points C et D conservent respectivement le niveau haut et le niveau bas de tension pour maintenir la bascule principale à son état initial.

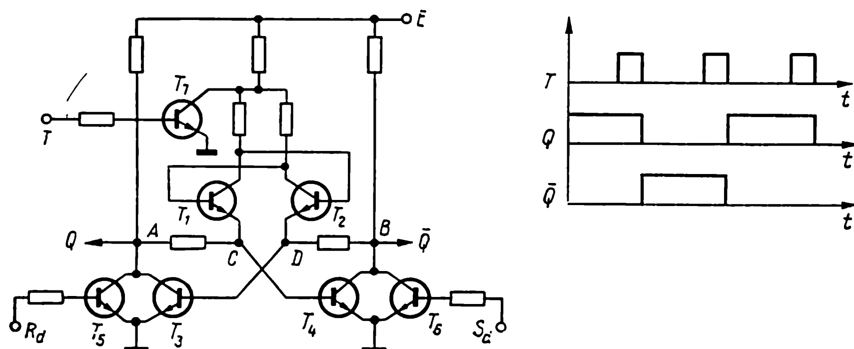


Fig. 3.17. Bascule de comptage

Après la cessation de l'impulsion de comptage ($T = 0$) le transistor T_7 se coupe, les collecteurs des transistors T_1 et T_2 s'en trouvent alimentés et, le potentiel en point C étant supérieur à celui en point D (car le transistor T_4 était conducteur), le transistor T_2 sera le premier à débiter. L'effet en est qu'un courant aura lieu dans la base du transistor T_3 qui va s'ouvrir et que la réaction de la bascule principale produira le blocage du transistor T_4 ($\overline{Q} = 1$). La deuxième impulsion de comptage remettra en conduction le transistor T_5 et après sa disparition la bascule prendra l'état $Q = 1$.

Ce montage, quoique économique en composants, n'est pas universel car il a le seul emploi, celui de bascule T_t.

3.2.4. Montages en bascule du type D_t et leur transposition en bascules de comptage

Dans la technique des circuits intégrés, les montages en bascule du type D_t s'utilisent dans les compteurs à cadence unique, les registres à décalage, les distributeurs, etc. La synthèse des bascules D_t est essentiellement basée sur deux schémas:

— le schéma M-E;
— le schéma à trois bascules.

3.2.4.1. *Montages en bascule du type D_t réalisés selon le schéma M-E*

Tout comme pour les montages en bascule *R*-S_t, dans le cas des montages en bascule D_t le schéma *M-E* existe en diverses versions dont les plus répandues sont les suivantes:

— *M-E* à inverseur;

— *M-E* à couplages inhibitifs;

— *M-E* à commande par impulsions de polarité différente.

Les variétés de montages en bascule D_t sont schématisées fig. 3.18, 3.19 et 3.20. Le montage en bascule D_t de la fig. 3.18, réalisé avec deux bascules pilotées *D* formant le schéma *M-E* à couplages inhibitifs, fonctionne de la façon suivante.

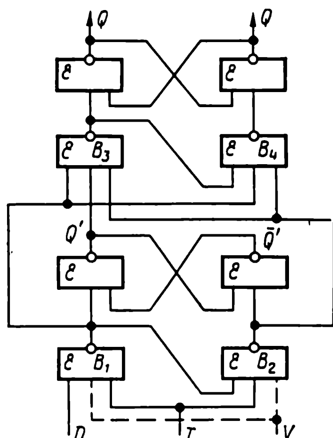


Fig. 3.18. Bascule D_t à couplages inhibitifs (l'entrée *V* est indiquée en pointillé)

Pour $T = 0$, l'état de la bascule ne change pas. Pour une combinaison de signaux aux entrées $D = T = 1$, il y a écriture de 1 dans le Maître et en même temps interdiction de la transcription de l'information dans l'Esclave sous l'effet inhibitif exercé par la sortie de la B_1 sur les entrées des portes B_3 et B_4. Quand $D = 0$ et que $T = 1$, le Maître passe à 0 et la transcription dans l'Esclave est bloquée par un niveau 0 en provenance de la sortie de la B_2. Lorsque $T = 0$, le blocage est levé (les entrées des B_3 et B_4 sont dans ce cas au niveau 1) et l'Esclave prend l'état du Maître. Au régime de comptage, la sortie $\bar{Q}$ est raccordée à l'entrée *D* et l'entrée horloge *T* reçoit les impulsions de comptage.

Les paramètres caractéristiques de la rapidité de basculement du montage au régime de comptage se présentent comme suit:

$$\left.\begin{aligned} &\tau_i \geqslant 2\tau_{moy}; \\ &\tau_i = \tau_r = \tau_{moy}; \\ &F_{maxi} = 1/6\tau_{moy}. \end{aligned}\right\} \quad (3.8)$$

La fig. 3.19 montre l'une des variantes possibles des montages en bascule du type D_t réalisée selon le schéma *M-E* à commande par impulsions de polarité différente en éléments ET-NON et ET-OU-NON. Le Maître est en l'occurrence une bascule du type *D* pilotée par une impulsion au niveau 0, le rôle d'Esclave étant tenu par une bascule du type *R-S* pilotée par une impulsion au niveau 1. A l'application d'une impulsion d'horloge ($\bar{T} = 0$) le Maître se place dans l'état $Q' = 0$ ou $Q' = 1$ respectivement pour $D = 0$ ou

$D = 1$ et simultanément l'écriture de l'information dans l'Esclave se trouve bloquée. Après la cessation de l'impulsion d'horloge ($\bar{T} = 1$) il y a ouverture de la porte ET_4, si $Q' = 1$, ou de la porte ET_1, si $Q' = 1$, et l'Esclave rejoint l'état du Maître ($Q = Q'$). Pour mettre le montage au régime de comptage (bascule T_t) la sortie Q doit être réunie à l'entrée D. Comparé au montage de la fig. 3.18, celui de la fig. 3.19 présente une meilleure rapidité ($F_{\max 1} = 1/5\tau_{\text{moy}}$) et se compose d'un nombre plus petit d'éléments logiques (5 contre 8).

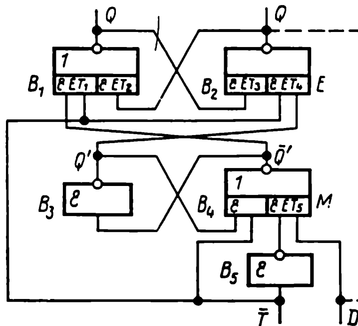


Fig. 3.19. Bascule D_t à commande par impulsions de polarité différente

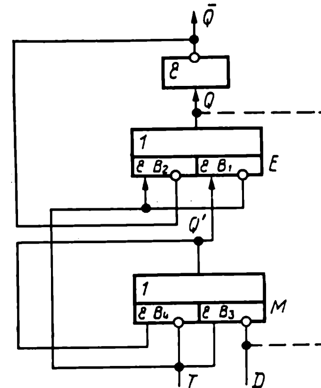


Fig. 3.20. Bascule D_t en éléments NON, ET-OU (le couplage de comptage est indiqué en pointillé)

La bascule schématisée fig. 3.19 est la mieux adaptée à la synthèse des registres à décalage à cadence unique. Dans ce cas, il est possible de réaliser le 2e, 3e, 4e et n-ième bit du registre à décalage sans élément B_5 en branchant la sortie de l'élément B_5 du premier bit directement sur les entrées des portes ET_5 de tous les bits consécutifs. Cette propriété utile du montage donné permet de réduire les frais de composants par bit dans le registre. En permutant dans le montage schématisé fig. 3.19 le Maître et l'Esclave, nous obtiendrons une bascule universelle du type R-S_t et c'est là encore un avantage de cette solution.

Les plus économiques par le nombre d'éléments intégrés sont les bascules D_t réalisées suivant le schéma M-E à commande par impulsions de polarité différente en éléments NON, ET-OU. L'une des variantes de la bascule D_t fait l'objet de la fig. 3.20. Le Maître qui est une bascule du type $\bar{D}$ utilise un seul élément NON, ET-OU et l'Esclave est une bascule $\bar{D}$ à sortie symétrique. Les impulsions d'horloge de la bascule D_t ont un niveau 1.

En l'absence de l'impulsion d'horloge ($T = 0$) l'état du Maître est recopié par l'Esclave à travers la porte B_1 (la porte de réaction B_2 est fermée). Dans ce cas, il y a transcription directe de l'état de la

bascule $\bar{D}$ à la bascule D (si $Q' = 1, Q = 1$; si $Q' = 0, Q = 0$). Une impulsion d'horloge ($T = 1$) arrivée, la réaction de l'Esclave intervient (la porte B_2 s'ouvre) et la porte d'écriture B_3 dans la bascule $\bar{D}$ devient passante. Le Maître prend un état inverse du niveau à l'entrée D (si $D = 1, Q' = 0$; si $D = 0, Q' = 1$). Après la disparition de l'impulsion d'horloge la réaction dans le Maître intervient (la porte B_4) et l'Esclave reproduit l'état du Maître.

L'organisation de la bascule de comptage implique la connexion de la sortie Q à l'entrée D du Maître.

Toutes les versions des montages en bascule que nous venons d'examiner se rangent parmi les universelles. Les compteurs et les registres à décalage réalisés à partir de ces montages demandent un nombre plus petit de couplages intérieurs (cas de compteurs) et extérieurs par rapport à leurs homologues utilisant les bascules $R\text{-}S_t$. Ce caractère important des bascules D_t les avantage sur les bascules $R\text{-}S_t$, en particulier, dans le cas des compteurs bidirectionnels et des registres à décalage.

3.2.4.2. Montages en bascule du type D_t réalisés selon le schéma à trois bascules

Le montage en bascule D_t réalisé selon le schéma à trois bascules est représenté fig. 3.21. Tout comme le MB du type $R\text{-}S_t$ de la fig. 3.14, ce montage emploie 6 éléments OU-NON. Les éléments B_1 et B_2

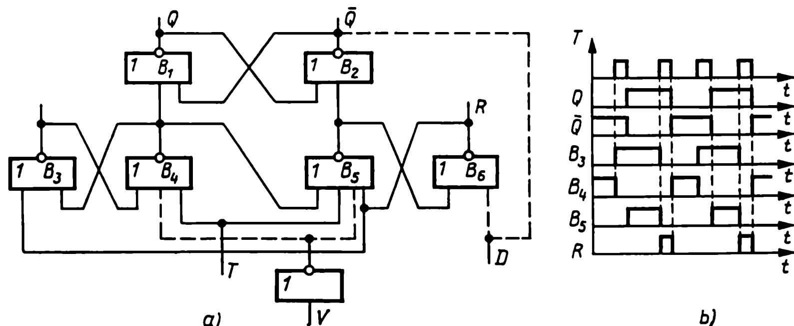


Fig. 3.21. Bascule D_t (*a*) et bascules $D\text{-}V_t$ et T_t qui en dérivent (les couplages appropriés sont indiqués en pointillé) ; chronogramme du fonctionnement de la bascule T_t (*b*)

constituent la bascule principale et les éléments B_3, B_4 et B_5, B_6, respectivement les bascules de commutation droite et gauche. La distinction entre la bascule D_t et la bascule $R\text{-}S_t$ décrite ci-avant consiste dans la manière de coupler entre elles les bascules de commutation. Le montage donné est dépourvu de couplage entre la sortie du côté Q de la bascule de commutation droite (porte B_5) et l'entrée de l'élément formant le côté $\bar{Q}$ de la bascule gauche (B_4). Il existe

un couplage supplémentaire entre la sortie du côté $\overline{Q}$ de la bascule de commutation droite (B_6) et l'entrée du côté Q de la bascule de commutation gauche (B_3). L'une des entrées de l'élément du côté $\overline{Q}$ de la bascule droite (B_6) sert en l'occurrence d'entrée d'information de la bascule, c.-à-d. d'entrée D. Pour le reste, l'organisation du montage s'identifie à celle de la bascule R-S_t fig. 3.14.

Examinons plus en détail le comportement du montage aux régimes D_t et T_t. Soit la bascule dans l'état $Q = 1$ et les entrées D et T au niveau 0. Dans ce cas, les deux bascules de commutation se trouvent, elles aussi, dans l'état 1, c.-à-d. que $B_1 = B_3 = B_5 = 1$. Sur une impulsion d'horloge ($T = 1$) la B_5 établit à sa sortie un 0 logique et, étant donné que $D = 0$, la sortie de la B_6 passe à 1. L'effet en est qu'au bout d'un temps $\Delta t = 2\tau_{moy}$, du moment de l'impulsion d'horloge, la bascule de commutation droite inverse son état ($B_5 = 0$, $B_6 = 1$). A partir de la sortie de la B_6 le niveau haut vient sur l'entrée de la porte B_3 qui forme à sa sortie un 0 logique sans supprimer pour autant l'état 0 à la sortie de la B_4, cet état étant maintenu par le signal $T = 1$.

Ainsi, dans un temps $\Delta t = 3\tau_{moy}$ après l'arrivée de l'impulsion d'horloge ($T = 1$) l'état à la sortie des portes B_3, B_5 et B_6 change, exception faite de celui de la bascule principale et de la porte B_4. Le montage est maintenu dans cette position pendant l'impulsion d'horloge ($T = 1$). A la fin de l'impulsion d'horloge ($T = 0$) la sortie de la B_4 passe à un niveau élevé se présentant à la fois aux entrées de l'élément B_1 de la bascule principale et de la porte B_3. Le résultat en est qu'au bout d'un temps $\Delta t = 2\tau_{moy}$, après la cessation de l'impulsion d'horloge, les couplages entre les éléments B_3 et B_4 imposent à la bascule de commutation gauche l'état 0 ($B_3 = 0$, $B_4 = 1$). La bascule principale sera fixée dans l'état 0 ($B_1 = 0$, $B_2 = 1$) dans un temps $\Delta t = 3\tau_{moy}$ après la disparition de l'impulsion d'horloge. De cette façon, pour $D = 0$ et $T = 1$, au bout d'un temps $\Delta t = 3\tau_{moy}$, compté du moment de la disparition de l'impulsion d'horloge, toutes les trois bascules du montage se mettent en état 0.

Plaçons la bascule dans un état 1 ($B_1 = 1$, $B_2 = 0$) en appliquant, à cet effet, le signal de 1 à son entrée D. Cela étant, la B_6 ramène sa sortie à 0 logique. La sortie de l'élément B_5 reste au niveau 0 grâce à un niveau haut à la sortie de la B_4. Ainsi, pour $D = 1$ et $T = 0$, les états de la bascule principale et de la bascule de commutation gauche ne changent pas et les couplages de la bascule droite se trouvent coupés, ses deux côtés étant au niveau 0. Au moment de l'impulsion d'horloge ($T = 1$) la sortie de la B_4 passe à 0 et celle de la B_3 à 1, c.-à-d. que pendant l'impulsion d'horloge la bascule de commutation gauche se place dans l'état 1 ($B_3 = 1$, $B_4 = 0$). Cela étant, le reste des éléments ne changent pas d'état. Après la cessation de l'impulsion d'horloge ($T = 0$) l'élément B_5, dont toutes les entrées sont soumises à 0 logiques, établit un 1 à sa sortie avec comme effet la mise en état 1 de la bascule de commutation droite et de la bascule

principale ($B_1 = 1$, $B_2 = 0$). Si maintenant l'entrée T reçoit une nouvelle impulsion d'horloge, elle sera ignorée du montage et il y aura confirmation de l'état 1 de la bascule.

Le montage fait fonction de bascule D commandée par le niveau de l'impulsion d'horloge dont la polarité est changée. Dans ce cas, lorsque l'impulsion d'horloge manque ($\overline{T} = 1$) l'une des bascules de commutation se trouve toujours dans l'état inverse de celui de la bascule principale, c'est pourquoi son inversion a lieu pendant l'impulsion d'horloge ($\overline{T} = 0$).

Pour transformer le montage en bascule T_t, il faut connecter la sortie $\overline{Q}$ de la bascule principale à l'entrée D et appliquer les impulsions de comptage à l'entrée T. La bascule s'inverse au bout d'un temps égal à $4\tau_{moy}$, après la disparition de l'impulsion de comptage. Cela signifie que l'application d'une impulsion de comptage suivante à l'entrée de la bascule doit être retardée d'un temps d'au moins $4\tau_{moy}$. Alors, pour $\tau_1 = 2\tau_{moy}$, on a:

$$F_{maxi} = 1/6\tau_{moy}.$$

A la transition de la bascule de l'état 1 vers l'état 0, l'élément B_6 fournit à sa sortie un signal de report avec un retard de $2\tau_{moy}$. Comme ce signal est de niveau avec l'impulsion d'horloge, il est utilisable pour l'attaque des bits consécutifs. Comparée à la bascule T_t de la fig. 3.14, celle que nous venons d'étudier a l'inconvénient de ne pas délivrer le signal « emprunt » par la sortie de la porte B_3.

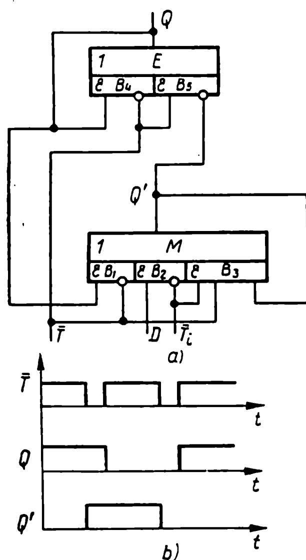


Fig. 3.22. Montage en bascule T_t-$\overline{D}$ utilisant les bascules D à sortie asymétrique (a) et chronogramme de son fonctionnement (b)

3.2.4.3. *Bascule du type* $T_t = \overline{D}$

A titre d'une des réalisations économiques, considérons la bascule du type T_t-$\overline{D}$ faite avec les éléments NON, ET-OU, selon le schéma *M-E* à commande par impulsions de polarité différente (fig. 3.22). La particularité de la bascule est qu'elle se laisse commander par l'entrée de comptage avec « retard interne » et par le niveau de l'impulsion d'horloge appliquée à l'entrée D.

Le montage en bascule T_t-$\overline{D}$ se compose de deux bascules à sortie asymétrique: bascule D directe qui est le Maître et bascule $\overline{D}$ inverse qui est l'Esclave. L'écriture de l'information dans les bascules D et $\overline{D}$ étant commandée par des impulsions de polarité différente, l'association de ces bascules a permis de construire une bascule de

comptage des plus économiques. Les impulsions de comptage arrivant sur l'entrée $\overline{T}$ et l'impulsion d'horloge (H) à destination de l'entrée d'information D ont le même niveau 0. Comme nous l'avons spécifié au chapitre 2 à propos de la bascule T-D, la réunion de l'impulsion de comptage et de celle d'horloge est à proscrire ($\overline{T} + \overline{H} \neq 0$). Examinons d'abord le comportement de la bascule au régime de comptage. Mettons qu'au repos la répartition des niveaux de potentiel entre les entrées de la bascule est la suivante: $\overline{T} = 1$; $\overline{H} = 1$; $D = 1$ ou $D = 0$ et qu'un code $Q' = 1$ est écrit dans le Maître. Dans ce cas, la porte de réaction du Maître D (porte B_3) est passante et son état $\overline{Q'} = 1$ est renforcé. La porte de réaction de l'Esclave $\overline{D}$ (porte B_4) est bloquée par un niveau $\overline{T} = 1$ et, la porte B_5 étant, elle aussi, fermée par un niveau $Q' = 1$ agissant sur son entrée inverseuse, la sortie Q est maintenue au niveau 0. Sur une impulsion de comptage ($\overline{T} = 0$) la B_4 s'ouvre, la porte B_5 se coupe et la bascule E affiche un état $Q = 0$. En même temps, la porte B_3 se ferme et, du fait que la porte B_1 du Maître reste bloquée par un niveau $Q = 0$ appliqué à son entrée directe, la sortie Q' prend le niveau 0. Après la cessation de l'impulsion de comptage ($\overline{T} = 1$) la porte de réaction (B_3) du Maître entre en débit dont l'effet est l'affichage d'un état $Q' = 0$. La porte B_4 de la bascule $\overline{D}$ se bloque, mais sa porte de droite B_5 se trouve passante car $\overline{T} = 1$ et $Q' = 0$. Il en résulte que la sortie Q est au niveau 1, ce qui correspond au passage de la bascule T_t-$\overline{D}$ dans l'état 1.

La deuxième impulsion de comptage ($\overline{T} = 0$) viendra fixer l'Esclave $\overline{D}$ dans l'état $Q = 1$ et écrire par la porte passante B_1 un code $Q' = 1$ dans le Maître D. Ensuite, l'impulsion de comptage terminée ($\overline{T} = 1$), la B_3 s'ouvrira, le Maître affichera un état $Q' = 1$ et la sortie Q passera au niveau 0 en raison de la fermeture des portes B_4 et B_5. Ainsi, la bascule T_t-$\overline{D}$ se trouvera dans l'état 0. Les impulsions de comptage qui vont suivre auront pour effet la reprise du processus de commutation, c.-à-d. que les impulsions seront comptées en module deux.

La durée de l'impulsion de comptage ne peut pas être inférieure au retard maximal de déclenchement de l'Esclave: $\tau_i \geqslant \tau_{r\,\max i}$. Le retard de basculement τ_r de la bascule $\overline{D}$ commandée par l'entrée de comptage (après la disparition de l'impulsion de comptage) est, lui aussi, égal à $\tau_{r\,\max i}$. La fréquence maximale de basculement se détermine par l'expression

$$F_{\max i} = 1/(\tau_i + \tau_v) = 1/2\tau_{r\,\max i} \text{ pour } \tau_i = \tau_{r\,\max i}. \qquad (3.9)$$

En comparant les expressions pour $F_{\max i}$, il est facile de conclure que la bascule de comptage considérée possède une rapidité fonctionnelle maximale possible. Lorsque la bascule est commandée par l'entrée horloge D, son entrée de comptage est en permanence main-

tenue à un niveau $\overline{T} = 1$. Quand $D = 1$ et qu'une impulsion d'horloge arrive ($H = 0$) la porte de réaction (B_3) du Maître se coupe et sa porte B_2 entre en débit, ce qui engendre un niveau 1 à la sortie Q'. L'application du niveau 1 (retardée de $\tau_{r\ max1}$) à la porte B_5 du Maître produit son blocage et, la B_4 étant, elle aussi, bloquée par le niveau $\overline{T} = 1$, la sortie Q se ramène au niveau 0. Après la cessation de l'impulsion d'horloge ($H = 1$) la B_3 s'annonce pour fixer le Maître dans un état $Q' = 1$, le niveau à la sortie Q étant le même ($Q = 0$). Ensuite, si $D = 0$ et que $H = 0$, les portes B_2 et B_3 seront fermées, ce qui aura pour effet le niveau 0 à la sortie Q' ($Q' = 0$) qui, en ouvrant la porte B_5 ($\overline{T} = 1$ et $Q' = 0$), formera $Q = 1$. Ainsi, la bascule T_t-$\overline{D}$ en question est inverse par rapport à celle commandée par l'entrée D. Le caractère utile de la bascule consiste dans le fait qu'en l'absence de l'impulsion de comptage les niveaux Q' et Q sont toujours en opposition de phase (0 et 1 ou 1 et 0) ce qui permet à la bascule T_t-$\overline{D}$ de délivrer l'information sous forme unipolaire comme bipolaire. La bascule T_t-$\overline{D}$ s'impose pour la synthèse des compteurs d'adresses.

3.2.5. Bascules *J-K* à cadence unique

Les bascules du type *J-K* représentent des montages polyfonctionnels car elles peuvent servir de base aux bascules R-S_t, D_t et T_t. Les façons de transformer la bascule *J-K* en bascules d'autres types ont été dégagées au chapitre 2 où il a été question d'une bascule *J-K* asynchrone comportant des lignes à retard. Pourtant, la technique des circuits intégrés met en application les bascules *J-K* pilotées.

Les pages qui suivent font la description des versions les plus courantes de bascules J-K_t à cadence unique commandées par niveau.

3.2.5.1. Montage en bascule du type J-K_t réalisé selon le schéma M-E à couplages inhibitifs

Le schéma fonctionnel de cette bascule, composée d'éléments ET-NON, fait l'objet de la fig. 3.23. Comme l'indique la figure, le montage en bascule J-K_t est dérivé du montage en bascule R-S_t par la réunion des sorties Q et $\overline{Q}$ respectivement aux entrées R et S et par l'adjonction de deux entrées J et K en parallèle sur les entrées R et S. Pour $T = 0$, le montage se trouve en état Q quel que soit le niveau des signaux aux entrées J et K, les portes B_1 et B_2 étant bloquées. En réalisant la condition $J = K = T = 1$, nous obtenons la bascule T_t (c.-à-d. dans le cas où les entrées J et K ont un point commun et où un niveau d'autorisation 1 y est appliqué).

Pour $J = 0$ et $T = K = 1$, la bascule se place dans l'état 0 et pour $J = T = 1$ et $K = 0$, dans l'état 1. La bascule J-K_t représente donc une bascule R-S_t dont les portes d'entrée sont commandées simultanément par des niveaux en provenance des côtés de la bascule de sortie (par analogie avec la bascule T_t) et par des signaux venant

sur les entrées J et K. Une organisation similaire peut être adoptée pour les bascules J-K_t réalisées à partir d'une quelconque des bascules décrites dans ce qui précède.

3.2.5.2. Montage en bascule du type J-K réalisé avec les bascules D à sortie asymétrique

Le montage schématisé fig. 3.24 présente un exemple de réalisation de la bascule J-K_t en bascules D à sortie asymétrique. C'est un montage du type M-E à commande par impulsions de polarité différente. Les deux bascules à sortie asymétriques utilisent les éléments

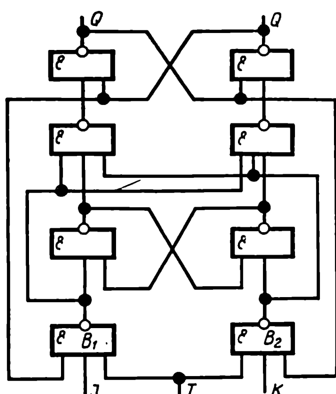


Fig. 3.23. Bascule J-K_t réalisée selon le schéma M-E à couplage inhibitifs

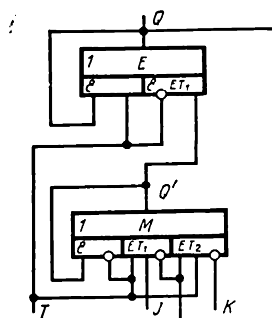


Fig. 3.24. Montage en bascule du type J-K_t utilisant les bascules D à sortie asymétrique

logiques NON, ET-OU. L'Esclave (E) est monté en bascule D directe pilotée par une impulsion au niveau 0 et le Maître, en bascule D inverse pilotée par une impulsion au niveau 1. Le Maître comporte à l'entrée deux portes ET_1 et ET_2. Chaque porte possède deux entrées directes et une inhibitive. L'entrée horloge de la bascule J-K_t est raccordée aux premières entrées directes des portes ET_1 et ET_2; l'entrée directe de la porte ET_2 et l'entrée inhibitive de la porte ET_1 qui ont le point commun sont réunies par une boucle de réaction à la sortie Q de l'Esclave. La seconde entrée directe de la porte ET_1 constitue l'entrée J, le rôle de K étant rempli par l'entrée inverseuse de la porte ET_2.

Considérons le comportement de la bascule au régime de comptage, lorsque les entrées J et K sont soumises à un signal 1. Le signal $K = 1$ maintient en permanence bloquée la porte ET_2 et le positionnement du Maître s'effectue par la porte ET_1. Pour $Q = 1$, une impulsion incidente $T = 1$ fait intervenir la réaction dans l'Esclave qui garde un état $Q = 1$. En même temps l'impulsion $T = 1$ place le Maître

en état $Q' = 0$, la porte ET_1 se trouvant fermée sous l'effet du niveau $Q = 1$ appliqué à l'entrée inhibitive. A la fin de l'impulsion d'horloge ($T = 0$) la réaction du Maître entre en jeu et celui-ci confirme son état $Q' = 0$. Simultanément, à travers sa porte ET_1 l'Esclave est mis en état $Q = 0$. L'effet de la première impulsion de comptage est ainsi la transition de la bascule J-K de l'état $Q = 1$ dans l'état $Q = 0$. La deuxième impulsion d'horloge ($T = 1$) produit le renforcement de l'état $Q = 0$ dans l'Esclave et l'ouverture de la porte ET_1 du Maître, les entrées de ladite porte étant soumises à une combinaison de signaux $T \cdot J \cdot Q' = 1$. Le Maître prendra un nouvel état $Q' = 1$ qui, après la disparition de l'impulsion d'horloge, sera recopié par l'Esclave ($Q = 1$). Notre montage a donc le comportement de la bascule de comptage. Pour une combinaison de signaux $J = 1$ et $K = 0$, une impulsion d'horloge incidente aura toujours pour effet le basculement du Maître vers un état $Q = 1$: pour $Q = 0$, c'est la porte ET_1 du Maître qui s'ouvre et pour $Q = 1$, la porte ET_2. Après la cessation de l'impulsion d'horloge, l'Esclave va prendre un état $Q = 1$. Pour une combinaison de signaux $J = 0$ et $K = 1$, une impulsion d'horloge aura toujours pour conséquence le passage du Maître à l'état $Q' = 0$, ses portes ET_1 et ET_2 étant en permanence bloquées.

La combinaison de signaux $J = K = 0$ conduira à un régime où la bascule J-K_t gardera l'état pris par l'Esclave. Cela tient à l'ouverture de la porte ET_2 pour $Q = 1$ et à la fermeture de celle-ci pour $Q = 0$. En cas d'emploi de ladite bascule J-K_t dans les dispositifs dotés de couplages en double polarité (Q et $\overline{Q}$) il faut placer un inverseur supplémentaire à la sortie Q.

3.2.5.3. Bascule du type J-K_t à éléments de mémoire

Les bascules à éléments de mémoire sont assez répandues puisqu'elles permettent de créer des circuits intégrés économiques par le nombre de leurs composants.

La fig. 3.25 représente le schéma d'une bascule J-K_t réalisée en éléments DTL dans laquelle la fonction de mémoire est faite par une diode à stockage de charge (à la fig. 3.25 ces diodes sont indiquées en plein noir). Au régime J-K_t, le montage est piloté par un signal de 1 logique. Examinons le comportement de la bascule au régime de comptage.

Soit la bascule en état 1 ($Q = 1$) avec les entrées soumises à une combinaison de signaux $J = K = 1$, $T = 0$. Dans ce cas, le transistor T_1 est bloqué et le transistor T_2 passant, et le courant à travers R_7, D_{10} et R_1, D_2 se dirige vers le circuit extérieur. Le courant dans le circuit R_2, D_4 s'écoule par le transistor ouvert T_2 et le courant dans le circuit R_8, D_{15}, D_{16} vient s'injecter dans la base du transistor T_2. L'effet en est que la diode D_{16} se met à stocker la charge. Sur une impulsion de comptage ($T = 1$) les diodes D_2 et D_{10} se

coupent et un courant supplémentaire qui en résulte passe par le circuit R_7, D_{14}, vers la base du transistor T_2 pour charger la diode D_{14}.

Après la cessation de l'impulsion de comptage ($T = 0$) les diodes D_{10} et D_2 entrent en conduction et la charge des diodes D_{14} et D_{16} s'écoule dans le circuit D_{16}, D_{14}, D_{10}, R_6. L'effet en est que le transistor T_2 commence à réduire son débit, la tension sur son collecteur monte et les diodes D_3 et D_4 cessent de conduire. Cela étant, un courant, dirigé vers la base du transistor T_1 par le circuit R_2, D_7 et D_8, produit le stockage de charge dans la diode D_8 et la bascule se

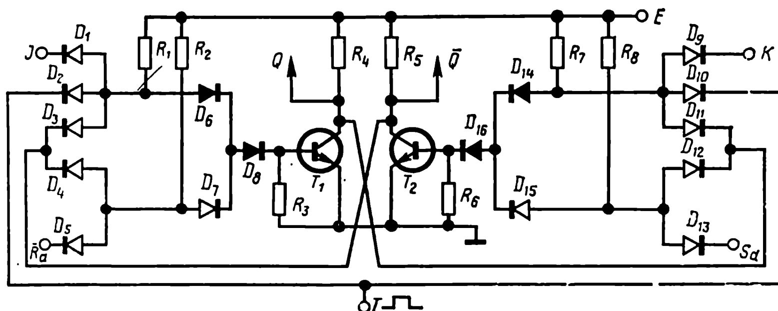


Fig. 3.25. Bascule J-K_t en éléments DTL utilisant les diodes à stockage de charge

place dans l'état $Q = 0$. Si maintenant l'entrée T reçoit la deuxième impulsion de comptage ($T = 1$) l'état analogue à celui que nous venons de décrire sera pris par la partie gauche du montage et la bascule se mettra à 1. Ainsi, pour une combinaison de signaux $J = K = 1$ et $T = 1$, le montage se comporte comme une bascule de comptage. Plaçons la bascule dans l'état 0 ($Q = 0$) en appliquant à ses entrées une combinaison de signaux $J = 0$ et $K = 1$. Alors, pour $T = 1$, les diodes D_{10}, D_9 et D_2 sont bloquées et, partant, la diode D_{14}, tout comme la diode D_{16}, fait le stockage de charge. A la fin de l'impulsion de comptage ($T = 0$) les diodes D_{14} et D_{16} se déchargent dans le circuit extérieur et le montage bascule à l'état 0. Si une impulsion $T = 1$ vient de nouveau sur l'entrée T, il y aura confirmation de l'état 0 du montage.

Pour une combinaison de signaux $J = 1$, $K = 0$ et $T = 1$, le montage passe dans l'état 1 ($Q = 1$). Le comportement du montage est ainsi conforme à la table de vérité de la bascule J-K. Les entrées S_d et R_d servent au forçage du montage à 1 et à 0. Lorsque le montage fait fonction de bascule J-K commandée par le niveau de l'impulsion d'horloge, l'entrée T, au repos, est portée à un niveau haut et le pilotage s'opère par un signal $T = 0$.

3.3. *Bascules à transistors MOS*

Les bascules $R\text{-}S_t$, D_t, T_t et $J\text{-}K_t$ conçues en éléments standards ET-NON, OU-NON, ET-OU-NON, NON-ET-OU dont il a été question dans ce chapitre, sont réalisables avec des transistors MOS à canal *P* ou avec des transistors complémentaires (C/MOST). La raison en est que n'importe laquelle des fonctions ci-dessus peut être matérialisée à l'aide de transistors MOS. Aussi, est-il inutile de reprendre dans le présent paragraphe l'analyse de toutes les variantes des bascules $R\text{-}S_t$, D_t, T_t, $J\text{-}K_t$ conçues en circuits logiques standards à transistors MOS. Il est pourtant nécessaire de dégager la spécificité de la synthèse des bascules à partir des éléments logiques standards résultant du caractère particulier des transistors MOS.

3.3.1. Bascule $R\text{-}S_t$ à transistors MOS à canal *P*

La fig. 3.26 représente le schéma de principe d'une bascule $R\text{-}S_t$ à transistors MOS à canal *P* qui est un montage *M-E* à inverseur supplémentaire. Le fait de mettre en série les transistors MOS permet de n'utiliser qu'un seul transistor par entrée horloge. Les impulsions d'horloge ont le niveau 1.

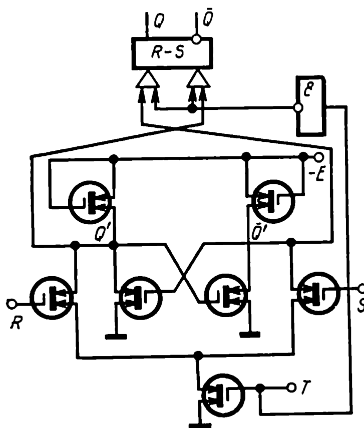


Fig. 3.26. Bascule $R\text{-}S_t$ à transistors MOS à canal *P*

Considérons le principe de fonctionnement de la bascule. Supposons qu'au repos $Q=1$ et qu'on ait à faire passer la bascule à l'état $Q = 0$. A cet effet, appliquons les signaux $R = 1$ et $S = 0$.

En l'absence de l'impulsion d'horloge ($T = 0$) la sortie de l'inverseur est à un niveau 1 qui confère les états identiques au Maître et à l'Esclave ($Q' = 1$ et $Q = 1$). Une impulsion d'horloge incidente ($T = 1$) ramène à 0 le niveau de sortie de l'inverseur, ce qui entraîne la séparation de l'Esclave du Maître. En même temps, l'impulsion d'horloge rend conducteur le transistor de porte du Maître et le transistor de la porte gauche du Maître étant, lui aussi, en débit (car $R = 1$) la bascule passe dans l'état $Q' = 0$.

Après la disparition de l'impulsion d'horloge ($T = 0$) le niveau 1, établi à la sortie de l'inverseur, produit l'ouverture des portes de l'Esclave et la transcription de l'état du Maître à l'Esclave, c.-à-d. que la bascule $R\text{-}S_t$ se place dans l'état 0 ($Q = 0$, $\bar{Q} = 1$). En fait, la présente version de la bascule $R\text{-}S_t$ correspond à son homologue en éléments ET-OU-NON à transistors bipolaires. Aussi, les paramètres dynamiques principaux de la bascule se présentent-ils com-

me suit :

$$\tau_{i} \geqslant 2\tau_{moy}\ ; \qquad F = 1/(2\tau_{moy} + 3\tau_{moy}). \qquad (3.10)$$

La transformation de la bascule R-S_t fig. 3.26 en bascule de comptage s'obtient, comme c'est le cas des versions de la bascule R-S_t déjà examinées, par le croisement des couplages qu'on doit établir entre la sortie Q et l'entrée R et entre la sortie $\bar{Q}$ et l'entrée S. Le montage n'a pas de sorties de report ni d'emprunt et leur organisation implique la présence de portes complémentaires.

3.3.2. Bascule D_t à transistors C/MOS

La fig. 3.27 montre le schéma de principe d'une bascule D_t à transistors MOS complémentaires. Cette bascule utilise, elle aussi, un seul transistor (à canal P) pour appliquer l'impulsion d'horloge

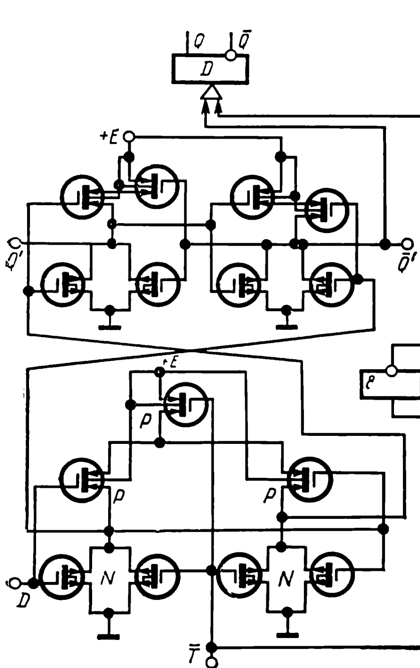


Fig. 3.27. Bascule statique D_t à transistors C/MOS

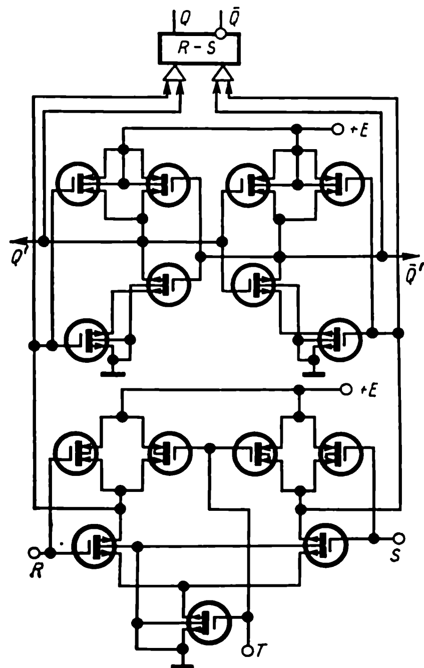


Fig. 3.28. Bascule statique R-S_t à transistors C/MOS

à deux portes. C'est une logique C/MOST réalisant la fonction standard OU-NON. L'impulsion d'horloge est ici en polarité négative ($\bar{T} = 0$). Pour mettre la bascule dans l'état $Q = 1$, il faut appliquer un niveau 0 à l'entrée D, c.-à-d. que le montage fait fonction de bascule

à commande inverse. Les paramètres dynamiques de la bascule sont conformes aux paramètres analogues de la bascule D_t en circuits intégrés bipolaires.

3.3.3. Bascule R-S_t à transistors C/MOS

Afin d'illustrer l'organisation des bascules C/MOST utilisant les éléments de base ET-NON, la fig. 3.28 montre le schéma d'une bascule R-S_t représentant un montage M-E à couplages inhibitifs. Dans ce cas, pour réaliser les portes et les bascules, on fait appel au montage en série des transistors MOS à canal N. De même que dans les montages schématisés fig. 3.27 et 3.26, les entrées horloge utilisent ici, pour attaquer chaque couple de portes du Maître et de l'Esclave, un seul transistor à canal N. Le principe de fonctionnement de la bascule considérée étant identique à celui de la bascule R-S_t à couplages inhibitifs déjà analysée, il serait superflu de l'examiner à part.

3.3.4. Bascule T-V_t à transistors MOS à canal P

Le schéma d'un montage en bascule T-V_t réalisé suivant la formule de trois bascules en circuits MOS OU-NON est donné fig. 3.29.

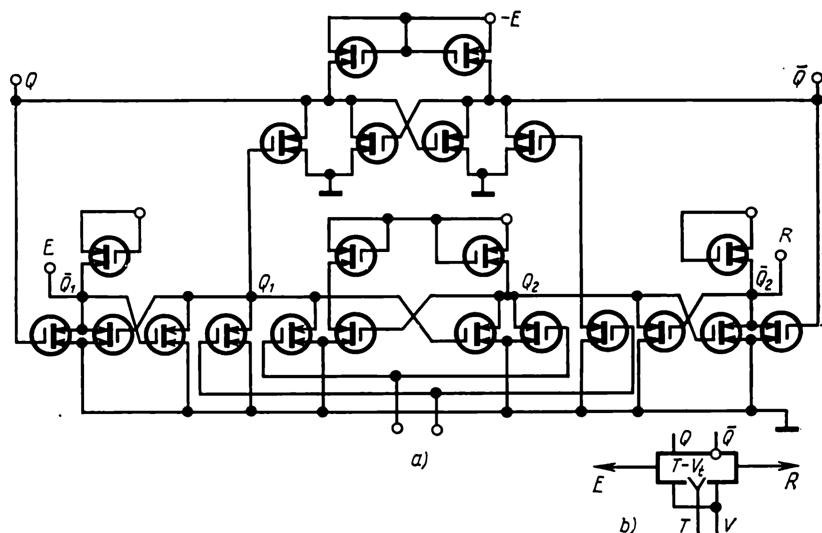


Fig. 3.29. Bascule statique T-V_t à transistors MOS à canal P (a) et sa représentation symbolique (b)

Considérons d'un peu plus près le comportement de la bascule T-V_t au régime de comptage. Dans ce cas, l'entrée V est maintenue à un niveau d'autorisation $V = 1$. Supposons que pour $T = 0$ la

bascule se trouve au repos : $Q = 1$, $\bar{Q} = 0$. Alors, la tension du côté Q_1 correspond au niveau 0 et le point M est, lui aussi, au niveau 0 du fait que l'entrée du côté $\bar{Q}_1$ est soumise au niveau 1 provenant de la sortie Q. Le côté Q_2 de la bascule de commutation droite a le niveau 1.

Une impulsion de comptage incidente ($T = 1$) mettra en débit les transistors MOS des côtés Q_1 et Q_2 des bascules de commutation dont l'effet sera l'établissement des niveaux 0 en ces points. Comme les entrées du côté droit de la bascule de commutation droite seront attaquées par deux 0 logiques, ce côté (R) aura à sa sortie un 1 logique, c.-à-d. un signal de report. Le délai de formation du report constitue $2\tau_{moy}$ à partir de l'apparition de l'impulsion de comptage. La durée de l'impulsion de report est celle de l'impulsion de comptage ajoutée à $2\tau_{moy}$.

Après la cessation de l'impulsion de comptage ($T = 0$) le niveau 0 existant en points M et Q_2 fera établir le niveau 1 en point Q_1. La formation du niveau 1 en point Q_2 est impossible par l'effet du niveau 1 à la sortie de report. Le niveau 1 en point Q_1 entraînera le passage de la bascule principale de l'état $Q = 1$ à l'état $Q = 0$. Ce nouvel état de la bascule principale mettra fin au signal de report car sous l'effet de $\bar{Q} = 1$ le niveau de tension à la sortie R sera égal à 0. La durée d'inversion de la bascule T-V_t, après la disparitoin de l'impulsion de comptage, constitue $4\tau_{moy}$.

En partant de la durée minimale de l'impulsion de comptage $\tau_i = 2\tau_{moy}$ et du temps de basculement de la bascule, nous aurons la fréquence maximale de son basculement :

$$F_{maxi} = 1/6\tau_{moy}.$$

Les valeurs de ces paramètres concordent avec celles des paramètres des bascules T_t réalisées selon le schéma à trois bascules en éléments logiques standards ET-NON et OU-NON.

3.3.5. Bascule de comptage à transistors C/MOS

La fig. 3.30 fait voir une bascule de comptage à transistors C/MOS réalisée selon le schéma M-E avec les bascules D à commande par impulsions de polarité différente. La bascule comporte quatre inverseurs (NON_1 à NON_4) et quatre portes dont chacune représente un montage parallèle de deux transistors à canal P et N. Le Maître qui utilise les inverseurs NON_1 et NON_2 bascule à l'ouverture de la porte B_1. L'Esclave, constitué par les inverseurs NON_3 et NON_4, change d'état à l'ouverture de la porte B_4.

Considérons le comportement de la bascule. Supposons qu'au repos, c.-à-d. lorsque l'impulsion de comptage manque ($T = 0$), la porte B_1 du Maître est passante et la porte B_4 de l'Esclave fermée, le Maître se trouve dans un état $\bar{Q}' = 0$, $Q' = 1$. Alors, la sortie $\bar{Q}$ sera au niveau 0 et la sortie Q au niveau 1, la porte de couplage B_3 étant passante. Une impulsion incidente ($T = \Phi_1 = 1$) engendre

un niveau $\Phi_2 = 0$ à la sortie de l'inverseur de commande NON_5, ce qui a pour effet le blocage des portes B_1 et B_3 et la conduction des portes B_2 et B_4. La porte passante B_4 déclenche l'Esclave qui affiche un état 1 ($Q = 1$). Du fait de l'ouverture de la porte B_2 et de la coupure de la réaction par la B_1, les sorties du Maître auront les niveaux $\bar{Q}' = 1$ (car $\bar{Q} = 0$) et $Q' = 0$. Après la cessation de l'impulsion de comptage ($T = 0$) les portes B_1 et B_3 seront de nouveau ouvertes (le Maître à inverseurs NON_1 et NON_2 sera déclenché). L'effet en sera la formation des niveaux $\bar{Q} = 1$ (car $Q' = 0$) et $Q = 0$ aux sorties des côtés Q et $\bar{Q}$ (qui sont les sorties de la bascule de comptage). Ainsi, après la disparition de l'impulsion de comptage, la bascule a changé d'état. Au bout de la deuxième impulsion de comptage, la bascule T_t reprendra son état premier ($Q=1$).

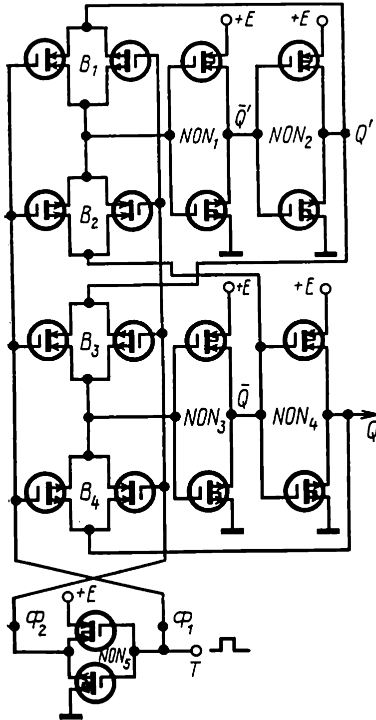


Fig. 3.30. Bascule de comptage à transistors C/MOS

Le montage considéré est incapable de former intérieurement le report, mais en cas de synthèse des compteurs en chaîne les bits du poids fort peuvent ne pas comporter les inverseurs de commande. Le rôle des niveaux de commande Φ_1 et Φ_2 dans les bits du poids fort peut être tenu par les niveaux aux sorties Q et $\bar{Q}$ des bits du poids faible précédents.

Les principaux paramètres dynamiques de la bascule T_t (fig. 3.30) ont les valeurs suivantes:

$$\tau_i \geqslant 2\tau_{moy}\ ;\quad F_{maxi} = 1/4\tau_{moy}. \qquad (3.11)$$

Les versions R-S_t, D_t et T_t des bascules à éléments logiques ET-NON, OU-NON et ET-OU-NON (fig. 3.26 à 3.30) sont du type statique.

Or, à l'heure actuelle ce sont les circuits du type dynamique et quasi statique qui sont devenus plus courants en technologie MOS. Les circuits dynamiques et quasi statiques mettent en valeur l'une des propriétés spécifiques du transistor MOS qui est sa haute impédance d'entrée par la grille ($R_e > 10^{12}\Omega$) permettant de stocker la charge dans la capacité parasite de la grille pendant un certain temps. La réalisation des bascules dynamiques et quasi statiques nécessite un nombre de transistors MOS 2 à 3 fois moins grand que pour les bascules du type statique.

La particularité des bascules dynamiques MOS est d'exiger une « alimentation horloge » permanente tant pendant l'écriture d'une nouvelle information dans la bascule que pendant son stockage. Il est à noter qu'il existe une fréquence minimale des impulsions d'alimentation horloge de la bascule dynamique qui est fonction de la constante de temps de charge de la capacité parasite de la grille du transistor MOS. Le bas de la gamme des fréquences minimales des impulsions d'alimentation horloge ($F_{b\ mini}$) est compris entre 1,0 et 10 kHz.

Les bascules dynamiques MOS représentent des montages à plusieurs cadences, le nombre de cadences appelées souvent « phases » étant égal à deux ou à quatre. C'est de là que provient le nom « circuits dynamiques MOS à deux phases » et « circuits dynamiques MOS à quatre phases » que l'on rencontre dans la littérature technique. Une description détaillée des bascules dynamiques à deux et à quatre cadences, utilisées pour la synthèse des registres MOS, sera donnée au chapitre 4.

3.3.6. Bascules quasi statiques à transistors MOS

Les bascules quasi statiques à transistors MOS ne demandent pas d'alimentation horloge pendant le stockage de l'information. L'écriture de l'information dans la bascule implique les impulsions d'horloge (phases) de durée limitée. La durée des impulsions d'horloge doit être inférieure aux constantes de temps de charge et de décharge des capacités parasites des grilles des transistors MOS formant la bascule. Les impulsions d'horloge s'appliquent dans ce cas aux formateurs d'impulsions de cadence.

Les plus répandues sont les bascules quasi statiques à deux ou à trois cadences qui font fonction de bascule D_t. La réalisation d'une bascule D_t quasi statique nécessite beaucoup moins de transistors MOS que celle d'une bascule D_t du type statique. La simplicité relative d'organisation des bascules D_t quasi statiques permet de les concevoir avec succès en transistors MOS à canal *P* comme en transistors MOS complémentaires.

3.3.6.1. Bascule $\overline{D}_t$ quasi statique à deux cadences en transistors MOS à canal P

La bascule D_t quasi statique schématisée fig. 3.31 se compose de trois inverseurs NON_1 à NON_3 et de trois transistors MOS montés en portes (B_1, B_2, B_3). Le formateur d'impulsions de cadence se présente comme un inverseur; l'impulsion de cadence Φ_1 est identique à celle d'horloge, Φ_2 étant son complément. Les transistors MOS fonctionnant en tout ou rien (transistors B_1 à B_3) assurent le transfert du niveau représentatif de 1 logique par le circuit drain-source à la présentation du niveau d'autorisation (1 logique également) sur la grille du transistor.

Examinons le fonctionnement de la bascule. Lorsque l'impulsion d'horloge n'existe pas ($T = 0$) la porte d'entrée B_1 est fermée (car $\Phi_1 = 0$) et les deux autres portes sont ouvertes du fait que le niveau de l'impulsion Φ_2 correspond à 1 logique. Les inverseurs NON_1 et NON_2 constituent la bascule qui peut conserver l'information indéfiniment. Si la bascule D_t est positionnée sur 1 ($Q = 1$), la sortie du NON_2 sera au niveau 0 et celle du NON_1 au niveau 1. Lorsque la porte B_3 est passante, le niveau Q s'identifie avec celui du NON_1.

Plaçons la bascule $\bar{D}_t$ dans l'état $Q = 0$, ce qui nécessite l'application d'un signal $D = 1$ à son entrée. Alors, une impulsion d'horloge

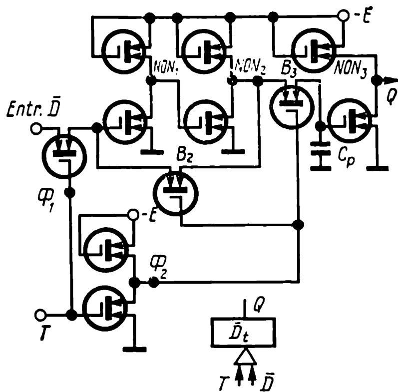


Fig. 3.31. Bascule quasi statique $\bar{D}_t$ à transistors MOS

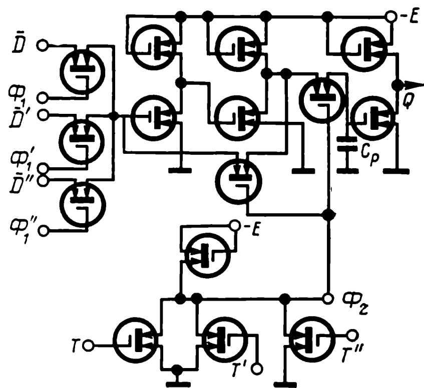


Fig. 3.32. Bascule quasi statique $\bar{D}_t$ à transistors MOS à canal P à pilotage séparé

incidente ($T = \Phi_1 = 1$) mettra en conduction la porte d'entrée B_1 et en coupure les portes B_2 et B_3, le point Φ_2 étant au niveau 0. L'effet en est la suppression du couplage interne par la B_2 et la séparation de l'inverseur de sortie NON_3 de la sortie du NON_2. Puisque la B_1 est ouverte et que $D = 1$, le NON_1 aura à sa sortie un niveau 0 et le NON_2 un niveau 1. Pendant l'impulsion d'horloge, la sortie Q sera au niveau précédent ($Q = 1$), car la charge de la capacité parasite de la grille C_p restera inchangée. Après la disparition de l'impulsion d'horloge ($T = \Phi_1 = 0$) la B_1 sera bloquée et les portes B_2 et B_3 seront passantes, le point Φ_2 étant au niveau 1. Cela conduira à l'établissement de la réaction et à la transition de la bascule vers l'état $Q = 0$. La sortie Q de la présente bascule, après la cessation de l'impulsion d'horloge, sera à un niveau inverse de celui à son entrée D ($D = 1$ et $Q = 0$).

En prenant le temps minimal possible de charge de la capacité C_p par le circuit d'utilisation et le transistor bloqué B_3, trouvons la durée minimale admise de l'impulsion d'horloge. Par exemple, si

$R_{\text{bl.}} \geqslant 10^8\ \Omega$, $C_p = 1$ pF, nous aurons

$$\tau_{i\ \max i} \approx R_{\text{bl.}} \cdot C_p \approx 100\ \mu\text{s}. \qquad (3.12)$$

En pratique, pour des raisons de haute rapidité de basculement, la durée de l'impulsion d'horloge est adoptée entre 1 et 10 µs. Les bascules quasi statiques permettent, par adjonction d'un petit nombre de transistors, de rendre plus nombreuses les entrées horloge dans le montage.

La fig. 3.32 montre le schéma d'une bascule $\bar{D}_t$ quasi statique à deux cadences, dotée de trois entrées horloge: D, D', D''_t. En comparant la bascule de la fig. 3.31 avec la bascule donnée, on voit que le nombre de transistors d'entrée montés en portes s'est accru à trois et le circuit de commande n'est plus un inverseur, mais un circuit OU-NON à trois entrées, c.-à-d. que le nombre d'entrées du circuit de commande correspond à celui d'entrées D. La partie principale de la bascule D_t n'a pas changé et son fonctionnement s'effectue en conformité du chronogramme de la bascule décrite ci-dessus (fig. 3.31). Les bascules D_t à plusieurs entrées utilisant les transistors MOS permettent la réalisation de registres économiques.

3.3.6.2. Bascule $\bar{D}_t$ à deux cadences en transistors C/MOS

La structure de la bascule $\bar{D}_t$ à deux cadences en transistors C/MOS (fig. 3.33) est la reproduction de celle de la bascule D_t à transistors MOS à canal P qui lui est similaire. La bascule comporte trois inverseurs en transistors complémentaires et trois portes en transistors MOS à canal N. Les impulsions d'horloge ont le niveau de 1 logique.

Supposons qu'au repos $Q = 1$ (dans ce cas le niveau à la sortie du NON_1 représente 0) et que l'entrée D soit soumise au signal de 1 ($D = 1$). Au moment de l'impulsion d'horloge ($\Phi_1 = 1$) la porte d'entrée B_1 s'ouvre et le niveau $\Phi_2 = 0$ bloque les portes B_2 et B_3. Pendant l'impulsion, la charge emmagasinée dans la capacité parasite maintient la sortie de la bascule à un niveau $Q = 1$. Un signal incident $D = 1$ rendra passante la porte B_1 et fera apparaître à la sortie du NON_1 le niveau 0 qui établira à son tour le niveau 1 à la sortie de l'inverseur NON_2. Après la cessation de l'impulsion d'horloge, le niveau $\Phi_1 = 0$ produira le blocage de la B_1 et le niveau $\Phi_2 = 1$ le débit des B_2 et B_3. La réaction de la bascule interne interviendra pour fixer un état $\text{NON}_1 = 0$, $\text{NON}_2 = 1$. Le niveau 1 mettra en conduction le transistor à canal N de l'inverseur de sortie, c.-à-d. que la bascule se placera dans l'état $Q = 0$. L'effet en est qu'après la disparition de l'impulsion d'horloge, une information inverse s'est trouvée inscrite dans la bascule $\bar{D}_t$. Si maintenant l'entrée D reçoit un signal 0 ($D = 0$) et qu'une nouvelle impulsion d'horloge arrive, la bascule $\bar{D}_t$ passe à l'état $Q = 1$.

Les bascules $\bar{D}_t$ à deux cadences que nous venons de considérer sont identiques par leur structure et possèdent les mêmes paramètres dynamiques. Chacun des montages en bascule $\bar{D}_t$ schématisés fig. 3.31 à 3.33 est transformable en bascule de comptage par réunion de la sortie Q à l'entrée D. Cela étant, l'entrée T du circuit de commande devient l'entrée de comptage de la bascule T_t. Les trois

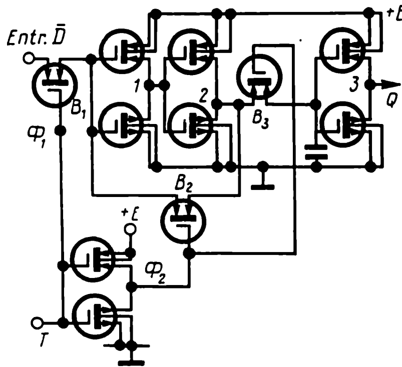


Fig. 3.33. Bascule quasi statique $\bar{D}_t$ à transistors C/MOS

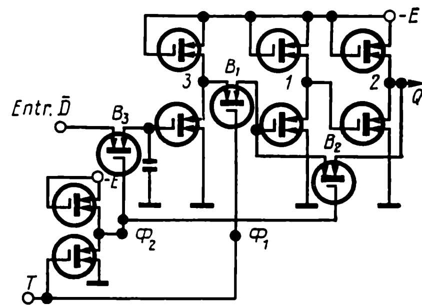


Fig. 3.34. Version modifiée de la bascule quasi statique $\bar{D}_t$ à transistors MOS à canal P

inverseurs et les trois transistors MOS montés en portes, qui font partie des bascules $\bar{D}_t$ à deux cadences, peuvent servir de base à une version modifiée de la bascule $\bar{D}_t$ quasi statique.

3.3.6.3. Version modifiée de la bascule $\bar{D}_t$ à deux cadences

La fig. 3.34 montre le schéma de la bascule $\bar{D}_t$ quasi statique à deux cadences en version modifiée qui diffère de la bascule $\bar{D}_t$ de la fig. 3.31 par le fait qu'elle a l'inverseur de sortie NON_3 et la porte B_3 placés à l'entrée de la bascule proprement dite. Les impulsions de cadence sont distribuées ici aux mêmes groupes de portes que dans le montage schématisé fig. 3.31 : Φ_1 à la B_1 et Φ_2 aux B_2 et B_3.

La spécificité de la version modifiée de la bascule $\bar{D}_t$ est qu'en l'absence de l'impulsion d'horloge ($T = 0$) la sortie du NON_3 est à un niveau correspondant au signal agissant sur l'entrée D. A ce moment la bascule interne utilisant les inverseurs NON_1 et NON_2 affiche l'état qu'elle a pris pendant l'impulsion d'horloge précédente. Sur une impulsion $T = \Phi_1 = 1$, la porte B_3 se bloque et sépare le NON_3 de l'entrée $\bar{D}$, et la porte B_2 coupe le couplage dans la bascule interne. La capacité C_p conservant sa charge, la sortie du NON_3 restera au niveau précédent et l'ouverture de la porte B_1 aura pour

effet la transition des inverseurs NON_1 et NON_2 dans le nouvel état conforme au niveau du NON_3. A la fin de l'impulsion d'horloge, la porte B_1 cessera de conduire ($\Phi_1 = 0$) et la porte B_3 entrera en débit en préparant ainsi un nouvel état du NON_3 suivant le signal à l'entrée $\bar{D}$. Le passage à la conduction de la porte B_2 confirme l'état de la bascule pris pendant l'impulsion d'horloge.

3.3.6.4. *Bascule D_t quasi statique à trois cadences*

Comparée à la bascule D_t à deux cadences, la bascule D_t quasi statique commandée par trois impulsions de cadence présente une simplification de structure due à l'abandon d'un inverseur.

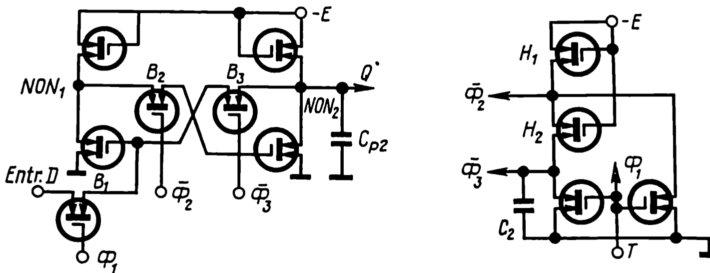


Fig. 3.35. Bascule quasi statique D_t à trois cadences en transistors MOS à canal P

La fig. 3.35 donne le schéma d'une bascule D_t à trois cadences comportant deux inverseurs (NON_1 et NON_2) et trois portes (B_1, B_2 et B_3) réalisés avec les transistors MOS à canal P. On trouve à la même figure le schéma de principe du formateur d'impulsions de cadence (Φ_1, $\bar{\Phi}_2$, $\bar{\Phi}_3$). L'impulsion Φ_1 coïncide avec l'impulsion d'horloge, et les impulsions Φ_2 et Φ_3 sont inverses de Φ_1, l'impulsion $\bar{\Phi}_2$ étant « phase rapide » et l'impulsion $\bar{\Phi}_3$, « phase lente ». On y parvient grâce à une constante de temps de charge plus grande de la capacité d'utilisation C_2 conectée à la sortie $\bar{\Phi}_3$ du formateur. La C_2 est chargée à travers deux transistors ballasts du circuit de commande (transistors H_1 et H_2) tandis que la charge de la capacité d'utilisation à la sortie $\bar{\Phi}_2$ n'est due qu'au courant à travers un seul transistor ballast H_1. Aussi, la formation du niveau 1 à la sortie $\bar{\Phi}_3$ est-elle toujours postérieure à celle du niveau 1 à la sortie $\bar{\Phi}_2$ du formateur.

Supposons qu'au repos ($T = \Phi_1 = 0$ et $\bar{\Phi}_2 = \bar{\Phi}_3 = 1$) la bascule se trouve dans l'état $Q = 1$. Considérons le processus d'écriture d'un signal $D = 0$.

Sur une impulsion d'horloge ($T = 1$) l'impulsion de cadence $\Phi_1 = 1$ rendra passante la porte B_1 et le niveau 0 existant en points $\bar{\Phi}_2$ et $\bar{\Phi}_3$ aura pour effet le blocage des portes B_2 et B_3. Comme le cou-

plage entre les inverseurs NON_1 et NON_2 se trouve coupé, la sortie du NON_1 passe à 1, l'entrée D étant au niveau 0. La sortie du NON_2 reste au même niveau ($Q = 1$) vu que la capacité parasite C_{p2} ne change pas sa charge pendant l'impulsion d'horloge. Après la disparition de l'impulsion d'horloge, la porte B_1 se ferme ($\Phi_1 = 0$) ; ensuite la porte B_2 devient passante à cause de la formation de $\bar{\Phi}_2 = 1$ et la bascule D_t passe dans l'état $Q = 0$. L'état de la bascule D_t ainsi obtenu sera renforcé sous l'effet de la réaction (grâce à l'ouverture de la porte B_3 par le signal $\bar{\Phi}_3 = 1$).

De cette façon, la présente bascule D_t à trois cadences réalise la mémorisation directe de l'information arrivant sur son entrée D. Aussi, est-il impossible de transformer le montage tel qu'il est schématisé fig. 3.35 en bascule de comptage par simple raccordement de la sortie Q à l'entrée D. La réalisation de la bascule de comptage à partir d'un montage à trois cadences implique la présence d'un inverseur supplémentaire à la sortie Q.

3.3.6.5. Bascule D_t à trois cadences en transistors C/MOS

La bascule de comptage quasi statique à trois cadences en transistors C/MOS utilise trois inverseurs et trois transistors à canal N fonctionnant en tout ou rien (fig. 3.36). Le circuit de commande, formateur des impulsions de cadence Φ_1 et Φ_3, comporte deux transistors à canal P, placés dans le circuit d'utilisation, et deux transistors à canal N.

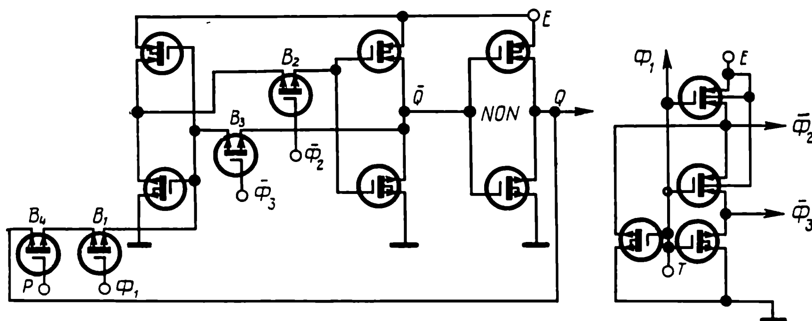


Fig. 3.36. Bascule de comptage quasi statique à trois cadences en transistors C/MOS

Pour permettre la synthèse des compteurs à plusieurs positions à partir de la bascule de la fig. 3.36, le circuit de réaction de la bascule D_t contient une porte complémentaire B_4 dont la commande se fait par application à sa grille d'un niveau d'autorisation provenant des portes de sortie des bits du poids faible du compteur. En cas de réalisation des compteurs à plusieurs positions en technologie LSI, il suffira d'un seul circuit de commande (formateur des impulsions

de cadence (Φ_1 à Φ_3) pour tous les bits. D'une manière analogue, dans les registres MOS/LSI conçus en bascules D_t du type quasi statique (fig. 3.31 à 3.35) la partie de commande (formateur d'impulsions de cadence) est unique pour la totalité des bits.

3.3.7. Bascules statiques C/MOS à transistors de passage et de blocage

La logique intégrée C/MOST-PB permet de réaliser toute une famille de montages en bascule à effet statique [42] qui, comparés à leurs homologues basés sur la technique classique de synthèse des circuits, ont l'avantage d'employer beaucoup moins de transistors par bascule (voir § 3.3.2 ; 3.3.3).

3.3.7.1. Bascule C/MOST-PB à sortie asymétrique du type $\bar{D}$

Au chapitre 1 (§ 1.3.4) il a été question d'un élément logique NON, ET-OU, conçu en C/MOST-PB, utilisant comme TP des transistors à canal *N* et comme TB, des transistors à canal *P* connectés à la source $+E$. Les transistors de passage et de blocage constituant les circuits NON, ET sont branchés aux entrées d'un circuit ET-NON à deux entrées. Cet élément logique sert de base à une bascule $\bar{D}$ inverse à sortie asymétrique (voir fig. 3.37), pilotée par des impulsions de 1 logique. Le rôle de sortie Q de la bascule est rempli par la sortie du circuit ET-NON bouclée en réaction (BR) avec la grille commune des TP_1 et TB_1.

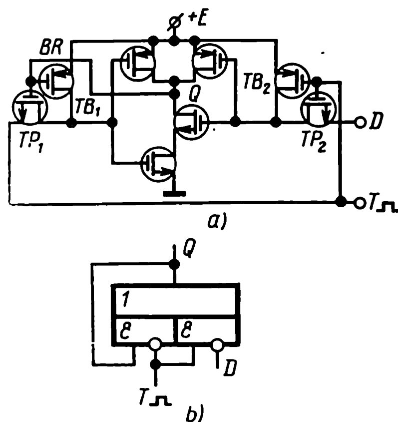


Fig. 3.37. Bascule *D* inverse à sortie asymétrique en C/MOST-PB :
a — schéma de principe ; *b* — représentation symbolique

Le drain du TP_1 est réuni aux grilles des TP_2, TB_2 de manière à former l'entrée horloge (T) de la bascule à sortie asymétrique et le drain du TP_2 constitue l'entrée D de la bascule. Considérons le régime de mémorisation de l'information quand $T = 0$. Si au repos l'état de la bascule est $Q = 1$, le TP_1 est conducteur (sa grille est portée au niveau haut de 1) et transfère le niveau bas de l'entrée T ($T = 0$) vers la grille du transistor à canal P gauche du circuit ET-NON qui s'ouvre, en renforçant le niveau haut à la sortie de la bascule à sortie asymétrique ($Q = 1$). Pour placer la bascule dans l'état $Q = 0$, il faut appliquer à son entrée D le niveau 1 (la bascule fonctionnant en code inverse) et une impulsion d'horloge ($T = 1$). Dans ce cas, le niveau 1 dû au signal $T = 1$ viendra à travers le TP_1

sur l'entrée gauche du circuit ET-NON (le TP_1 conduit sous l'effet du niveau $Q = 1$ appliqué à sa grille), l'entrée droite de ce circuit étant portée au niveau 1 dû au signal $D = 1$ amené par le TP_2 (le TP_2 est actionné sur la grille par l'impulsion d'horloge $T = 1$).

Ainsi, le circuit ET-NON entrera en jeu et la sortie Q passera au niveau 0, ce qui aura pour effet le blocage du TP_1, l'ouverture du TB_1 et le maintien de l'entrée gauche du circuit ET-NON au niveau 1. Après la disparition de l'impulsion d'horloge ($T = 0$) le TP_2 sera coupé, mais le TB_2 se mettra en débit et l'entrée droite du circuit ET-NON restera, elle aussi, au niveau 1. Il en résulte que la bascule sera placée dans l'état $Q = 0$ qu'elle gardera jusqu'à un nouveau positionnement. Si maintenant l'entrée D reçoit un signal 0 et qu'une impulsion d'horloge apparaît ($T = 1$) le TB_2 sera bloqué et le TP_2, devenu conducteur, transmettra le niveau 0 de l'entrée D à l'entrée droite du circuit ET-NON pour ouvrir le transistor droit à canal P du circuit ET-NON, ce qui conduira à l'établissement du niveau $Q = 1$, c.-à-d. que la bascule prendra un état 1. Après la cessation de l'impulsion d'horloge ($T = 0$) la bascule conservera l'état $Q = 1$ (le régime de mémorisation a été décrit ci-dessus) jusqu'à la reprise de positionnement. Le montage schématisé fig. 3.37 que nous venons d'étudier fait fonction de bascule D à sortie asymétrique.

Le circuit NON, ET-OU-NON conçu en C/MOST-PB (voir fig. 1.49 au chapitre 1) peut servir de base à une bascule D inverse à sortie asymétrique, pilotée par un signal 0.

3.3.7.2. Bascule C/MOST-PB à sortie symétrique du type D

Il est possible de réaliser à partir d'un circuit NON, ET-OU-NON du type C/MOST-PB et d'un inverseur supplémentaire une bascule D à sortie symétrique, pilotée par des signaux au niveau 1, dont le schéma fait l'objet de la fig. 3.38. Le côté Q est constitué par la sortie du circuit OU-NON qui a ses entrées raccordées aux transistors de passage et de blocage, le rôle du côté $\overline{Q}$ étant tenu par la sortie de l'inverseur dont l'entrée est en couplage direct avec le côté Q.

La bascule est dotée d'une boucle de réaction (BR) allant de la sortie $\overline{Q}$ au drain du TP_1 ; le point commun des grilles des TP_1 et TB_1 et du drain du TP_2 forme l'entrée horloge (T) de la bascule D à sortie symétrique, son entrée D étant constituée par la grille commune des TP_2 et TB_2.

Examinons la mémorisation de l'information dans la bascule lorsque $T = 0$. Si $Q = 0$ ($\overline{Q} = 1$), le TP_1, qui est conducteur (sa grille est au niveau 0), transfère le niveau 1 vers l'entrée gauche du circuit OU-NON, ce qui entraîne le débit du transistor gauche à canal N de ce circuit et, partant, la confirmation de l'état $Q = 0$ de la bascule.

Pour mettre la bascule à 1, il faut appliquer un 1 logique à l'entrée D. Alors, au moment de l'impulsion d'horloge ($T = 1$) le TP_1

se coupe et le TB_1 entre en conduction, le TB_2 étant conducteur à cause du signal $D = 1$; les deux entrées du circuit OU-NON se trouvent donc au niveau bas (0). L'effet en est l'ouverture des deux transistors à canal P et le passage du côté Q au niveau 1 ($\bar{Q} = 0$). Après la disparition de l'impulsion d'horloge ($T = 0$) le TP_1, devenu conducteur, transmet le niveau 0 sur l'entrée gauche du circuit OU-NON, l'entrée droite de celui-ci étant ramenée à 0 par le TB_2 en conduction. Or, si à l'entrée D le signal change en 0 logique et que

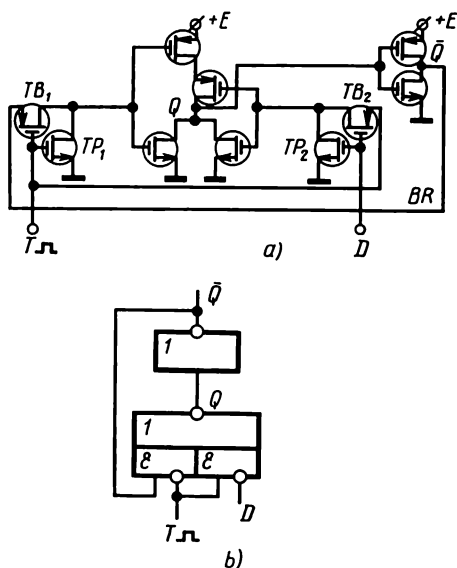


Fig. 3.38. Bascule D à sortie symétrique en C/MOST-PB : *a* — schéma de principe ; *b* — représentation symbolique

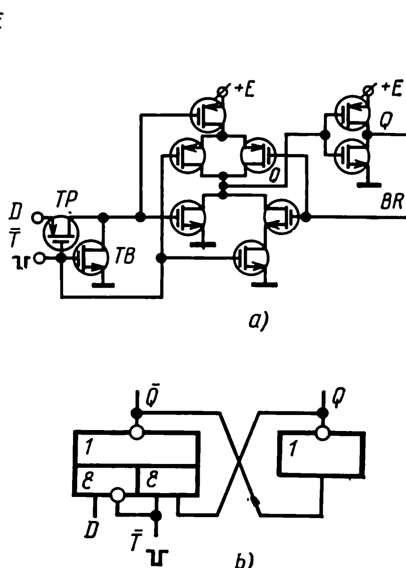


Fig. 3.39. Bascule D à sortie symétrique pilotée par des impulsions négatives en C/MOST-PB :
a — schéma de principe; *b* — représentation symbolique

$T = 0$, le TP_2 conduit le niveau 0 vers l'entrée droite du circuit OU-NON pour renforcer l'état $Q = 1$. L'inversion de la bascule n'aura lieu que sur une nouvelle impulsion d'horloge.

Une autre version de la bascule D à sortie symétrique, conçue en C/MOST-PB, est donnée fig. 3.39. La distinction de cette bascule de celle que nous venons de considérer est d'être pilotée par un signal de 0 logique et d'avoir pour côté Q la sortie d'un inverseur supplémentaire. Le comportement de la bascule à sortie symétrique de la fig. 3.39 aux régimes de stockage et d'écriture de l'information peut être analysé par le lecteur lui-même.

Les deux versions de la bascule D à sortie symétrique utilisent chacune huit transistors MOS complémentaires, ce qui les rend plus intéressantes que la bascule D statique à sortie symétrique réalisée clas-

siquement qui nécessite 15 transistors complémentaires, soit presque le double (voir fig. 3.27).

La fig. 3.40 représente le schéma d'une bascule D à sortie symétrique, dotée de plusieurs entrées, qui est pilotée par les impulsions 0 et dont chacune des entrées D est constituée par un couple de transistors de passage et de blocage raccordé à l'entrée supplémentaire du

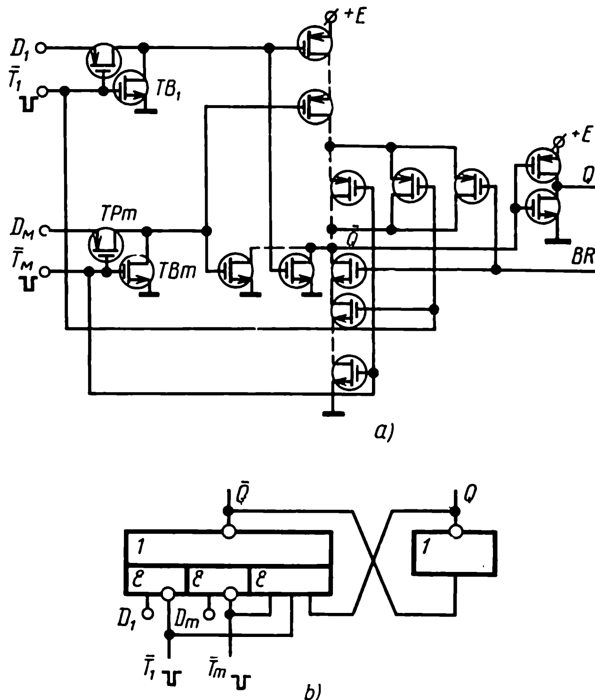


Fig. 3.40. Bascule D à sortie symétrique et à plusieurs entrées en C/MOST-PB :
a — schéma de principe; *b* — représentation symbolique

circuit OU-NON. Cette version de la bascule D est largement utilisée pour la synthèse des registres en parallèle, des registres à décalage bidirectionnel, de même que des compteurs adressables.

3.3.7.3. Bascule de comptage en C/MOST-PB

Les bascules D à sortie asymétrique ou symétrique, commandées par des impulsions d'horloge de différente polarité, dont il a été question, peuvent servir de base aux bascules de comptage du type *M-E*.

La fig. 3.41 donne deux versions fonctionnelles de bascules de comptage et les tables de vérité respectives. La bascule T_t schéma-

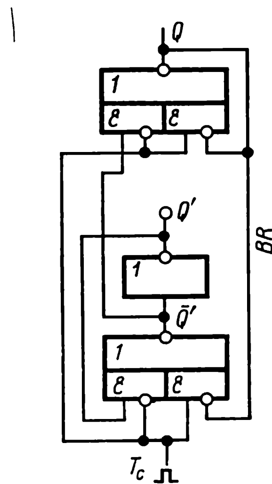


Table de vérité

N° de l'état	T_c	$\bar{Q}'$	Q'	Q
①	0	1	0	0
②	1	0	1	0
③	0	0	1	1
④	1	1	0	1
⑤	0	1	0	0

a)

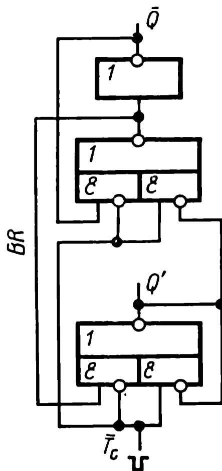


Table de vérité

N° de l'état	T_c	Q'	Q	$\bar{Q}$
①	1	1	1	0
②	0	0	1	0
③	1	0	0	1
④	0	1	0	1
⑤	1	1	1	0

b)

Fig. 3.41. Représentation symbolique et tables de vérité des bascules de comptage conçues en bascules D à sortie asymétrique et à sortie symétrique:
a — sortie asymétrique et comptage des impulsions positives; *b* — sortie symétrique et comptage des impulsions négatives

tisée fig. 3.41*a* effectue le comptage des impulsions dont le niveau logique est 1 et délivre à sa sortie Q les impulsions en polarité unique, la fonction d'Esclave dans le montage étant faite par une bascule $\bar{D}$ à sortie asymétrique.

La bascule T_t schématisée fig. 3.41*b* compte les impulsions de 0 logique et distribue les impulsions en double polarité (sorties Q et $\bar{Q}$), l'Esclave étant ici une bascule D à sortie symétrique.

La réponse des bascules aux impulsions de comptage incidentes est facile à suivre dans les tables de vérité et peut se passer de tout commentaire spécial. Les deux bascules de comptage représentent des montages statiques en logique C/MOST-PB utilisant chacune 18 transistors (dont 8 pour la bascule à sortie asymétrique et 10 pour celle à sortie symétrique).

Chacune des bascules de comptage de la fig. 3.41 est transformable en bascule du type D_t par suppression de la réaction de comptage (BR) entre la sortie Q de l'Esclave et l'entrée D du Maître. Dans ce cas, la sortie disponible deviendra celle de la bascule C/MOST-PB

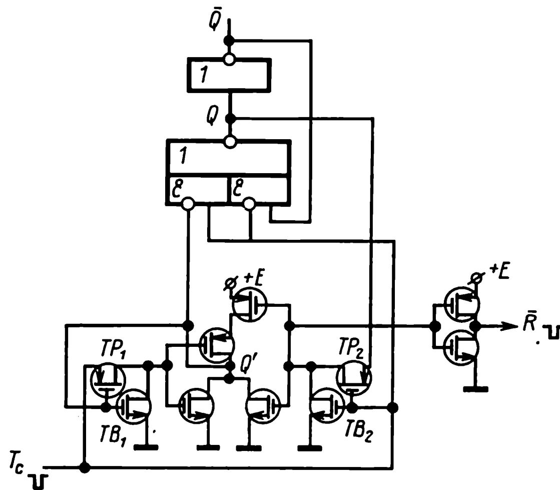


Fig. 3.42. Schéma de génération de l'impulsion de report à l'aide d'un seul inverseur dans la bascule de comptage en C/MOST-PB

du type D_t. Une bascule D_t à effet statique ayant la même fonction, mais basée sur la technique de synthèse classique (voir fig. 3.27), demande 32 transistors MOS, c.-à-d. à peu près deux fois plus.

Il convient de noter aussi la simplicité de génération de signaux de report dans les bascules de comptage C/MOST-PB qui permet de les employer dans les compteurs à plusieurs positions de diverses destinations. La fig. 3.42 montre l'organisation du report dans une bascule de comptage C/MOST-PB qui compte les impulsions de 0 logique et dont le Maître représente une bascule $\bar{D}$ à sortie asymétrique. Si l'on place un inverseur à la sortie du couple de transistors TP_2 et TB_2 de la bascule D à sortie asymétrique, il y aura à sa sortie une impulsion de 0 logique chaque fois qu'une impulsion de comptage arrive et que la bascule passe de l'état $Q = 1$ à l'état $Q = 0$, c.-à-d. qu'il y aura une impulsion de report. En effet (voir fig. 3.42), pour $Q = 1$, l'apparition d'une impulsion de comptage ($\bar{T}_c = 0$) produit la conduction du TP_2 qui transfère le niveau 1 vers l'entrée

de l'inverseur, établissant à sa sortie un 0 logique maintenu pendant l'impulsion de comptage $\overline{T}_c = 0$. Après la cessation de l'impulsion de comptage ($\overline{T}_c = 1$) le TB_2 entre en débit, l'entrée de l'inverseur s'en trouve portée au niveau 0 et sa sortie au niveau 1. Une impulsion de comptage suivante n'entraîne pas la formation du signal de report, car l'entrée du TP_2 sera au niveau 0 ($Q = 0$), acheminé vers celle de l'inverseur.

C'est seulement après la transition de la bascule de comptage vers l'état $Q = 1$ qu'une nouvelle impulsion de comptage ($\overline{T}_c = 0$) entraîne la génération de l'impulsion de report ($\overline{R} = 0$). La durée de l'impulsion de report est égale à celle de l'impulsion de comptage, la polarité des deux impulsions étant la même. Cela permet de réaliser les compteurs série à plusieurs positions avec les bascules de comptage décrites ci-dessus par connexion directe de la sortie de report à l'entrée de comptage du « bit » consécutif sans aucune interface d'adaptation en polarité. La production de l'impulsion de report dans un montage classique à effet statique (voir fig. 3.27) implique l'emploi de 6 transistors MOS supplémentaires dans chaque « bit » du compteur (4 transistors pour la porte et deux pour l'inverseur servant à l'asservissement en polarité des impulsions de comptage et de report).

Les différentes versions des bascules C/MOST-PB que nous venons de considérer sont loin d'épuiser toute la variété de montages en bascule organisés à base des transistors MOS complémentaires de passage et de blocage.

C'est ainsi que pour réaliser une bascule de comptage à entrée d'adresse on peut utiliser le montage du type *M-E* à commande par impulsions de polarité différente de la fig. 3.41 *a* où la fonction de Maître sera faite par une bascule *D* à sortie symétrique et à plusieurs entrées, fig. 3.40, et celle d'Esclave par une bascule $\overline{D}$ à sortie asymétrique fig. 3.37.

Les bascules *D* que nous venons d'examiner peuvent servir de base à la bascule $J\text{-}K_t$, à la bascule *T-V* et à certaines autres.

L'analyse des montages en bascule considérés permet de dégager encore un caractère utile des bascules conçues en C/MOST-PB qui consiste en une consommation de puissance moindre par rapport aux bascules statiques organisées de façon classique. Or, comme on le sait (cf. § 1.3.2), la consommation de puissance au régime statique (P_{st}) des circuits intégrés C/MOST est fonction du nombre de chemins de fuite que peut suivre le courant depuis une source pour traverser les transistors bloqués:

$$P_{st} = K \cdot P_0,$$

où K est le nombre de chemins de fuite dans le montage; P_0 est la puissance absorbée par un seul chemin de fuite.

Dans les bascules C/MOST-PB, les chemins de fuite sont 1,5 à 2 fois moins nombreux que dans les bascules statiques C/MOST réa-

lisées selon le schéma classique. C'est ainsi que la bascule D à sortie symétrique (fig. 3.38 et 3.39) a deux chemins de fuite ($P_{st} = 2\ P_0$) tandis que dans son homologue classique (fig. 3.27) il y en a quatre ($P_{st} = 4\ P_0$). Dans la bascule de comptage C/MOST-PB (fig. 3.41) il y a trois chemins de fuite ($P_{st} = 3P_0$) et la bascule de comptage (fig. 3.30) en a cinq ($P_{st} = 5\ P_0$).

Au régime dynamique, les mêmes chemins de fuite constituent la cause principale de la consommation accrue des bascules C/MOST, autrement dit, la consommation de puissance dynamique des bascules C/MOST-PB est, elle aussi, moins grande que celle des bascules statiques réalisées classiquement. Par la puissance qu'elles consomment, les bascules C/MOST-PB se rapprochent des bascules quasi statiques quoiqu'elles leur cèdent quelque peu en nombre de transistors par bascule. Par exemple, la bascule de comptage C/MOST à effet quasi statique (fig. 3.36) qui a $P_{st} = 3\ P_0$ utilise 14 transistors et la bascule de comptage à effet statique conçue en C/MOST-PB (fig. 3.41) qui a de même $P_{st} = 3\ P_0$, en emploie 18, c.-à-d. qu'elle a 4 transistors de plus que la bascule quasi statique. Pourtant, pour pouvoir organiser des compteurs à plusieurs positions ou des diviseurs de fréquence, même les plus simples, il faudra ajouter à chaque bascule de comptage quasi statique, formant un « bit », au moins 4 transistors supplémentaires afin de permettre la transmission des signaux de comptage entre les « bits » du poids faible et fort.

De cette façon, en ce qui concerne les frais de composants, les compteurs à plusieurs bits conçus en bascules quasi statiques sont comparables ou inférieurs aux compteurs C/MOST-PB, tout en étant beaucoup moins économiques en consommation de puissance. Les bascules quasi statiques présentent les avantages considérables sur les bascules C/MOST-PB dans le cas des registres à décalage à plusieurs bits, car elles comportent presque 2 fois moins de transistors et entraînent une consommation de puissance par « bit » du registre 1,5 à 2 fois moindre [12, 60].

Il reste que pour la synthèse des compteurs, des diviseurs de fréquence, de certains registres à fonctions spéciales et de quelques dispositifs de commande à bascules, en particulier à base des LSI à très grande intégration, la préférence soit donnée aux bascules C/MOS à transistors de passage et de blocage.

CHAPITRE IV

Registres

Introduction

On appelle registres des dispositifs ayant pour fonction de recevoir, de stocker et de transférer l'information. L'information est mémorisée dans le registre sous forme d'un nombre (mot) représentant une combinaison des signaux 0 et 1. Chaque chiffre du nombre inscrit dans le registre est matérialisé par un « bit » de celui-ci constitué généralement par une bascule de type R-S, R-S_t, D, D_t ou J-K_t.

Les registres peuvent réaliser les opérations de conversion de l'information d'une forme en une autre (série-parallèle, etc.) ainsi que certaines opérations logiques (par exemple, l'addition logique des chiffres de même rang, la multiplication). Le caractère principal permettant la classification des registres est le procédé d'écriture de l'information ou du code de nombre dans le registre. Selon ce caractère, il est possible de dégager trois types de registres:

— registres en parallèle;
— registres en série;
— registres en série-parallèle.

Dans les registres en parallèle, l'écriture du nombre se fait en « code parallèle », c.-à-d. dans tous les « bits » à la fois. Les registres en série se caractérisent par une écriture « série » du code de nombre, à commencer par le chiffre le moins ou le plus significatif, au moyen de décalages successifs du code dus aux impulsions d'horloge. Les registres en série-parallèle sont capables de l'écriture en parallèle et en série du code de nombre.

En fonction du nombre de voies d'accès de l'information aux entrées des «bits» du registre, on distingue les registres biphasés et monophasés. Les registres biphasés ont ce caractère que chaque « bit » reçoit l'information par deux voies (directe et inverse). Dans les registres monophasés, chaque « bit » n'est commandé que par une voie unique (directe ou inverse). D'une manière générale, les registres biphasés sont réalisés avec les bascules du type R-S et les registres monophasés, avec les bascules du type D. Suivant les types de bascules utilisées pour constituer les registres et la façon de les piloter, les registres peuvent être à plusieurs cadences ou à cadence unique. Si les premiers sont à base des bascules pilotées R-S et D, les seconds font généralement appel à des bascules à « retard interne »

de type R-S_t, D_t et J-K_t. Il sera question, dans ce qui suit, des registres en parallèle et en série, à plusieurs cadences comme à cadence unique. Pour chacun des montages à analyser il s'agira pour la plupart des versions biphasée et monophasée.

Dans le dernier paragraphe, on trouvera les modes d'extraction de l'information des registres monophasés et biphasés.

4.1. *Registres en parallèle*

La réalisation d'un registre en parallèle à n bits implique l'emploi de n bascules dont chacune possède des entrées en nombre correspondant à celui de sources d'information raccordées à l'entrée du registre. Le premier « bit » (du plus faible poids) du registre sert à ranger les premiers bits (les moins significatifs) des codes de nombres, le deuxième, les deuxièmes bits des codes de nombres et ainsi de suite.

4.1.1. Registre en parallèle monophasé à deux cadences

Ce sont les registres monophasés à deux cadences dont les « bits » représentent des bascules du type D à deux cadences et plusieurs entrées qui sont les plus économiques en composants. La fig. 4.1

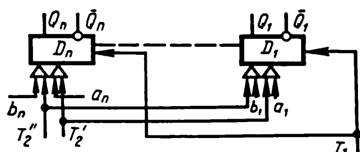


Fig. 4.1. Registre en parallèle à deux cadences

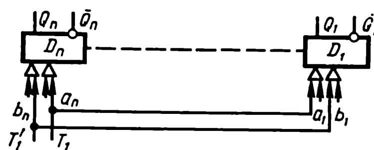


Fig. 4.2. Registre en parallèle à cadence unique

donne le schéma d'un registre en parallèle à deux cadences fonctionnant en « monophase » qui permet l'écriture de deux nombres A et B (registre à deux entrées). Les entrées a_1, a_2, . . ., a_n reçoivent les chiffres du premier nombre et les entrées b_1, b_2, . . ., b_n, ceux du second. La première impulsion d'horloge (T_1) met à 0 ($\overline{Q}_1 = \overline{Q}_2 = \ldots = \overline{Q}_n = 1$) la totalité des bascules-bits, la deuxième (T_2') produit l'écriture dans le registre du nombre A et l'impulsion T_2'' celle du nombre B. Les entrées horloge T_1, T_2' et T_2'' de tous les « bits » sont alimentées à partir des fils uniques respectifs. Comme il a été indiqué au chapitre 2, dans le cas des bascules D réalisées en circuits logiques ET-NON et ET-OU-NON, T_1 correspond au niveau 0, T_2' et T_2'' au niveau 1. Pour les bascules D constituées par les circuits logiques OU-NON, les niveaux des impulsions d'horloge doivent être inversés. Puisqu'il en est de même pour les bascules du type R-S, dans la suite de la description des registres en bascules

R-S et *D* les niveaux logiques des impulsions d'horloge ne seront plus spécifiés. Le registre en parallèle monophasé à deux cadences, pour être le moins rapide, réalise pourtant la plus grande économie des composants, chaque bascule-bit du type *D* ne nécessitant qu'une seule porte par entrée d'information.

4.1.2. Registre en parallèle à cadence unique en bascule *D*

Les registres en parallèle monophasés à cadence unique mettent en application des bascules pilotées *D* dont le nombre d'entrées est conforme à celui d'entrées du registre. La fig. 4.2 fait voir le schéma fonctionnel d'un tel registre à deux entrées. L'écriture du nombre *A* (a_1, a_2, . . ., a_n) s'opère sur l'impulsion T_1 et celle du nombre *B* (b_1, b_2, . . ., b_n) sur l'impulsion T'_1 sans remise à 0 préalable des « bits ». La rapidité de fonctionnement du montage a à peu près doublé par comparaison à celui de la fig. 4.1, mais cela au prix d'un nombre accru de portes dans les bascules-bits, étant donné que les bascules *D* à cadence unique comportent des circuits logiques ET-NON, OU-NON plus nombreux, exception faite des bascules *D* « monophasées » conçues en circuits logiques NON, ET-OU. Les registres en parallèle, basés sur ces bascules, permettent une économie des composants propre aux montages à deux cadences, mais fonctionnent au régime d'écriture à cadence unique.

4.1.3. Registres en parallèle monophasés à cadence unique en bascules du type $\bar{D}$

Examinons deux variétés de registres monophasés à cadence unique constitués par des bascules $\bar{D}$ à base des éléments NON, ET-OU, qui se distinguent par l'organisation de l'écriture de l'information. La fig. 4.3 représente le schéma fonctionnel détaillé de la première variété du registre à deux entrées conçu en bascules $\bar{D}$. La spécificité du registre est d'utiliser une porte ET-NON supplémentaire servant à commander les réactions de toutes les bascules-bits pendant l'application des impulsions d'horloge qui réalisent l'écriture des nombres dans le registre. L'écriture des codes de nombres dans le registre se fait par des impulsions d'horloge en polarité négative (T'_1 ou $T''_1 =$ $= 0$). Pour inscrire le nombre *A* dans le registre, il faut appliquer une impulsion d'horloge T'_1 qui aura pour effet le blocage de la porte B_0 et l'ouverture de la porte d'écriture du nombre *A* dans tous les

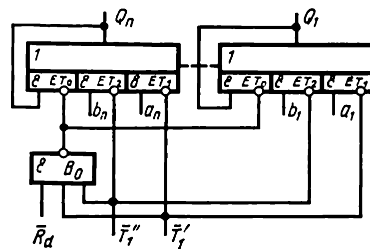


Fig. 4.3. Registre en parallèle réalisé en bascules *D* à sortie asymétrique

« bits » du registre (portes ET_1). La porte B_0 fournira le niveau 1 aux entrées inhibitives des portes ET_1 de tous les « bits » qui fera couper les boucles de réaction de la totalité des bascules $\overline{D}$ dont le nouvel état sera pris en accord avec le code du nombre A. Par exemple, pour $a_1 = 1$, la porte ET_1 du premier « bit » sera passante et celui-ci aura en sortie $Q_1 = 1$. Pour $a_n = 0$, la porte ET_1 du « bit » le plus significatif restera bloquée et $Q_n = 0$. A la fin de l'impulsion, la porte de commande B_0 s'ouvrira pour ramener sa sortie au niveau bas et rétablir par le fait même les réactions de toutes les bascules-bits. L'information mémorisée dans les bascules sera de nouveau conforme au code du nombre A et les portes ET_1 de tous les « bits » seront fermées.

Il est intéressant d'examiner le procédé de remise à 0 de la totalité des « bits » du registre schématisé fig. 4.3. Pour cela, on n'a pas besoin de réserver une entrée R_d à chaque « bit » du registre, mais seulement d'utiliser une entrée supplémentaire unique $\overline{R}_d$ dans la porte de commande B_0 pour en distribuer les signaux à tous les n « bits » du registre. La remise à 0 de la totalité des « bits » du registre en parallèle s'effectue par application du niveau 0 à l'entrée de forçage $\overline{R}_d$. La porte B_0 s'en trouve bloquée et le niveau 1 qu'elle délivre vient fermer les portes de réaction ET_0 de toutes les bascules-bits. Comme à cet instant toutes les portes d'écriture du nombre ET_1 et ET_2 sont fermées (l'écriture du nombre pendant la mise à 0 du registre n'existe pas), tous les « bits » du registre auront à leurs sorties les niveaux $Q_1 = \ldots = Q_n = 0$. Après la disparition du signal de forçage (lorsque $\overline{R}_d = 1$) la porte B_0 sera de nouveau ouverte, les portes de réaction ET_0 de la totalité des bascules-bits passeront à la conduction et tous les « bits » du registre garderont l'état $Q = 0$.

Quoique simple et économique, le montage schématisé fig. 4.3 s'avère impropre à certains cas d'utilisation à cause de risques d'instabilité de fonctionnement. Pour combattre cet inconvénient, il faut que le délai de commutation des portes d'écriture de chaque « bit » (portes ET_1 et ET_2) dépasse celui de la porte de commande: $\tau_i > \tau_{B_0}$. S'il en est autrement, après la cessation de l'impulsion d'horloge, c.-à-d. lorsque $T_1' = T_1'' = 1$, la fermeture des portes d'écriture ET_1 et ET_2 sera en avance sur l'ouverture de la B_0 et, partant, sur celle des portes de réaction dans les bascules-bits. L'effet en sera l'écriture erronée d'un code de nombre dans le registre. La condition $\tau_i > \tau_{B_0}$ peut être satisfaite en réalisant l'ensemble du registre en parallèle sous forme d'un LSI monolithique (par un choix approprié de composants et de topologie du LSI).

La seconde variante du registre en parallèle monophasé conçu en bascules $\overline{D}$, schématisée fig. 4.4, est affranchie de l'inconvénient du montage de la fig. 4.3. Le montage de la fig. 4.4 *a* comporte, en plus des bascules-bits $\overline{D}$ et de la porte de commande, des inverseurs supplémentaires qui sont des éléments de retard : un par fil horloge.

Les impulsions d'horloge arrivent sur l'entrée de la porte de commande B_0 du registre directement et sur les entrées d'information non inverseuses des portes ET_1 et ET_2 de la totalité des « bits » du registre à travers les inverseurs. Les codes de nombres viennent sur les entrées inverseuses des portes ET_1 et ET_2, ce qui permet une écriture en inverse du nombre codé dans le registre (c.-à-d. que si $a_1 = 0$, le premier « bit » recevra $Q_1 = 1$ et inversement). Cette particularité dont on doit être conscient lors de la lecture du registre ne soulève pratiquement pas de difficultés pour les concepteurs des dispositifs numériques.

Considérons l'écriture d'un code ($a_1 = 1 \ldots a_n = 0$) dans le registre réalisé comme dans le schéma de la fig. 4.4. Au moment de

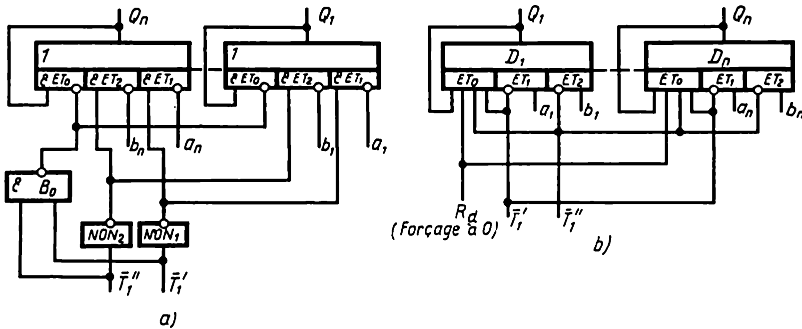


Fig 4.4. Registre en parallèle réalisé en bascules à sortie asymétrique: *a* — type $\bar{D}$; *b* — type D

l'impulsion d'horloge ($\bar{T}_1' = 0$) la B_0 et les portes de réaction ET_0 des bascules $\bar{D}$ se bloquent. Le niveau haut provenant de la sortie de l'inverseur NON_1 rendra passantes les portes ET_1 pour écrire le code du nombre A. Comme $a_1 = 1$, la porte ET_1 du premier « bit » du registre restera fermée et son contenu sera le code $Q_1 = 0$. Puisque, d'autre part, $a_n = 0$, la porte ET_1 du « bit » le plus significatif du registre sera ouverte et le « bit » recevra le code $Q_n = 1$. Après la cessation de l'impulsion ($\bar{T}_1' = 1$) il y aura d'abord ouverture de la B_0 et, partant, des portes de réaction ET_0 de la totalité des bascules $\bar{D}$ du registre et enfin, fermeture retardée de τ_{NON} des portes ET_1 d'écriture du nombre codé A. De cette façon, la seconde variété du registre en bascules du type D est capable d'une écriture fiable et stable de l'information. Le retard d'écriture du nombre dans le registre (τ_r) est ici

$$\tau_r = \tau_{NON} + \tau_b , \tag{4.1}$$

où τ_{NON} est le retard de commutation de l'inverseur et τ_b, retard de basculement de la bascule. La durée totale d'écriture de l'infor-

mation dans le registre (t_r) constitue:

$$t_r = \tau_r + \tau_1 \quad \text{ou} \quad F_r = 1/t_r, \qquad (4.2)$$

où τ_1 est la durée de l'impulsion d'horloge.

La fig. 4.4 *b* montre encore un schéma du registre en parallèle monophasé, réalisé avec les bascules D à sortie asymétrique et écriture directe de l'information. Ce registre a pour caractère une écriture en parallèle de l'information des plus simples qui n'implique ni portes ni inverseurs supplémentaires, comme c'est le cas des montages en bascules à sortie asymétrique du type $\overline{D}$. Chaque « bit » du registre représente une bascule D dans laquelle le nombre de portes d'écriture est égal à celui d'entrées d'information du registre. Toutes les portes possèdent une entrée inhibitive.

La porte de réaction (ET_0) de chaque bascule D reçoit les signaux d'horloge, le signal de réaction en provenance de la sortie Q et le signal de remise à 0. Comme indiqué au chapitre 2, la bascule D à sortie asymétrique utilise les impulsions d'horloge au niveau 0. Pour écrire le nombre A (entrées $a_1, \ldots, a_n$ du registre), on applique une impulsion d'horloge au fil ($\overline{T}_1' = 0$) ce qui produit le blocage des portes ET_0 de tous les « bits » et l'ouverture des portes ET_1 des « bits » dont les entrées « a » sont portées au niveau 1. Il en résulte une écriture directe du nombre codé A dans le registre.

Dans le cas de l'écriture du code du nombre B, c'est une impulsion d'horloge $T_1'' = 0$ qui vient, elle aussi, fermer les portes de réaction ET_0 de la totalité des bascules-bits du registre et ouvrir les portes ET_2 des « bits » qui ont reçu le code $B = 1$. La multiplication des entrées d'écriture du registre demanderait une augmentation du nombre de portes avec entrée inhibitive dans chaque bascule D et, à proportion, de celui d'entrées de la porte de réaction de la bascule (dans la porte ET_0). En cas de bascule D à sortie asymétrique à base des éléments *T-TTL* (cf. chapitre 1) chaque porte dotée d'une entrée inhibitive (circuit NON, ET) correspond à un transistor dont la base contient une résistance chutrice et chaque entrée de la porte ET_0, à une entrée « émettrice » du transistor à plusieurs émetteurs. Le registre réalisé en bascules D à sortie asymétrique jouit de la plus grande rapidité fonctionnelle, le retard d'écriture du code de nombre provenant uniquement de celui de commutation de l'élément logique NON, ET-OU, dont est faite la bascule D.

La remise à zéro du registre s'effectue par application d'un signal 0 à une entrée supplémentaire dont est munie la porte ET_0. Un signal RAZ incident bloque les portes ET_0 de toutes les bascules-bits D et établit les niveaux $Q = 0$ dans la totalité des « bits » du registre. Le positionnement sur 1 du registre s'obtient par l'effet d'une entrée en OU supplémentaire dans l'élément NON, ET-OU qui forme la bascule D.

4.1.4. Registre en parallèle monophasé conçu en bascules du type « verrou » à éléments ET-OU-NON

Le registre en parallèle monophasé utilisant les bascules D du type « verrou » à base des éléments ET-OU-NON est organisé par analogie avec le montage schématisé fig. 4.4.

Le schéma d'un tel registre est donné fig. 4.5. Le principe de son fonctionnement est à peu près le même que du registre de la fig. 4.4.

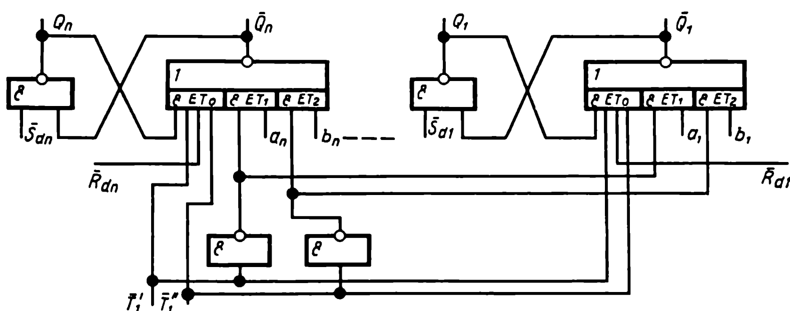


Fig. 4.5. Registre en parallèle réalisé en bascules du type « verrou »

L'écriture d'un nombre codé dans le registre est commandée par des signaux d'horloge qui sont au niveau 0. Au régime de mémorisation, c.-à-d. en l'absence d'impulsions d'horloge ($\bar{T}'_1 = \bar{T}''_1 = 1$) toutes les bascules D du registre ont leurs portes de réaction ET_0 ouvertes. A l'apparition d'une impulsion d'horloge (par exemple $\bar{T}'_1 = 0$) il y a fermeture des portes ET_0 et au bout d'un temps τ_{NON} ouverture des portes d'écriture du nombre codé A (portes ET_1). Les « bits » $a_1, \ldots, a_n$ du registre prennent des niveaux représentatifs du code du nombre A. Ainsi, pour $a_1 = 1$ et $\bar{T}'_1 = 0$, la sortie $\bar{Q}_1$ passe au niveau 0 et la sortie Q_1 au niveau 1. Après la disparition de l'impulsion d'horloge ($\bar{T}'_1 = 1$) on verra d'abord s'ouvrir les portes de réaction de toutes les bascules D du registre pour fixer un nouveau code dans ses « bits », ensuite, dans un temps τ_{NON}, il y aura fermeture des portes d'écriture du nombre A. Le registre passera au régime de mémorisation.

Les paramètres dynamiques du registre de la fig. 4.5 sont quelque peu inférieurs à ceux du registre de la fig. 4.4 à cause d'un retard d'écriture supplémentaire dans le circuit ET-NON du côté Q des bascules-bits :

$$\tau_r = \tau_{NON} + 2\tau_{moy} ;$$
$$F_r = \frac{1}{\tau_r + \tau_l} . \quad (4.3)$$

Toutefois, le montage examiné (fig. 4.5) trouve de très nombreuses utilisations pour la synthèse des ordinateurs à fonctionnement paral-

lèle en C.L.I. ET-OU-NON, grâce à ses bonnes qualités économiques et à sa fiabilité élevée.

Le forçage du registre dans l'état 0 ou 1 s'effectue par application du niveau 0 respectivement aux entrées $\overline{R}_d$ et $\overline{S}_d$ dont les portes de réaction ET des bascules sont complétées. Dans chaque « bit » du registre (fig. 4.5) l'entrée $\overline{S}_d$ est en couplage direct avec le côté Q et l'entrée $\overline{R}_d$, avec le côté $\overline{Q}$.

4.1.5. Registre en parallèle biphasé

Les registres en parallèle biphasés n'ont pas tant de diversité que les registres monophasés étudiés ci-dessus. Par leur principe, ils sont tous à cadence unique et à base des bascules pilotées R-S-R^k-S^k (k étant le nombre d'entrées du registre). D'une manière plus générale, il serait bien possible de construire un registre biphasé à deux cadences, à condition d'une commande séparée des entrées R et S dans les bascules R-S. De tels RPB ont parfois des applications dans des dispositifs de commande spéciaux.

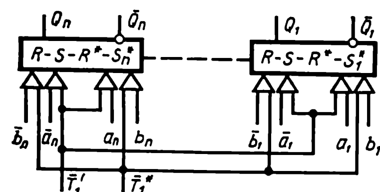


Fig. 4.6. Registre en parallèle biphasé en bascules du type R-S-R^*-S^*

La fig. 4.6 représente le schéma d'un RPB à deux entrées (pour écrire les nombres A et B) réalisé avec les bascules pilotées R-S-R^*-S^*. Le code de nombre arrive sur le registre par deux voies — directe et inverse — et les impulsions d'horloge T_1' et T_1^* ouvrent les portes des voies directe et inverse simultanément. La rapidité de fonctionnement des RPB est entièrement soumise à celle des bascules R-S constituant les « bits » standards des registres.

L'étude comparative des registres en parallèle monophasés et biphasés fait constater qu'en technologie intégrée les registres monophasés se révèlent plus efficaces pour comporter deux fois moins d'entrées d'écriture que les registres biphasés. La réduction du nombre d'entrées permet de doter le circuit intégré de sorties moins nombreuses, ce qui favorise la conception des LSI.

4.2. *Registres en série (à décalage)*

Les registres en série ou à décalage (RD) ont pour caractère une écriture série du code de nombre nécessitant l'application d'une suite d'impulsions de décalage aux entrées horloge du registre. Suivant le mode de décalage du code de nombre dans les RD, on les classe:

— en registres à décalage série;

— en régistres à décalage série-parallèle.

Les registres à décalage série (RDS) peuvent être à plusieurs cadences comme à cadence unique. Dans le cas dernier, la fonction

de « bits » du registre est faite par des bascules à retard interne de type $R\text{-}S_t$, D_t et $J\text{-}K_t$. Dans les RDS à plusieurs cadences, le transfert de code pendant chaque impulsion d'horloge n'a lieu que d'un seul « bit » à l'autre. Or, c'est seulement au bout d'une suite de plusieurs impulsions d'horloge que tout le code de nombre contenu dans le RDS se trouve décalé d'un bit. Les registres assurant le décalage du code de nombre vers les poids faibles (vers la droite) s'appellent registres à décalage direct ou simplement à décalage. Les registres capables de décaler le code de nombre tant vers la droite que vers la gauche (vers les poids forts) sont dits bidirectionnels.

Les RDS à cadence unique ont ce caractère que l'application d'une seule impulsion d'horloge produit le décalage d'un bit vers la droite (dans les RD bidirectionnels, vers la droite ou vers la gauche) de la totalité du nombre à la fois. Les registres à décalage série-parallèle (RDSP) impliquent la commande à plusieurs cadences. Dans les RDSP, pendant chacune des impulsions d'horloge, le code est transféré simultanément de plusieurs « bits » dans les « bits » voisins moins significatifs (décalage direct) ou plus significatifs (décalage inverse), c.-à-d. qu'il y a décalage parallèle de plusieurs chiffres du nombre codé pendant une seule impulsion d'horloge.

A la fin d'une suite de plusieurs impulsions de décalage, l'ensemble du code de nombre dans le RDSP se trouve décalé d'un bit. Les impulsions d'horloge formant la suite sont beaucoup moins nombreuses dans le cas des RDSP que dans celui des RDS, autrement dit les registres à décalage série-parallèle dépassent en rapidité les RDS à plusieurs cadences.

Selon le type de bascules utilisées, les RD peuvent employer le principe de transmission mono ou biphasée de l'information. Les registres à décalage monophasés sont généralement réalisés à partir des bascules de types D et D_t et les registres biphasés, à partir des bascules $R\text{-}S$, $R\text{-}S_t$ et $J\text{-}K_t$.

4.2.1. Registres à décalage monophasés

Un exemple des plus simples d'un tel registre est fourni par le RDS à plusieurs cadences utilisant les bascules D à deux cadences (fig. 4.7). Toutes les bascules-bits ont chacune une entrée d'information unique, sauf dans le cas du « poids le plus fort » servant à l'écriture série des nombres codés. Le nombre d'entrées des informations dans le « bit » le plus significatif est celui de sources d'information du registre, c.-à-d. que l'écriture dans le registre des deux nombres A et B exige que la bascule D formant le « bit » le plus significatif dispose de deux entrées d'information (Entrée A et Entrée B). Le reste des bascules D ont chacune une seule entrée pour recevoir l'information des « poids forts » précédents (en cas de décalage direct du code de nombre). L'écriture d'un bit du nombre codé demandera une suite de $2N$ impulsions d'horloge espacées entre elles (N étant la capacité du registre). Toutes les impulsions d'horloge impaires

$T_1, \ldots, T_{n-1}$ servent à placer les bascules-bits respectives dans l'état 0 et toutes les impulsions d'horloge paires $T_2, \ldots, T_n$ (ici $n=2N$ à imposer les états des bascules D précédentes aux bascules D suivantes. Pour ranger dans le registre la totalité du code de nombre à N bits, il faudra $N \cdot 2N$ impulsions d'horloge, ce qui conduit à définir ce montage comme lent. Par exemple, si $N = 20$ et que les impulsions d'horloge sont récurrentes à une fréquence $F_r = 1$ MHz, la période d'écriture du nombre codé ($T_é$) dans le registre sera un temps $T_é = 2N^2\frac{1}{F_r} = 800$ µs. La fréquence de répétition de l'écriture du nombre dans le registre est limitée à $F_é \leqslant 1,25$ kHz.

Le registre monophasé à plusieurs cadences schématisé fig. 4.8 est réalisé à l'aide de bascules D à cadence unique et sa rapidité

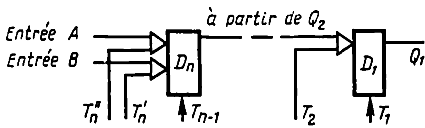


Fig. 4.7. Registre à plusieurs cadences en bascules du type D à deux cadences

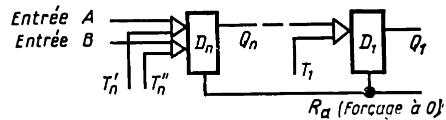


Fig. 4.8. Registre à plusieurs cadences en bascules du type D à cadence unique

de fonctionnement est deux fois celle du registre de la fig. 4.7. L'écriture d'un seul bit du nombre codé nécessite N impulsions d'horloge et celle du nombre tout entier, N^2 impulsions d'horloge (N est la capacité du registre).

La structure du registre de la fig. 4.8 est la reproduction fidèle de celle du registre de la fig. 4.7 à cela près que chaque bascule D à cadence unique comprend plus de portes que son homologue à deux cadences. Ainsi, le registre schématisé fig. 4.8, tout en permettant un double gain de rapidité de fonctionnement sur le registre en bascules D à deux cadences, le lui cède en ce qui concerne le nombre de portes par bit. Le forçage du RDS dans l'état 0 s'effectue en appliquant un signal RAZ à un fil « RAZ » commun aux entrées R_d de toutes les bascules-bits. Le niveau du signal RAZ est variable suivant le type des circuits logiques constituant les bascules-bits D. Or, le RAZ≡0 lorsque les bascules sont à base des circuits ET-NON et ET-OU-NON ; le RAZ≡1 lorsque les bascules sont à base des circuits OU-NON.

La rapidité fonctionnelle des registres à décalage monophasés à plusieurs cadences peut être accrue avec l'emploi de montages à décalage série-parallèle de l'information (RDSP). La fig. 4.9 représente le schéma d'un registre à décalage série-parallèle monophasé, doté d'une capacité de quatre bits. Nous pourrons dégager sur l'exemple de ce montage les principes d'organisation et de fonctionnement des RDSP. Dans le RDSP, tous les « bits » sont répartis en groupes égaux dont chacun est complété par une bascule-mémoire supplémentaire (les bascules D_1' et D_2' dans le schéma de la fig. 4.9).

Dans le registre à quatre bits, le décalage de l'information d'un pas vers la droite nécessite l'application de trois impulsions d'horloge successives.

Considérons le processus de décalage dans un RD fonctionnant « en anneau » lorsque sa sortie est bouclée sur son entrée. Au moment de la première impulsion d'horloge incidente T_1, le contenu des « bits » D_1 et D_3 sera transféré dans les bascules-mémoires D'_2 et D'_1 respectivement. La deuxième impulsion d'horloge T_2 fera transcrire le contenu des D_2 et D_4 dans les « bits vierges » D_1 et D_3 respectivement et la dernière impulsion de la suite aura pour effet le transfert

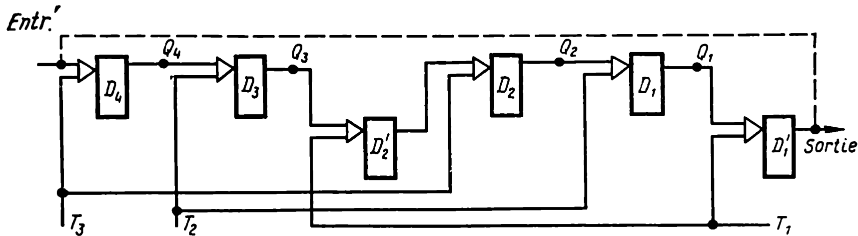


Fig. 4.9. Registre monophasé à décalage série-parallèle

de l'information des bascules-mémoires D'_1 et D'_2 respectivement dans D_4 et D_3. Il en résulte qu'au bout d'une séquence de trois temps d'horloge l'information dans le registre se trouve décalée d'une position vers la droite.

De cette façon, pour un registre à décalage série-parallèle la totalité des impulsions d'horloge (H) dans un cycle d'horloge est égale à

$$K_T = \frac{N}{L} + 1, \qquad (4.4)$$

où K_T est le nombre d'impulsions dans le cycle d'horloge; L est le nombre de groupes dans le registre. Il est à noter que la quantité de bascules-mémoires est celle de groupes de bascules-bits dans le registre.

Le fait d'utiliser le mode série-parallèle dans le registre à plusieurs bits aboutit à une amélioration significative de la rapidité de fonctionnement. C'est ainsi que dans le cas d'un registre à 16 bits réalisé en RDSP à 4 groupes de bits, il faudra 4 « bits » auxiliaires (« mémoires ») et 16 séquences de 5 H chacune pour y inscrire un nombre codé à 16 bits. Dans ce cas, la quantité globale d'impulsions d'horloge nécessaires constitue $K_{T_1} = 80$, ce qui fait trois fois moins que pour un registre à 16 bits à décalage série ($K_{T_2} = 256$).

En vertu de l'expression (4.4) qui donne le nombre d'impulsions d'horloge que nécessite le décalage de l'information d'un bit dans le RDSP, celui-ci aura sa rapidité de fonctionnement limite pour $L = N$. Les RDSP atteignent le maximum de leur rapidité fonctionnelle pour

$K_T = 2$, c.-à-d. au régime de commande à deux cadences lorsque le nombre de « bits-mémoires » (dits supplémentaires) est égal à celui de « bits » principaux du registre. La fig. 4.10 montre le schéma d'un RDSP à décalage de l'information à deux cadences réalisé en bascules $\bar{D}$ à sortie asymétrique. Le fonctionnement du registre à décalage comportant les bascules $\bar{D}$ (fig. 4.10 *a*) a ceci de particulier que le transfert des états des bascules-bits principales dans les bascules-mémoires est accompagné d'inversion de code. Par exemple, pour $Q_1 = 1$ et $Q_n = 0$, une impulsion incidente T_1 va écrire dans les

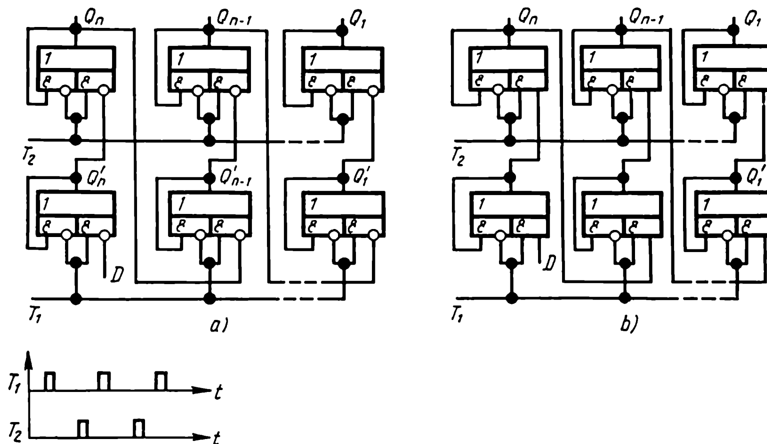


Fig. 4.10. Registre monophasé à deux cadences à décalage série-parallèle:
a **— en bascules $\bar{D}$ à sortie asymétrique; *b* — en bascules D à sortie asymétrique**

bascules-mémoires un code $Q'_1 = 0$ et $Q'_n = 1$ respectivement. Pourtant, étant donné une seconde inversion subie par le code transféré sur l'impulsion d'horloge T_2 des bascules-mémoires dans les bascules-bits principales, la transmission de l'information entre les « bits » principaux du registre s'effectue sans complémentation. Ce caractère des RDSP du type à deux cadences utilisant les bascules $\bar{D}$ permet de sortir éventuellement le nombre à la fois en code droit et inverse des « bits » principaux et des « bits-mémoires », car pour $Q_1 = 0$, $Q'_1 = 1$; . . ., pour $Q_n = 1$, $Q'_n = 0$. En cas d'un RDSP à base des bascules D réalisées à l'aide de circuits logiques ET-NON, OU-NON et ET-OU-NON, la structure du registre sera conforme à celle des montages en fig. 4.9 et 4.10 *b*.

4.2.2. Registres à décalage monophasés à cadence unique

Les registres monophasés à décalage de l'information à cadence unique (RDCU) sont conçus en bascules D_t (bascules à retard interne). Le nombre de bascules D_t constituant un RDCU détermine le

format du nombre codé à y ranger. Le registre à décalage a ses « bits » reliés en série. Toutes les entrées horloge des bascules D_t sont réunies à un fil horloge unique du registre. Pour séparer les impulsions d'horloge lors de l'écriture de plusieurs nombres, le RDCU se voit doté d'un circuit OU supplémentaire servant à piloter l'une à part de l'autre les portes d'entrée du registre qui appartiennent à la bascule D_t formant le « bit » le plus significatif.

La fig. 4.11 représente le schéma d'un RDCU permettant l'écriture successive de deux nombres (A et B). Les impulsions d'horloge T' font inscrire dans le registre le nombre codé A et les impulsions d'horloge T'', le nombre codé B. Les deux impulsions d'horloge aiguillées par le circuit OU assurent le décalage vers la droite de l'information dans le registre.

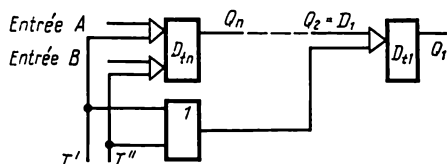


Fig. 4.11. Registre monophasé à décalage à cadence unique

Puisque les bascules D_t sont dotées du retard interne, c.-à-d. qu'elles établissent un nouvel état à leurs sorties Q après la disparition de l'impulsion d'horloge, toute impulsion de décalage incidente produit le décalage de l'ensemble du code contenu dans le RDCU d'un pas vers la droite. L'écriture dans le RDCU d'un nombre codé à N chiffres demanderait N impulsions d'horloge. On voit donc que les RDCU sont les plus rapides parmi d'autres versions des registres à décalage.

4.2.3. Registres à décalage biphasés

Les registres à décalage biphasés, tout comme les monophasés, peuvent être à décalage série à plusieurs cadences (RDS), à décalage série-parallèle à plusieurs cadences (RDSP) et à décalage à cadence unique (RDCU). Les deux premiers types de registres biphasés sont réalisés en bascules R-S pilotées, les RDCU biphasés étant composés de bascules du type R-S_t ou J-K_t.

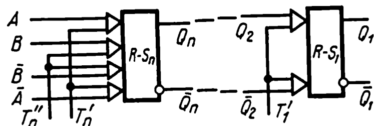


Fig. 4.12. Registre biphasé à décalage à plusieurs cadences

La fig. 4.12 montre le schéma d'un registre biphasé à plusieurs cadences et à décalage série de l'information. Tous les « bits » de celui-ci, sauf le « poids le plus fort », utilisent les bascules R-S, dotées chacune d'un seul couple de portes qui reçoivent l'information issue du « bit » immédiatement plus fort en code droit (entrée Q) et inverse (entrée $\bar{Q}$). Le « poids le plus fort » comporte autant de couples de portes à l'entrée qu'il y a d'entrées de nombre dans le registre. Chaque chiffre du nombre arrive, lui aussi, par deux entrées

(A et $\bar{A}$, B et $\bar{B}$, etc.). Le registre biphasé de la fig. 4.12 a la même rapidité de fonctionnement que son homologue monophasé schématisé fig. 4.8. Pour introduire dans le registre un nombre codé à N chiffres, il faudra y appliquer N^2 impulsions d'horloge. Par son principe d'organisation le registre biphasé à décalage série-parallèle de l'information s'identifie avec le RDSP monophasé étudié plus haut (fig. 4.9 et 4.10). La fig. 4.13 donne en *a* et *b* les schémas des registres à décalage biphasés à cadence unique, conçus en bascules $R\text{-}S_t$ et $J\text{-}K_t$.

Les RDCU biphasés, comme c'est le cas aussi des RDCU monophasés, ont tous leurs « bits » reliés en série, les entrées horloge de ceux-ci étant réunies à un fil unique de manière à former l'entrée

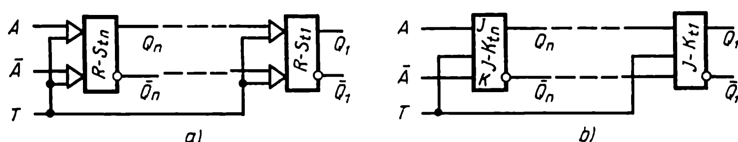


Fig. 4.13. Registre biphasé à décalage à cadence unique:
a — en bascules $R\text{-}S_t$; *b* — en bascules $J\text{-}K_t$

horloge du registre. Toute impulsion d'horloge incidente produit le décalage du nombre codé dans le registre d'un bit vers la droite, autrement dit l'écriture d'un nombre codé à N chiffres exige l'application de N impulsions d'horloge.

Ainsi qu'il est apparent de la description des registres à décalage biphasés, ils sont analogues dans leur structure et leur principe de fonctionnement aux registres à décalage monophasés du même type à cela près que ces derniers ont l'avantage de comporter les entrées d'information (deux fois) moins nombreuses grâce aux bascules D dont ils sont généralement faits. Les registres biphasés sont d'un emploi assez courant dans les dispositifs numériques basés sur les circuits intégrés de type *DTL* et *TTL* réalisant les fonctions ET-OU-NON. La réalisation des bascules D à partir des circuits ET-OU-NON se révèle peu efficace, car alors l'élément en logique à double niveau n'est pas utilisé au mieux de ses possibilités (voir chapitre 1).

4.2.4. Registres à décalage biphasés en bascules à éléments de mémoire

La fig. 4.14 représente le schéma d'un registre à décalage biphasé à cadence unique, constitué par des bascules $R\text{-}S$ à diodes à stockage de charge. Le fonctionnement du registre a ce caractère que chaque bascule-bit prend un nouvel état pendant le front avant de l'impulsion d'horloge 1. Le couplage biphasé entre les « bits » du registre s'effectue « en croix ».

Examinons le décalage à propos du fonctionnement du premier « bit » du registre. Supposons qu'au repos $Q_1 = 0$ ($\overline{Q}_1 = 1$) et que les entrées de la bascule soient portées aux niveaux $\overline{Q}_2 = 0$ et $Q_2 = 1$. Tant que le signal d'horloge manque (le fil T_1 est au niveau 0) la diode D_{s2} est conductrice et la diode D_{s1} ne l'est pas. Une impulsion d'horloge incidente ($T_1 = 1$) provoquera le blocage de la diode D_{s2} et l'écoulement de sa charge à travers la diode et le transistor du côté $\overline{Q}_1$ de la bascule. L'effet en sera que le transistor du côté droit, devenu passant, établira le niveau de 0 logique à la sortie $\overline{Q}_1$, ce

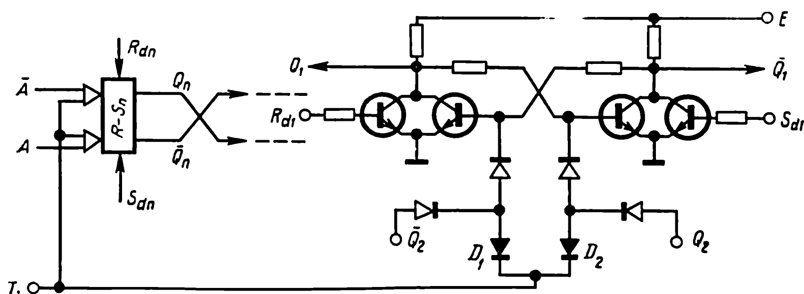


Fig. 4.14. Registre biphasé à décalage à cadence unique

qui fera passer le côté Q_1 au niveau 1. Ainsi, l'état du deuxième « bit » du registre a été imposé au premier « bit ». Simultanément, pendant le front avant de l'impulsion il y a une « transcription » similaire des états dans le reste des « bits » du registre. Pendant le palier de l'impulsion d'horloge et après sa disparition, le contenu du registre ne change pas.

Si notre registre est commandé par les impulsions d'horloge de polarité négative, ses « bits » se mettent au régime de retard interne, c.-à-d. que l'inversion des bascules a lieu après la cessation de l'impulsion d'horloge. Une impulsion négative incidente rend d'abord passante l'une des diodes à stockage et après la disparition de l'impulsion, le courant de décharge de cette diode met la bascule dans un nouvel état. Au bout de N impulsions d'horloge, il y a décalage de l'information de N bits. Le forçage parallèle du registre dans l'état 0 ou 1 se fait en appliquant le signal de 1 logique à l'entrée R_d ou S_d respectivement. D'une manière analogue peut être organisé un registre utilisant pour accumulateurs de charge les transistors.

4.2.5. Quelques schémas fonctionnels des registres à décalage

Un exemple de réalisation du registre monophasé à plusieurs cadences avec les bascules D à deux cadences est donné fig. 4.15 *a*. Le rôle de « bits » du registre est tenu par les bascules D conçues en

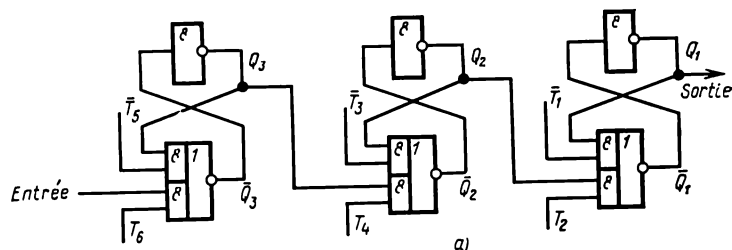
éléments logiques ET-OU-NON. Les impulsions d'horloge impaires $\overline{T}_1$, $\overline{T}_3$, . . ., appliquées sous forme de niveau 0, mettent les bascules en état 0 ($\overline{Q}$ = 1). Les impulsions d'horloge paires qui ont le niveau 1 imposent les états des « bits » plus significatifs aux « bits » moins significatifs.

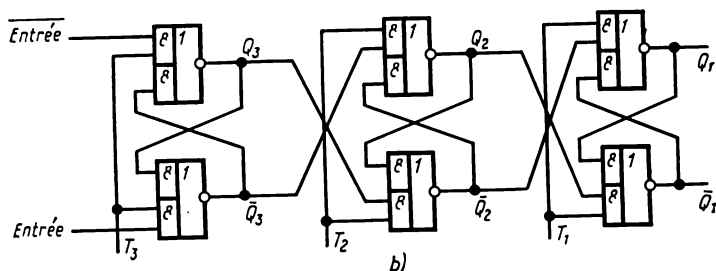
On trouve à la fig. 4.15 *b* le schéma d'un registre à décalage biphasé à plusieurs cadences, réalisé en bascules *R-S* à base des éléments logiques ET-OU-NON. Chaque « bit » du registre reçoit une impulsion d'horloge sous forme de niveau 1 qui produit le transfert du code depuis le « poids fort » vers le « poids faible ». Sur la première impulsion d'horloge (T_1 = 1) le contenu du deuxième « bit » est écrit dans le premier, sur la deuxième impulsion d'horloge (T_2 = = 1), le contenu du troisième dans le deuxième et ainsi de suite, c.-à-d. qu'il y a décalage du code de nombre vers la droite.

La fig. 4.15 *c* représente le schéma d'un registre à décalage utilisant les bascules *D* à trois cadences [28]. Les bascules-bits du registre sont du type *M-E* à couplage inhibitif unique allant de la sortie de la porte (B_3) de l'Esclave vers le côté $\overline{Q}'$ du Maître.

Le décalage de l'information d'un bit s'opère par une suite de trois impulsions d'horloge $\overline{T}_1$ = 0, $\overline{T}_2$ = 0 et T_3 = 1, espacées dans le temps l'une par rapport à l'autre.

Les impulsions d'horloge $\overline{T}_1$ = 0 mettent à 0 les Maîtres des « bits » du registre dont les entrées *D* sont au niveau 1. Si, par contre, un « bit » du registre a son entrée portée au niveau 0 (D = 0), la mise à 0 du Maître n'a pas lieu. Les impulsions d'horloge $\overline{T}_2$ = 0 mettent à 0 la totalité des Esclaves du registre. Les impulsions





d'horloge $T_3 = 1$ placent dans l'état 1 ($Q = 1$) les Esclaves des « bits » dont les Maîtres sont à 0 ($Q' = 0$). En même temps, par l'effet des couplages inhibitifs allant des sorties des portes B_2 à l'entrée de la B_3, l'écriture de 0 dans les Maîtres est interdite. Considérons l'inhibition et le décalage de l'information sur un exemple concret. Supposons un registre à deux bits être dans l'état $Q_2 = 0$, $Q_1 = 0$ et l'entrée D du registre au niveau 1. Les impulsions d'horloge, d'abord $\bar{T}_1 = 1$ et ensuite $\bar{T}_2 = 0$, produiront la mise à 0 des Maîtres et des Esclaves du registre ($Q'_2 = Q'_1 = Q_2 = Q_1 = 0$). Au moment de $T_3 = 1$ les portes B_3 seront ouvertes ($B_3 = 0$ car $\bar{Q}_2 =$

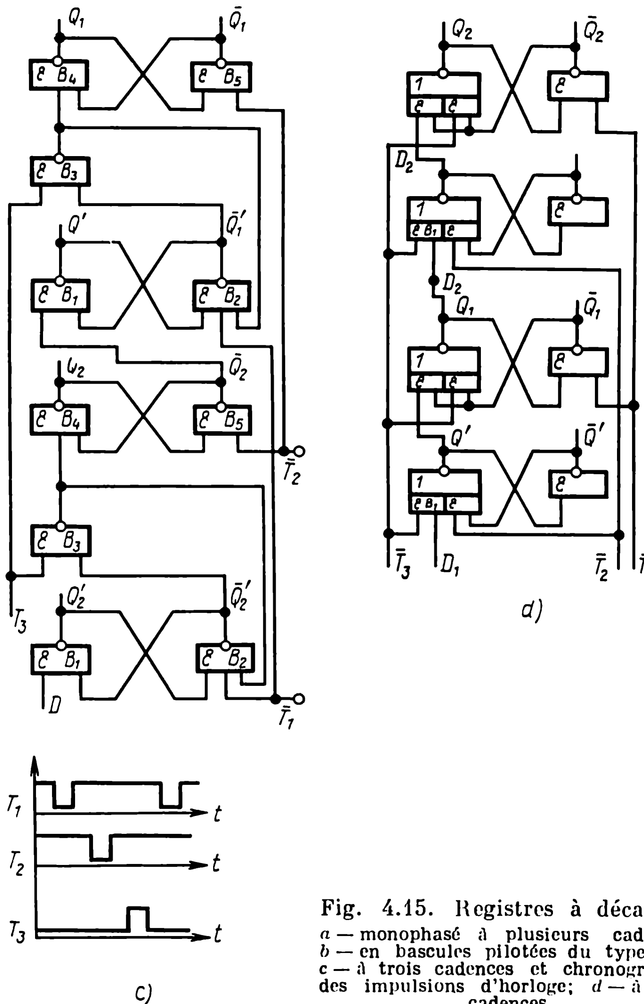


Fig. 4.15. Registres à décalage:
a — monophasé à plusieurs cadences; b — en bascules pilotées du type R-S; c — à trois cadences et chronogramme des impulsions d'horloge; d — à trois cadences

$= \overline{Q}_1 = 1$) dans les deux « bits » et leurs Esclaves prendront l'état 1 ($Q_1 = Q_2 = 1$). De ce fait, le niveau 0 délivré par le côté $\overline{Q}_2$ à l'entrée D du « bit » suivant du registre devrait placer le Maître de ce « bit » dans l'état 0. Pourtant il n'en est pas ainsi à cause de l'inhibition exercée par la sortie de la porte B_3 sur l'entrée de la porte B_2. Le niveau 0 de la sortie de la B_3 viendra sur l'entrée de la porte B_2 pour maintenir sa sortie à un niveau haut (lors de $T_3 = 1$) et permettre, partant, le transfert de l'information des Maîtres vers les Esclaves.

De cette façon, au bout de la première suite de trois impulsions, le registre sera occupé par un code $Q_2 = 1$, $Q_1 = 1$. Etant donné qu'au départ le contenu du registre était 00 ($Q_2 = Q_1 = 0$) et que, d'autre part, son entrée D était au niveau 1, le registre devrait afficher un code 10 ($Q_2 = 1$, $Q_1 = 0$). Or, il en est autrement, car l'entrée du second « bit » est raccordée au côté $\overline{Q}_2$ du premier « bit » du registre. Cela signifie que le transfert de l'information dans le registre s'effectue en code inverse, ce qui constitue un désavantage du registre de la fig. 4.15 *c*. Pour y remédier, la lecture doit se faire sur les sorties $\overline{Q}$ des « bits » impairs et les sorties Q des « bits » pairs du registre.

La fig. 4.15 donne une version du registre à trois cadences réalisant le décalage de l'information en code droit. Chaque « bit » du registre qui se compose de quatre éléments logiques (deux éléments ET-OU-NON, un élément ET-NON et un élément NON) est commandé par les impulsions d'horloge unipolaires. Dans ce registre, les impulsions $\overline{T}_1 = 0$ mettent à 0 la totalité des Esclaves. Les impulsions $\overline{T}_2 = 0$ placent à 1 ($Q' = 1$) les Maîtres dont les entrées D sont au niveau 0. Pour $D = 1$, les Maîtres se trouvent dans l'état 0 ($\overline{Q}' = 1$), le circuit ET gauche de l'élément ET-OU-NON étant conducteur ($\overline{T}_3 = 1$, $D = 1$). Les impulsions $\overline{T}_3 = 0$ mettent à 1 ($Q = 1$) ceux des Esclaves qui ont leurs entrées à 0 provenant des côtés Q' de leurs Maîtres. Simultanément, les impulsions $\overline{T}_3 = 0$ produisent le verrouillage des portes B_1 des « bits » du registre dont les entrées sont à un niveau haut imposé par les sorties des côtés Q des « bits » précédents. A la fin de la $\overline{T}_3$ ($\overline{T}_3 = 1$) les bascules possédant à leurs entrées un niveau haut auront leurs portes B_1 ouvertes et les Maîtres recevront l'information des Esclaves appartenant aux « bits » en amont.

4.3. Registres à écriture de l'information en série-parallèle

Les registres du type série-parallèle jouissent à la fois de propriétés des registres à décalage et des registres en parallèle, car ils permettent l'écriture du nombre en série comme en parallèle. Les re-

gistres série-parallèle (RSP) sont réalisés à partir des bascules à plusieurs entrées de type D, R-S, D_t et $R=S_t$. Les RSP monophasés sont à base des bascules D et les RSP biphasés, à base des bascules R-S.

Les RSP peuvent avoir recours au décalage série, série-parallèle et à cadence unique de l'information. Considérons à titre d'exemple deux schémas des registres série-parallèle. Le RSP monophasé, schématisé fig. 4.16 *a*, utilise des bascules D pilotées à trois entrées et est capable de l'écriture série d'un nombre unique (A) et de l'écriture parallèle de deux nombres (B et C). Le décalage de l'information dans le registre et l'écriture du nombre codé A s'effectuent par une suite des impulsions d'horloge $T_1, \ldots, T_n$, c.-à-d. que le registre met en application un décalage série à plusieurs cadences de l'information. L'écriture en parallèle des nombres codés B et C s'opère

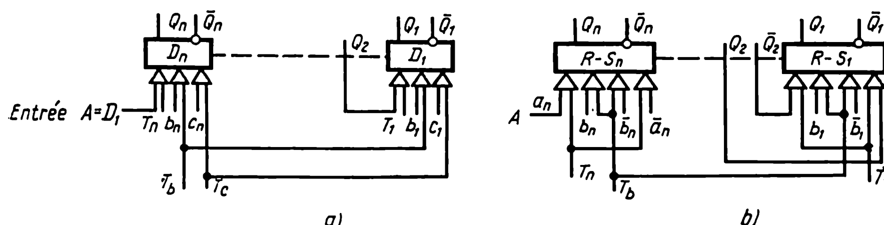


Fig. 4.16. Registres à écriture en série-parallèle:
a — en bascules D; *b* — en bascules R-S

à l'aide d'impulsions d'horloge T_b ou T_c respectivement. Après avoir rangé dans le registre le nombre B en écriture parallèle, on peut, au moyen de trains d'impulsions de décalage, faire la lecture en série du code sur les sorties Q_1 et $\overline{Q}_1$ du registre, c.-à-d. que le RSP opère la conversion parallèle-série du code.

La fig. 4.16 *b* donne le schéma d'un registre série-parallèle biphasé en bascules R-S, destiné à l'écriture parallèle d'un nombre codé B et à l'écriture série d'un nombre codé A. Dans ce RSP, chaque bascule R-S comporte à l'entrée deux couples de portes: l'un pour l'écriture parallèle en biphase du nombre codé B et l'autre pour recevoir en biphase l'information sortie du « bit » immédiatement supérieur. Pour accroître le nombre d'entrées série du registre, il faut augmenter d'une unité la quantité d'entrées biphasées du RSP, c.-à-d. raccorder à la bascule R-S deux portes supplémentaires: l'une au côté S et l'autre au côté R. L'augmentation en nombre des entrées parallèles d'un RSP nécessite celle des entrées biphasées dans tous les « bits » du registre. Les registres à écriture série-parallèle de l'information font partie intégrante des dispositifs numériques compliqués (par exemple, des ordinateurs universels) comportant des unités de commande à appel d'adresse et des registres changeurs d'adresse.

4.4. Registres bidirectionnels

Les registres bidirectionnels sont capables d'opérer le décalage du code de nombre dans le sens direct (vers la droite) et dans le sens inverse (vers la gauche) sous l'effet des impulsions de décalage direct et inverse respectivement.

A la fig. 4.17, on trouve à titre d'exemple le schéma d'un registre biphasé à décalage bidirectionnel à cadence unique dont les trois « bits » sont réalisés en bascules R-S_t. Chaque bascule comporte deux couples de portes. Le premier couple de portes (1-1) assure le transfert série de l'information dans le sens direct: des « poids forts » vers les « poids faibles » du registre. Le second couple de

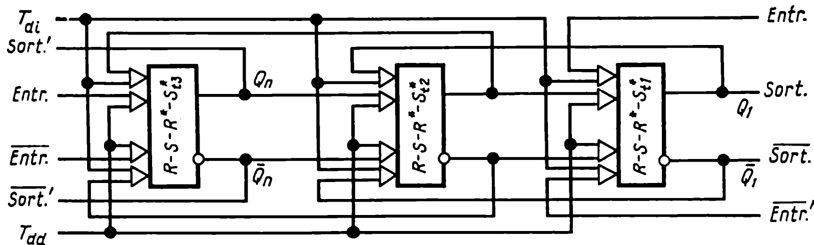


Fig. 4.17. Registre biphasé à décalage bidirectionnel à cadence unique (3 bits)

portes (2-2) sert au transfert série de l'information dans le sens inverse : des « poids faibles » vers les « poids forts » du registre. Les entrées horloge du premier couple de portes de tous les « bits » sont réunies à un fil unique de manière à former l'entrée horloge de décalage direct du registre (T_{dd}). Les entrées horloge du second couple de portes de tous les « bits », reliées, elles aussi, à un fil unique, constituent l'entrée horloge de décalage inverse du registre (T_{di}). Le registre bidirectionnel possède les entrées d'écriture série du nombre codé à partir des « poids faibles » (Ent. et $\overline{\text{Ent.}}$) et les entrées d'écriture série du nombre codé à partir des « poids forts » (Ent.′ et $\overline{\text{Ent.}}'$). Les premières entrées appartiennent au couple de portes du « poids le plus fort » et les secondes, au second couple de portes du « poids le plus faible » du registre bidirectionnel. Lorsque le décalage du nombre se fait vers la droite, le rôle de sorties du registre bidirectionnel est rempli par les sorties de la bascule formant le premier «bit » (Sort. et $\overline{\text{Sort.}}$) et lorsque celui-ci s'effectue vers la gauche, par les sorties de la bascule constituant le « bit » le plus significatif (du poids n) (Sort′. et $\overline{\text{Sort.}}'$).

La fig. 4.18 donne le schéma d'un registre bidirectionnel monophasé à cadence unique d'une capacité de trois bits qui a deux entrées pour écriture « directe » (Ent. A et Ent. B) et une entrée pour écriture « inverse » du nombre codé (Ent.′). Pour cette raison, la bascule du « poids le plus fort » (D_{t3}) comporte trois portes et le reste des

bascules-bits n'en contiennent, chacune, que deux. Les premières portes (D_1) servent au transfert série de l'information dans le registre en sens direct ; les deuxièmes (D_2), au transfert série de l'information en sens inverse et la porte 3 du « poids le plus fort » du registre, à l'écriture du nombre codé B.

Les impulsions d'horloge T'_{dd} et T''_{dd} commandent l'écriture dans le registre respectivement des nombres A et B au moyen du décalage « direct », et l'impulsion d'horloge T_{di} assure le décalage

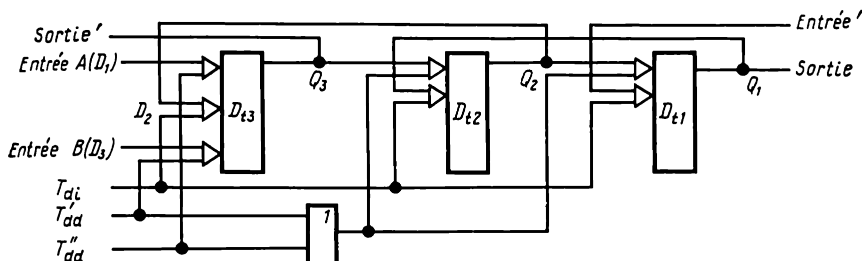


Fig. 4.18. Registre monophasé à décalage bidirectionnel à cadence unique

« inverse » du nombre codé. Le registre de la fig. 4.18 étant composé de bascules D_t, l'écriture en série d'un nombre codé à trois bits s'effectue au bout de trois impulsions d'horloge.

Les registres bidirectionnels peuvent également être « à plusieurs cadences » lorsqu'ils sont conçus en bascules D et R-S dépourvues de retard interne. Les registres bidirectionnels trouvent des applications dans les dispositifs de commande, les commutateurs en anneau, dans les dispositifs de programmation dans le temps, etc.

4.5. Registres en circuits intégrés MOS

Comme nous l'avons signalé à propos des circuits logiques et des bascules D réalisés avec les transistors MOS (cf. chapitres 2 et 3), ces dernières sont classées selon leur principe de fonctionnement en trois groupes :

— bascules statiques ;
— bascules quasi statiques ;
— bascules dynamiques.

La démonstration détaillée du principe des bascules MOS du type statique est donnée au chapitre 3. Le présent chapitre traite à son tour de certaines versions les plus courantes des bascules de type D, R-S, D_t et R-S_t utilisant les circuits MOS quasi statiques.

Les registres typiques à bascules quasi statiques font appel au transfert monophasé de l'information. En technologie intégrée, les formateurs d'impulsions de cadence (« phases ») qui commandent l'écriture et le décalage de l'information sont « incorporés » dans les registres. Aussi, quoique leur fonctionnement soit au fond « à plu-

sieurs cadences » (en multiphase), les registres du type quasi statique nécessitent-ils un seul signal extérieur pour l'écriture ou le décalage du code de nombre. Grâce à ce caractère, le concepteur de la technique micro-électronique digitale peut considérer les registres à décalage quasi statiques comme être à cadence unique. Pour le reste,

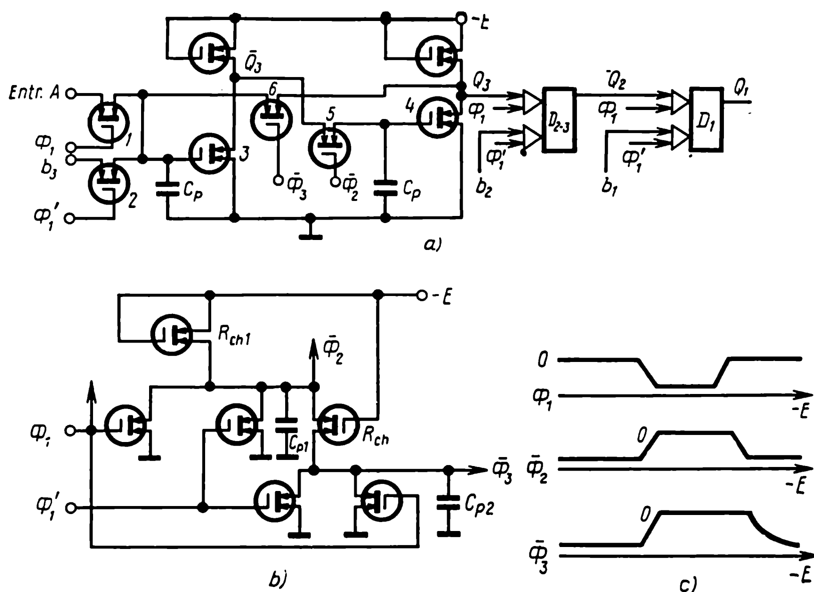


Fig. 4.19. Registre en série-parallèle réalisé en bascules quasi statiques (*a*); formateur de « phases » (*b*) et diagramme de « phases » (*c*)

les principes de synthèse des registres statiques et quasi statiques du type parallèle, série et série-parallèle en transistors MOS sont les mêmes que dans le cas des montages en transistors bipolaires déjà examinés.

Considérons à titre d'exemple un registre série-parallèle, réalisé avec les bascules quasi statiques. Le schéma d'un tel registre à trois bits, capable du décalage vers la droite et de l'écriture en parallèle du nombre codé, fait l'objet de la fig. 4.19. Il contient trois bascules *D* et un formateur de suite « triphasée » des impulsions de commande, unique pour tous les « bits » du registre. La première « phase » (Φ_1 et Φ_1') correspond à l'impulsion d'horloge apparaissant à l'entrée du circuit de commande sous forme de niveau 1 ; la « phase » $\bar{\Phi}_2$ est inverse de la « phase » Φ_1 ; la troisième « phase » $\bar{\Phi}_3$, inverse, elle aussi, subit un changement de niveau, après la cessation de l'impulsion d'horloge, beaucoup plus lent que la « phase » $\bar{\Phi}_2$. La « phase » $\bar{\Phi}_2$ est souvent appelée « rapide » et la « phase » $\bar{\Phi}_3$, « lente ». L'impulsion $T_1 = \Phi_1$ s'applique aux grilles de tous

les premiers transistors MOS de porte; l'impulsion $T'_1 = \Phi'_1$, aux grilles des deuxièmes transistors MOS de porte des bascules-bits du registre. La « phase » $\overline{\Phi}_2$ attaque les grilles des transistors placés dans la boucle de réaction entre la sortie du côté $\overline{Q}$ et l'entrée du côté Q de bascules-bits D. La « phase » $\overline{\Phi}_3$ s'applique aux grilles des transistors par lesquels la sortie du côté Q est bouclée sur l'entrée du côté $\overline{Q}$ dans les bascules-bits D. Le chronogramme des « phases » de commande est également donné fig. 4.19 *b*.

Le comportement de la bascule D quasi statique à trois cadences en transistors MOS étant présenté de façon assez détaillée au chapitre 3, nous allons examiner dans ces pages le déroulement de l'écriture en parallèle et du décalage d'un nombre codé à trois chiffres dans le registre schématisé fig. 4.19. Supposons le registre recevoir sur ses entrées parallèles le code du nombre B_1 correspondant à $b_1 = 0$; $b_2 = 1$; $b_3 = 1$.

Pour le ranger dans le registre, il faut appliquer $\Phi' = 1$, ce qui aura pour effet l'ouverture des deuxièmes portes des bascules-bits D. Comme $b_2 = b_3 = 1$, les côtés $\overline{Q}_2$, $\overline{Q}_3$ dans les deuxième et troisième « bits » seront au niveau 0, et comme, d'autre part $b_1 = 0$, le côté Q dans le premier « bit » prendra le niveau 1. Pendant $\Phi'_1 = 1$ les sorties $\overline{\Phi}_2$ et $\overline{\Phi}_3$ du formateur passeront aux niveaux 0 qui, arrivés sur les grilles des transistors 5 et 6, produiront le blocage des portes de réaction des bascules D. L'effet en est que pendant l'impulsion d'horloge les côtés Q sont maintenus aux niveaux précédents par la charge accumulée dans la capacité parasite de la grille du transistor 7 du côté Q (capacité C_p). Après la disparition de l'impulsion de cadence ($\Phi'_1 = 0$) les portes 2 de la totalité des bascules D seront fermées, mais la tension sur les entrées $\overline{Q}$ des bascules-bits ne change pas pour autant car la capacité parasite de la grille du transistor 4 du côté Q conserve sa charge. Les niveaux 1 apparaissent aux sorties $\overline{\Phi}_2$ et $\overline{\Phi}_3$ du formateur de « phases » avec un certain retard l'un par rapport à l'autre: d'abord, la « phase rapide » $\overline{\Phi}_2 = 1$ fait conduire le transistor de porte 5, ensuite la « phase lente » $\overline{\Phi}_3 = 1$ met en débit le transistor de porte 6, placé dans la boucle de réaction de la bascule. La conséquence en est que le niveau logique à la sortie $\overline{Q}$ sera égal à l'inversion du niveau à la sortie $\overline{Q}$ de la bascule.

Dans notre cas: $\overline{Q}_1 = 1$ et $Q_1 = 0$; $\overline{Q}_2 = 0$ et $Q_2 = 1$; $Q_3 = 0$ et $\overline{Q}_3 = 1$, c.-à-d. qu'il y a eu écriture en parallèle du code « triphasé » du nombre B. Le décalage du contenu du registre d'un bit vers la droite aura lieu à l'arrivée du signal $\Phi_1 = 1$ qui devra ouvrir les portes 1 de toutes les bascules-bits D. Dans ces conditions, en conformité du séquencement décrit ci-dessus, après la cessation de l'impulsion d'horloge ($\Phi_1 = 0$) l'état de la bascule D_2 sera imposé à la bascule D_1, celui de la bascule D_3 à la bascule D_2 et la bascule D_3 recevra le code à partir de l'entrée série du registre (entrée A).

En l'occurrence (soit $A = 0$), après la première impulsion d'horloge, le code occupant le registre à trois bits sera: $Q_1 = 1$, $Q_2 = 1$ et $Q_3 = 0$, c.-à-d. qu'il y aura décalage du code de nombre d'un bit vers la droite.

Les registres du type quasi statique à commandes « triphasée » et « biphasée », conçus en transistors MOS à canal P et en transistors complémentaires, sont largement utilisés dans les dispositifs numériques à traitement de l'information série et série-parallèle. Les registres quasi statiques couvrent une gamme étendue des fréquences comprise entre $F_{\text{mini}} \approx 0$ Hz et $F_{\text{maxi}} = 1$ à 2 MHz (transistors à canal P) jusqu'à $F_{\text{maxi}} = 10$ à 15 MHz (C/MOST).

Le désavantage des registres quasi statiques consiste dans une consommation permanente de puissance par les bascules D au régime de mémorisation. C'est là la raison d'une généralisation des registres à transistors MOS fonctionnant en mode dynamique, ce qui a permis un abaissement considérable de consommation moyenne par bit par rapport aux registres du type statique et quasi statique.

4.5.1. Registres dynamiques à transistors MOS

Les registres dynamiques ont pour caractère de fonctionner au régime multicadence; ils font fonction de registres à décalage et peuvent servir d'éléments de retard. Il existe aujourd'hui des registres dynamiques à deux et à quatre cadences.

Les registres dynamiques, tout comme les quasi statiques, profitent de la propriété des transistors MOS de conserver pendant longtemps la charge dans la capacité parasite de la grille (C_p). Pourtant, si les registres quasi statiques n'utilisent cette propriété que lors de l'écriture de l'information, les registres dynamiques y ont recours tant en écriture qu'en mémorisation de l'information.

La fig. 4.20 montre le schéma d'un registre dynamique à deux cadences réalisé avec les transistors MOS à canal P. Chaque « bit » du registre comporte 6 transistors (M_1 à M_6) : M_1 et M_2 constituent le premier inverseur; M_4 et M_5, le second inverseur; enfin, M_3 et M_6 font fonctions de portes. L'impulsion T_1 vient sur la grille du transistor ballast M_1 du premier inverseur et simultanément sur la grille du transistor de porte M_3. L'impulsion T_2 s'applique à la fois à la grille du transistor ballast M_5 et à celle du transistor de porte M_6.

Examinons le processus d'écriture de l'information dans le registre dynamique. Supposons que le registre ait reçu en entrée le code $Q_1 = 1$, c.-à-d. que la capacité parasite C_1 de la grille du transistor M_2 est chargée et maintient ce transistor en état conducteur. A l'apparition d'un signal $T_1 = 1$, les transistors M_1 et M_3 entrent en débit et comme le M_2 conduit, $\overline{Q}_n = 0$, ce qui entraîne la décharge de la capacité parasite de la grille du transistor M_4 (C_2). Après la disparition de la première impulsion ($T_1 = 0$), la C_2 aura une « charge » au niveau de 0 logique. Un signal incident $T_2 = 1$

rendra passants le transistor ballast M_5 du second inverseur et la porte M_6. Le transistor M_4 étant bloqué par la grille, la capacité parasite à l'entrée du « bit » suivant du registre sera chargée à travers les transistors M_5 et M_6 en état conducteur au niveau de

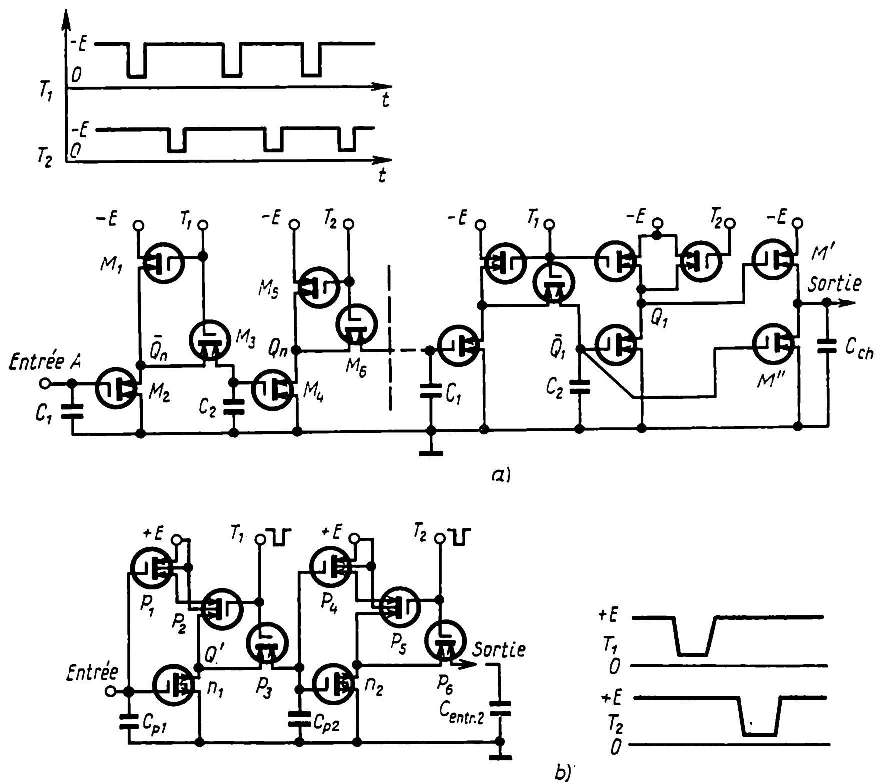


Fig. 4.20. Registre dynamique à deux cadences en transistors MOS : *a* — en transistors à canal *P*; *b* — en transistors complémentaires

1 logique. Ainsi, au bout de deux impulsions d'horloge, le « bit » le plus significatif du registre mémorisera le code du premier chiffre du nombre A ($a_1 = 1$ et $a_n = 1$). Si $a_1 = 0$, le premier inverseur restera fermé ($\overline{Q} = 1$) à la première impulsion d'horloge incidente ($T_1 = 1$) et la capacité parasite C_2 de la grille du transistor M_4 sera chargée au niveau de 1 logique. Au moment du signal $T_2 = 1$, les transistors M_5 et M_6 passeront à la conduction et, comme le transistor M_4 sera, lui aussi, conducteur, la charge de la capacité à l'entrée du « bit » suivant du registre sera ramenée au niveau de 0 logique. L'effet en est qu'au bout de deux impulsions d'horloge le « bit » le plus significatif du registre (Q_n) recevra le code d'un chiffre du nombre A ($a_1 = 0$ et $Q_n = 0$).

Les impulsions d'horloge T_1 et T_2 apparaissant à la fois sur tous les « bits » du registre, le décalage de l'information s'opère en simultanéité dans la totalité des « bits ». Toutes les deux impulsions d'horloge, il y a dans le registre décalage du nombre codé d'un bit vers la droite. Le décalage du nombre de N bits nécessitera donc une suite de $2N$ impulsions d'horloge. Le nombre de transistors MOS formant un seul « bit » du registre dynamique à deux cadences est le même que pour le registre quasi statique à trois cadences (cf. fig. 4.19 et 4.20).

Comparé au registre quasi statique, le registre dynamique à deux cadences a à son avantage de consommer beaucoup moins de puissance. Cela tient au fait que la consommation n'a lieu que pendant les impulsions d'horloge, lorsque les transistors MOS ballasts passent à la conduction. Comme la durée de l'impulsion d'horloge, qui est fonction du temps minimal admissible de charge des capacités parasites (C_1 et C_2) est peu importante ($\tau_1 = 0{,}5$ à $2{,}0$ μs) la consommation moyenne par bit l'est, elle aussi. La consommation moyenne par bit des registres dynamiques est 3 à 5 fois inférieure à celle des quasi statiques. Pour conférer au registre dynamique, chargé d'une capacité de forte valeur C_{ch}, un bon facteur de charge de sortie, sa sortie est constituée par un étage puissant (fig. 4.20). Les grilles des transistors M' et M'' de l'amplificateur de sortie sont reliées respectivement aux sorties Q_1 et $\bar{Q}_1$ du « bit » le moins significatif du registre. Si le « bit » le moins significatif contient un code $Q_1 = 1$, $\bar{Q}_1 = 0$, le transistor M' conduit et le transistor M″ non: la capacité C_{ch} sera vite chargée à travers le M'. Si, d'autre part, le contenu du « bit » le moins significatif est $Q_1 = 0$, $\bar{Q}_1 = 1$, le transistor M' est bloqué et le transistor M'', passant: la capacité C_{ch} sera vite déchargée à travers le M''.

A la fig. 4.20 *b* on trouve le schéma d'un « bit » du registre dynamique à deux cadences, réalisé en transistors MOS complémentaires. A la différence de la réalisation en transistors MOS à canal P, chaque inverseur comporte ici non pas deux, mais trois transistors. En cas de signaux d'horloge négatifs, chaque inverseur se compose de deux transistors à canal P (P_1, P_2 et P_4, P_5) et d'un seul transistor à canal N (n_1, n_2); les transistors qui font fonction de portes sont à canal P (P_3 et P_6).

Examinons rapidement le fonctionnement du registre. Lorsque l'entrée du registre est au niveau 1, c.-à-d. que la capacité C_{p1} est chargée, le transistor n_1 conduit et le transistor P_1 non. Sur la première impulsion d'horloge ($\bar{T}_1 = 0$) le transistor de porte P_3 se met à débiter et la capacité C_{p2} du second inverseur sera déchargée à 0 à travers les transistors ouverts P_3 et n_1.

Le transistor n_2 sera bloqué et le transistor P_4 passera à la conduction, ce qui fournira à l'apparition de la deuxième impulsion d'horloge ($\bar{T}_2 = 0$) la charge de la capacité d'entrée du deuxième « bit » du registre à travers les transistors passants P_4, P_5 et P_6.

Les transistors P_5 et P_6 conduisent pendant $\overline{T}_2 = 0$. De cette manière, au bout de deux impulsions d'horloge le signal d'entrée 1 se transmet à la sortie du « bit » du registre. Il convient de noter que dans un inverseur en transistors complémentaires le passage du courant à travers P_1, P_2 et n_1 comme à travers P_4, P_5 et n_2 est impossible, car quel que soit le niveau du signal à l'entrée de l'inverseur l'un des transistors est toujours bloqué. Si l'entrée de l'inverseur est au niveau 1, c'est le transistor P_1 (P_4) qui est bloqué, si au contraire l'entrée de l'inverseur est au niveau 0, c'est le transistor n_1 (n_2) qui ne conduit pas. Ainsi, en présence d'impulsions d'horloge, le courant consommé sur la source d'alimentation est celui de charge des capacités parasites. Cela permet de réduire plusieurs fois la consommation par « bit » dans le registre en C/MOST par rapport au registre dynamique en transistors MOS à canal P.

Comparés aux registres du type statique et quasi statique, les registres dynamiques à décalage en C/MOST comme en MOST à canal P comportent le moins de composants. Etant donné leur consommation minime, ils devront trouver de nombreux emplois dans les LSI à très grande intégration.

4.5.2. Registre dynamique à quatre cadences

Les registres dynamiques, dans lesquels le décalage de l'information implique quatre impulsions d'horloge, offrent une fréquence de fonctionnement plus élevée et une consommation par bit moins grande que les registres dynamiques à deux cadences.

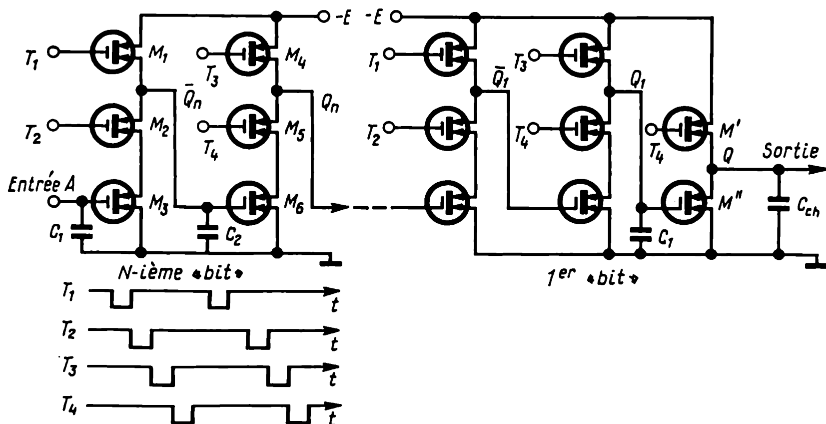


Fig. 4.21. Registre dynamique à décalage à quatre cadences

La fig. 4.21 donne le schéma d'un registre dynamique à quatre cadences en transistors MOS à canal P dont chaque « bit » en comporte 6 (M_1 à M_6). Un « bit » du registre se compose de deux inverseurs : l'un utilisant les transistors M_1, M_2 et M_3 ; l'autre, les transistors

M_4, M_5 et M_6. Les impulsions T_1 et T_2 s'appliquent aux grilles des transistors M_1 et M_2 respectivement; les impulsions T_3 et T_4, aux grilles des transistors M_4 et M_5. La grille du transistor M_3 du premier inverseur constitue l'entrée du « bit », la grille du transistor M_6 est reliée à la sortie du premier inverseur ($\overline{Q}$) et la sortie du second inverseur (Q) est celle du « bit ».

Considérons le déroulement de l'écriture du nombre codé A dans le registre (posons $a_1=1$). A l'arrivée de T_1, le transistor M_1 entre en débit et la capacité C_2 de la grille du transistor M_6 se charge au niveau de 1 logique. Après la cessation de T_1, la T_2 apparaît et rend conducteur le transistor M_2 et, comme le transistor M_3 conduit sous l'effet du niveau $Q_n = 1$, la capacité C_2 est déchargée ($\overline{Q}_n = 0$). Ensuite arrive la T_3 qui débloque le transistor M_4 dont le débit charge la capacité d'entrée C_1 du « bit » suivant du registre. A la fin de T_3, c'est la T_4 qui vient pour mettre en conduction le transistor M_5. Le transistor M_6 étant bloqué par le niveau $\overline{Q}_n = 0$, la charge de la capacité C_1 à l'entrée du $(N - 1)$-ième « bit » demeure au niveau $Q_n = 1$.

L'effet de ces quatre impulsions consécutives est que le code de nombre reçu en entrée A se trouve inscrit dans le « bit » le plus significatif du registre (pour $a_1 = 1$, $Q_n = 1$). Il est également facile d'étudier le processus d'écriture du code $a_1 = 0$. Le registre dynamique à quatre cadences a ceci de particulier que pendant le travail les transistors de chaque inverseur ne sont jamais conducteurs tous à la fois. Cela est rendu possible par le décalage dans le temps entre toutes les impulsions d'horloge T_1 à T_4. Aussi, aucun courant ne passe-t-il depuis la source d'alimentation vers le fil de terre. L'absence du courant « global » fait que la consommation moyenne est en l'occurrence 2 à 3 fois inférieure à celle du registre dynamique à deux cadences.

Pour assurer au registre un facteur de charge de sortie élevé on place à sa sortie un amplificateur puissant (fig. 4.21). Dans cet amplificateur, les transistors M' et M'' sont commandés par application à leurs grilles respectivement de l'impulsion T_4 et du signal fourni par la sortie Q_1. La capacité C_{ch} se charge par le transistor MOS M' en état de conduction dans le cas où $Q = 0$, $T_4 = 1$. Lors que $Q_1 = 1$ ($\overline{Q}_1 = 0$), pendant l'impulsion d'horloge T_4 la capacité C_{ch} sera vite déchargée à travers le M''. L'effet en est que la capacité C_{ch} reçoit les charges répétées avec assez de rapidité à travers l'un des transistors passants de l'amplificateur de sortie.

Les registres dynamiques à quatre cadences jouissent d'une bonne rapidité de fonctionnement, grâce à l'emploi de transistors MOS à pente raide, c.-à-d. à faible résistance du canal drain-source « ouvert ». Ceci est possible du fait de l'ouverture « incomplète » des inverseurs, autrement dit, de l'impossibilité pour le courant de traverser de part en part le circuit drain-source des transistors M_1, M_2 et M_3 ou M_4, M_5 et M_6. En raison de faible résistance de

conduction des transistors MOS constituant le registre à quatre cadences, la récurrence de charge des capacités « internes » (C_1 et C_2) est élevée, ce qui augmente d'une manière significative la rapidité de fonctionnement du registre.

Il est à noter aussi que le registre à quatre cadences se distingue par une consommation moyenne par bit moindre et une fréquence de décalage utile 2 à 3 fois plus grande que dans le cas du registre à deux cadences. Il reste néanmoins que les registres à quatre cadences nécessitent un distributeur d'impulsions d'horloge plus compliqué que ceux à deux cadences. L'inconvénient commun à la totalité des registres dynamiques est de comporter une limite inférieure de fréquence utile, imposée par un temps fini de stockage de la charge (des niveaux logiques) dans les capacités parasites des transistors MOS. D'une manière générale, la limite inférieure de la gamme des fréquences utiles des registres dynamiques F_{mini} est comprise entre 1,0 et 10 kHz. Comme on l'a déjà signalé, les registres dynamiques sont largement utilisés à titre de lignes à retard numériques et dans les dispositifs de traitement de l'information en série. Ces derniers temps, on voit les registres quasi statiques et dynamiques à grande capacité s'implanter intensément dans les mémoires internes à accès en série ultra-volumineuses.

Les registres à base des circuits intégrés MOS du type statique s'utilisent notamment comme éléments des dispostifs de commande et dans les montages à faible capacité digitale fonctionnant en parallèle.

L'emploi de bascules quasi statiques isolées et de registres à faible capacité qui en sont formés dans les dispositifs de commande n'est pas économique du fait que les bascules quasi statiques doivent comporter des formateurs de « phases » spéciaux conduisant à une augmentation du nombre de transistors MOS par « bit ». Dans les registres à grande capacité, la part des transistors du formateur de « phases » est peu importante. A l'heure actuelle, les registres quasi statiques et dynamiques à grande capacité, réalisés en transistors MOS à canal P et en transistors complémentaires, constituent plus de la moitié des circuits LSI MOS à très grande intégration fabriqués en série.

4.6. *Modes de lecture de l'information sur les registres*

Selon le principe de lecture de l'information, on distingue les registres à extraction du code de nombre en parallèle et en série. L'extraction du code de nombre en parallèle, réalisable sur les registres en parallèle, en série et en série-parallèle, se caractérise par une lecture simultanée des informations sur tous les « bits » (bascules) du registre.

L'extraction du code de nombre en série qui n'est possible qu'avec les registres en série ou série-parallèle (à décalage) se traduit par

une lecture bit par bit de l'information décalée dans le registre soit sur la sortie du « bit » le moins significatif (cas du décalage direct du code de nombre) soit sur celle du « bit » le plus significatif (cas du décalage inverse du code).

L'information á lire peut être écrite en code droit monophasé, en code inverse monophasé, en code droit biphasé et en code inverse biphasé.

En cas de lecture en code droit monophasé, l'information issue de la sortie de code droit du « bit » (côté Q de la bascule) est aiguillée par la porte de lecture vers la voie de code droit. En lecture en code inverse monophasé, l'information fournie par la sortie de code inverse du « bit » (côté $\bar{Q}$ de la bascule) se transmet à travers la porte de lecture sur la voie de code droit. Selon les portes logiques utilisées pour la lecture de l'information (circuits ET-NON, OU-NON, ET-OU-NON) leur branchement sur les « bits » du registre peut être différent.

Fig. 4.22. Lecture en code monophasé :
a — code droit; *b* — code inverse

La fig. 4.22 montre sur l'exemple d'un seul « bit » les schémas de principe de la lecture de l'information en codes monophasés droit (en *a*) et inverse (en *b*). Les fonctions de portes sont faites par les circuits ET-NON (un circuit ET-NON à deux entrées par « bit »). L'une des entrées de la porte est raccordée à la sortie Q

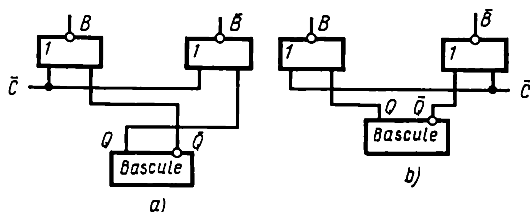


Fig. 4.23. Lecture en code biphasé :
a — code droit; *b* — code inverse

ou $\bar{Q}$ de la bascule, l'autre entrée étant destinée au signal de lecture de code L. Le signal L est unique pour la totalité des portes de lecture de l'information du registre. En cas de lecture du code droit (supposons $Q = 1$), un signal incident $L = 1$ rendra passante la porte ($Q \cdot L = 1$) qui, par double complémentation, aura à sa sortie un signal $B = 1$. Après la disparition du signal de lecture ($L = 0$) la porte sera bloquée. La lecture de l'information en code monophasé inverse s'effectue de manière analogue. Au moment du signal $L = 1$, la sortie B va délivrer un signal correspondant au niveau à la sortie du « bit » $\bar{Q}$.

A la fig. 4.23 on trouve, à titre d'exemple relatif à un seul « bit », les circuits de lecture du code biphasé, réalisés en éléments logiques OU-NON. Examinons le processus de lecture du code droit biphasé (fig. 4.23 *a*). Lorsque $Q = 1$ ($\bar{Q} = 0$) et qu'un signal $\bar{L} = 0$ vient, la sortie B sera au niveau 1 et la sortie $\bar{B}$ au niveau 0. Si $Q = 0$, à l'arrivée d'un signal $\bar{L} = 0$, la sortie B sera au niveau 0 et la sortie $\bar{B}$ au niveau 1. A la fin de l'impulsion de lecture ($\bar{L} = 1$) les sorties B et $\bar{B}$ auront les mêmes niveaux 0. Il en résulte que le circuit de la fig. 4.23 *a* permet le transfert biphasé du code droit d'un « bit ». Le circuit de la fig. 4.23 *b*, dont le fonctionnement est similaire, fait la lecture du code biphasé inverse.

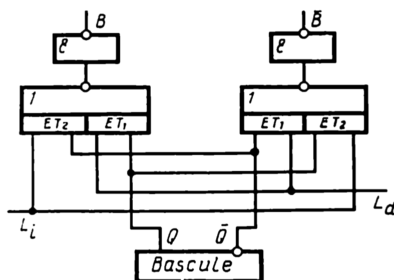


Fig. 4.24. Lecture en code biphasé, droit et inverse

La fig. 4.24 met en évidence, sur l'exemple d'un seul « bit », le principe de lecture de l'information en code biphasé, droit et inverse, avec l'emploi d'éléments logiques ET-OU-NON. Chaque élément comporte deux circuits ET (ET_1, ET_2). Le signal $L_d = 1$ produit le transfert vers la sortie des portes (B et $\bar{B}$) du code biphasé droit et le signal $L_i = 1$ du code biphasé inverse du bit.

Si le code du « bit » du registre $Q = 0$; $\bar{Q} = 1$, l'apparition d'un signal $L_d = 1$ aura pour effet l'ouverture du circuit ET_1 de la porte de la voie de code inverse ($\bar{B}$) qui aura à sa sortie le niveau 1, tandis que la sortie B gardera le niveau 0, c.-à-d. qu'il y aura transfert du code biphasé droit. Après la cessation du signal de lecture du code biphasé droit ($L_d = 0$) les sorties des portes prendront un même niveau $B = \bar{B} = 0$. Un signal incident $L_i = 1$ fera conduire le circuit ET_2 de la porte de la voie de code droit (B) dont la sortie passera au niveau 1 et, comme la sortie $\bar{B}$ sera maintenue au niveau 0, il y aura transfert du code biphasé inverse. Il est aisé de réaliser d'autres variantes des circuits de lecture: en éléments OU-NON pour lire l'information en code monophasé; en éléments ET-NON pour lire l'information en code biphasé, etc. Les modes de lecture de l'information, pris à part ou en combinaison, sont applicables dans le cadre d'un dispositif numérique donné de manière à aboutir à une organisation optimale.

4.7. *Exécution des opérations logiques par les registres*

Les registres permettent de réaliser, de façon assez rustique, des opérations logiques simples sur les codes de nombre. Considérons de plus près l'exécution de trois opérations logiques fondamentales:

Tableau 4.1

Q_A^t	Q_B^t	Q_A^{t+1}	Q_A^t	Q_B^t	Q_A^{t+1}
0	0	0	0	1	1
1	0	1	1	1	1

addition logique bit à bit, multiplication logique bit à bit, addition bit à bit en module 2. Le principe de l'opération d'addition logique bit à bit (opération OU) qui s'interprète par le tabl. 4.1 peut se représenter par une expression:

$$Q_A^{t+1} = Q_A^t + Q_B^t, \tag{4.5}$$

où Q_A^t est le chiffre codé du nombre dans le registre de premier nombre à ajouter et de résultat avant l'application du signal d'addition logique; Q_B^t est le chiffre codé du nombre dans le registre du second nombre à ajouter; Q_A^{t+1} est le chiffre codé du nombre dans le registre de premier nombre à ajouter et de résultat après l'application du signal d'addition logique.

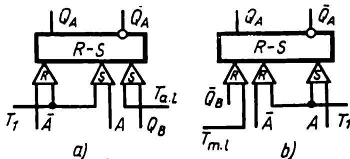


Fig. 4.25. Schémas des opérations logiques:
a — addition logique; *b* — multiplication logique

Pour réaliser l'opération d'addition logique bit à bit, le registre de premier nombre à ajouter et de résultat (chacun de ses « bits ») peut être conçu, par exemple, en bascule *R-S* munie d'une entrée pilotée *S* supplémentaire, reliée en condition OU avec la première entrée *S*. La fig. 4.25 *a* représente le schéma d'un seul « bit » d'un tel registre. L'entrée *S* supplémentaire sert à l'écriture dans le registre du second nombre à ajouter sous forme de code monophasé droit, validée par le signal d'addition logique ($T_{\text{a.l.}}$). Le montage fonctionne dans l'ordre suivant. Au début, l'impulsion $T_1 = 1$ fait ranger dans le registre le nombre codé A (par exemple, pour $A = 0$ et $\bar{A} = 1$, le code en sortie sera $Q_A = 0$ et $\bar{Q}_A = 1$); si le second nombre à ajouter est $Q_B = 1$ et que le signal d'addition logique arrive ($T_{\text{a.l.}} = 1$), la porte supplémentaire s'ouvrira et la bascule passera à l'état $Q_A = 1$; $\bar{Q}_A = Q_B$, c.-à-d. qu'il y aura opération d'addition logique de deux nombres codés.

Le principe de l'opération de multiplication logique bit à bit (opération ET), donné par le tabl. 4.2, doit avoir pour expression:

$$Q_A^{t+1} = Q_A^t \cdot Q_B^t. \tag{4.6}$$

Pour pouvoir exécuter l'opération de multiplication logique bit à bit, chaque « bit » du registre peut être constitué, par exemple,

par une bascule R-S dotée d une entrée pilotée R supplémentaire, connectée en condition OU à la première entrée R. La fig. 4.25 *b* représente le schéma d'un seul «bit» du registre assurant l'exécution de l'opération de multiplication logique. L'entrée supplémentaire a pour but d'introduire dans le registre le multiplicateur sous forme de code monophasé inverse sur le signal de multiplication logique ($T_{m.l.}$).

Tableau 4.2

Q_A^t	Q_B^t	Q_A^{t+1}
0	0	0
0	1	0
1	0	0
1	1	1

Tableau 4.3

Q_A^t	Q_B^t	Q_B^{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Examinons le fonctionnement du registre en multiplieur. Au départ, l'impulsion $T_1 = 1$ fait écrire dans le registre le nombre codé A qui est le multiplicande (par exemple, pour $A = 1$ et $\bar{A} = 0$, le code inscrit sera $Q_A = 1$ et $\bar{Q}_A = 0$). Si le multiplicateur est $Q_B = 0$ ($\bar{Q}_B = 1$) et qu'un signal de multiplication logique apparaît ($T_{m.l.} = 1$), la porte supplémentaire devient passante et la bascule prend l'état $Q_A = 0$. Si, d'autre part, le multiplicateur est $Q_B = 1$ ($\bar{Q}_B = 0$) et qu'un signal $T_{m.l.} = 1$ arrive, la porte R demeure fermée et la bascule conserve son état $Q = 1$. On voit donc que le montage schématisé fig. 4.25 *b* effectue l'opération de multiplication logique bit à bit.

L'opération d'addition bit à bit en module 2, résumée dans le tableau 4.3, se laisse écrire sous forme de l'expression:

$$Q_A^{t+1} = Q_A^t \cdot \bar{Q}_B^t + \bar{Q}_A^t \cdot Q_B^t. \qquad (4.7)$$

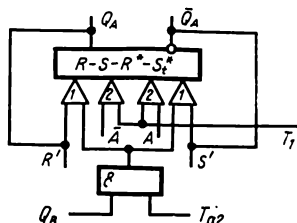


Fig. 4.26. Schéma de l'addition bit à bit en module 2

Pour pouvoir réaliser l'opération d'addition bit à bit en module 2, chaque « bit » du registre de premier nombre à ajouter et de résultat peut être formé, par exemple, avec une bascule R-S à deux couples d'entrées. Le premier couple d'entrées R' et S' est relié en croix aux sorties de la bascule, ce qui transforme l'entrée horloge de ce couple en entrée de comptage du « bit » (T) qui reçoit à travers un circuit ET à deux entrées le code monophasé droit du second nombre à ajouter. La seconde entrée du circuit ET sert à l'application du signal d'addition bit à bit en module 2 (T_{a_2}).

On trouve à la fig. 4.26 le schéma d'un seul « bit » du registre réalisant l'opération d'addition bit à bit en module 2. Considérons le fonctionnement du registre. Une impulsion $T_1 = 1$ effectue l'écriture du nombre codé A (par exemple, pour $A = 1$ et $\bar{A} = 0$, le code en sortie sera $Q_A = 1$ et $\bar{Q}_A = 0$). Si le second nombre à ajouter est $Q_B = 1$ et qu'un signal d'addition bit à bit (T_{a2}) se présente, le circuit ET passera à la conduction et la bascule recevra une impulsion sur son entrée de comptage. L'effet en est qu'après la cessation du signal T_{a2} la bascule va inverser son état qui deviendra $Q_A = 0$. Si, d'autre part, le second nombre à ajouter est $Q_B = 0$, l'apparition d'un signal $T_{a2} = 1$ n'entraînera pas le débit du circuit ET et la bascule ne changera pas d'état ($Q_A = 1$).

Dans le cas où le code du premier nombre à ajouter, contenu dans le registre, correspond à $Q_A = A = 0$; $\bar{Q}_A = \bar{A} = 1$, son changement en code $Q_A = 1$ n'aura de nouveau lieu que pour $Q_B \cdot T_{a2} = 1$. c.-à-d. que lorsque le code du second nombre à ajouter sera $Q_B = 1$. Il en résulte qu'après l'opération d'addition bit à bit le code en sortie du « bit » sera $Q_A = 1$ dans le seul cas $Q_A = 1$ et $Q_B = 0$ ou $Q_A = 0$ et $Q_B = 1$.

CHAPITRE V

Compteurs

Introduction

Le comptage d'impulsions est une des opérations les plus fréquentes dans les dispositifs de traitement de l'information numérique. Cette opération est réalisée à l'aide de compteurs. Suivant leur destination, on distingue les compteurs unidirectionnels et bidirectionnels (réversibles), les premiers se divisant à leur tour en compteurs normaux (d'addition) et rétrogrades (de soustraction).

Le compteur normal est destiné à réaliser le comptage en sens direct, c.-à-d. l'addition. Chaque nouvelle impulsion de comptage se présentant à l'entrée du compteur augmente son contenu d'une unité. Le compteur rétrograde sert à effectuer l'opération de comptage en sens inverse, c.-à-d. la soustraction. Chaque impulsion de comptage introduite à l'entrée d'un tel compteur diminue son contenu d'une unité.

On appelle compteurs réversibles (compteurs-décompteurs) les compteurs qui effectuent l'opération de comptage aussi bien en sens direct qu'en sens inverse, c.-à-d. pouvant fonctionner en comptage et en décomptage.

On connaît trois procédés principaux de synthèse des compteurs d'impulsions:

— à base des bascules de comptage;

— à base des registres et des circuits en anneau (compteurs à décalage);

— à base des circuits multistables.

Les principales caractéristiques des compteurs sont:

a) le module ou la capacité de compteur (K_c);

b) la rapidité de fonctionnement.

Le module (ou la capacité K_c) caractérise le nombre d'états stables du compteur, c.-à-d. le nombre maximal d'impulsions qu'il peut compter. Par exemple, pour $K_c = 8$, le compteur comporte 8 états stables et sur chaque huitième impulsion appliquée à son entrée il reprend son état premier.

La rapidité de fonctionnement du compteur est caractérisée par deux paramètres:

f_c — fréquence des impulsions de comptage;

t_p — temps de positionnement (ou d'établissement) du compteur.

Le paramètre f_c caractérise la fréquence maximale des impulsions de comptage appliquées à l'entrée du compteur.

Pour les compteurs commandés par le niveau de l'impulsion d'horloge, le temps de formation du code dans le compteur traduit l'intervalle de temps maximal compris entre l'instant d'application de l'impulsion de comptage et celui d'établissement du code dans le compteur. Pour les compteurs fonctionnant en régime à retard interne, le temps d'établissement t_e est déterminé par l'intervalle maximal entre l'instant de cessation de l'impulsion de comptage et celui d'établissement du code dans le compteur *). On suppose que la lecture du code se fait en parallèle dans tous les « bits » du compteur.

Dans les compteurs réalisés à l'aide de bascules de comptage à retard interne de type D_t, $R\text{-}S_t$, T_t, $J\text{-}K_t$, la commutation des « bits » se produit après la cessation de l'impulsion de comptage.

Dans les dispositifs de traitement d'information numérique, les compteurs sont utilisés pour le comptage des cycles, l'exécution des opérations de conversion de l'information, la formation de l'adresse dans les unités de commande, etc.

5.1. *Compteurs à bascules de comptage*

Une bascule de comptage représente un simple compteur d'impulsions modulo 2. En réunissant d'une manière déterminée plusieurs bascules de comptage, on parvient à réaliser un compteur à plusieurs positions.

L'emploi de bascules de comptage à plusieurs cadences permet de construire des compteurs à plusieurs cadences. Cependant, ce sont justement les compteurs en bascules à cadence unique qui présentent le plus d'intérêt en pratique. Aussi, dans la suite de ce chapitre sera-t-il question principalement des compteurs à cadence unique.

Suivant le mode de couplage interbits, on distingue:

— les compteurs à couplage direct;

— les compteurs à couplage par circuits de report (compteurs à report);

— les compteurs à couplages combinés.

Dans les compteurs à couplages directs, les « poids forts » sont commandés par les niveaux obtenus aux sorties d'information des « poids faibles ».

Les compteurs à report sont caractérisés par la commande des « poids forts » à l'aide d'impulsions de report issus des « poids faibles ».

Dans les compteurs à couplages combinés, les « poids forts » sont commandés aussi bien par les niveaux des signaux obtenus aux sorties d'information que par les impulsions de report des « poids faibles ».

---

*) Après la fin des transitions dans tous les « bits » du compteur.

Tous ces compteurs trouvent leur application dans la technique électronique digitale. Le choix du procédé le plus efficace de réalisation du compteur dépend des exigences imposées au compteur et de l'ensemble des bascules de comptage et des circuits logiques dont dispose le concepteur.

5.1.1. Compteurs à couplages directs

Suivant le mode d'interconnexion des bascules-bits, les compteurs à couplages directs peuvent se diviser en trois types suivants:
— compteurs série;
— compteurs parallèles;
— compteurs série-parallèle.

5.1.2. Compteurs à couplages directs série

Dans les compteurs série, chaque $(i + 1)$-ième « bit » suivant est commandé par les signaux provenant des sorties d'information $(Q, \bar{Q})$ du i-ième « bit » précédent, l'impulsion de comptage étant appliquée à l'entrée du premier « bit ». Suivant le mode d'interconnexion des « bits », on distingue les compteurs série à couplages des « bits » par un, deux, trois, etc., conducteurs. Les plus répandus sont les compteurs à couplage par un ou deux conducteurs.

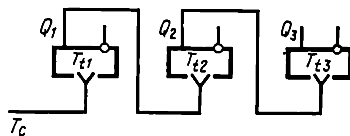


Fig. 5.1. Compteur série à couplage monoconducteur

Le schéma synoptique d'un compteur réalisé avec les bascules du type T_t à couplage par un conducteur est donné fig. 5.1. Ce compteur est organisé de manière à avoir la sortie Q du i-ième « bit » raccordée directement à l'entrée de comptage du $(i + 1)$-ième « bit » suivant. On voit donc que le compteur utilise une seule sortie d'information (couplage par un conducteur ou « monophasé »).

Considérons le fonctionnement de ce montage. Supposons tous les « bits » du compteur être équipés de bascules du type T_t montées en « Maître-Esclave » (« M-E »). Supposons aussi qu'initialement le compteur soit à l'état 0 $(Q_1 = Q_2 = Q_3 = 0)$. L'arrivée de l'impulsion de comptage $(T_c = 1)$ prépare le basculement du 1er « bit » qui, après la cessation de l'impulsion de comptage $(T_c = 0)$, passe à l'état $Q_1 = 1$. Le niveau 1 en provenance de la sortie Q_1 vient s'appliquer à l'entrée de comptage du deuxième « bit » en préparant ainsi le basculement de son Maître dans l'état 1. Dans ce cas, l'état de l'Esclave du deuxième « bit » et celui de tous les autres « bits » du compteur ne changent pas. Après la cessation de la deuxième impulsion de comptage $(T_c = 0)$ le premier « bit » reprend son état premier $Q_1 = 0$, le deuxième passe à l'état $Q_2 = 1$ et prépare le

basculement à l'état 1 du Maître du troisième « bit » et ainsi de suite. Après la septième impulsion de comptage, tous les « bits » du compteur seront placés dans l'état 1. La huitième impulsion fait passer le premier « bit » à l'état 0. Ensuite, le niveau $Q_1 = 0$ met le deuxième « bit » à l'état 0, le niveau $Q_2 = 0$ place le troisième « bit » du compteur à l'état 0, c.-à-d. le compteur revient à son état premier.

Déterminons les paramètres t_e et f_c du compteur réalisé selon le schéma de la fig. 5.1.

La valeur maximale de t_p dans les compteurs du type série est déterminée par le retard total que subit le transfert série de l'information depuis le « poids faible » au « poids fort » du compteur. En d'autres termes, le paramètre $t_{p.\,maxi}$ est déterminé par le temps que met le compteur pour passer du code $2^N - 1$ au code 000...0, c.-à-d. par l'expression

$$t_{p.\,maxi} = N\tau_t, \tag{5.1}$$

où N est le nombre de « bits » du compteur;

τ_t est le retard de basculement de la bascule T_t après la cessation de l'impulsion de comptage.

Compte tenu de la durée de l'impulsion de comptage on obtient:

$$T_c = \tau_1 + N\cdot\tau_t, \tag{5.2}$$

$$f_c = \frac{1}{\tau_1 + N\cdot\tau_t}$$

où τ_1 est la durée de l'impulsion de comptage;

T_c est la période des impulsions de comptage.

Alors, pour un compteur à trois positions (fig. 5.1.) en bascules de comptage avec $\tau_1 = 2\tau_{moy}$ et $\tau_t = 2\tau_{moy}$, nous obtenons $T_c = 8\tau_{moy}$.

Il en résulte qu'en lecture parallèle de l'information sur les « bits » du compteur, la fréquence maximale de répétition des impulsions de comptage (f_c) à son entrée ne doit pas dépasser $f_c = 1/8\tau_{moy}$.

Lorsque le compteur série fonctionne en diviseur de fréquence, c.-à-d. lorsque l'information n'est prélevée qu'à la sortie du « poids supérieur », la fréquence limite de son fonctionnement sera déterminée par la fréquence limite de commutation de la bascule de comptage formant le premier « bit »:

$$f_c = \frac{1}{\tau_1 + \tau_t}. \tag{5.3}$$

Le schéma fonctionnel d'un compteur série à couplage par deux conducteurs est représenté fig. 5.2. Le couplage entre les « bits » du compteur s'organise de manière que les sorties directes et inver-

ses (Q et $\bar{Q}$) de l'Esclave du i-ième « bit » soient connectées aux entrées horloge de l'Esclave et du Maître du ($i + 1$)-ième « bit ».

Considérons le fonctionnement du compteur sur l'exemple de trois « bits » en supposant qu'au départ son code est 000.

Après la cessation de la première impulsion de comptage, le premier « bit » du compteur prend l'état 1. Il en résulte l'ouverture des portes du Maître du deuxième « bit » et il passe à l'état $Q_2' = 1$. Les portes de l'Esclave sont fermées par le niveau $\bar{Q}_1 = 0$ de sorte que la transcription de l'information y est bloquée. Après la cessation de l'impulsion de comptage suivante, le premier « bit » prend

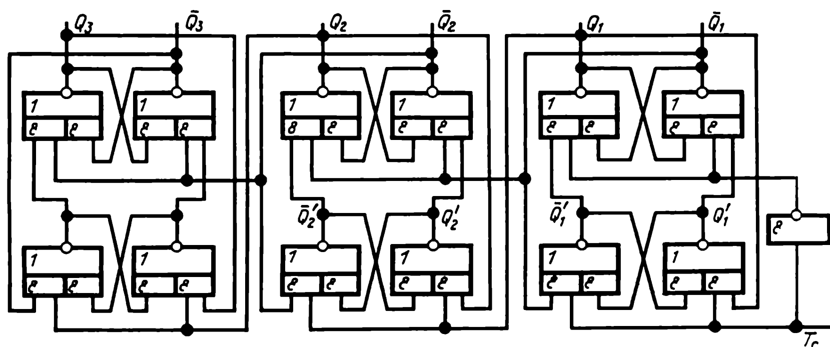


Fig. 5.2. Compteur série à couplage par deux conducteurs en éléments ET-OU-NON

l'état 0, ce qui produit l'ouverture des portes de l'Esclave du « bit » suivant (deuxième « bit ») et la fermeture des portes du Maître de sorte que le deuxième « bit » se met dans l'état 1 et le compteur enregistre le code 10. Le niveau $Q_2 = 1$ prépare le passage du « bit » suivant à l'état 1, etc.

Pour assurer un bon fonctionnement de ce compteur, il est nécessaire que pendant la transcription de l'information les niveaux hauts n'apparaissent pas simultanément sur les deux liaisons. Dans le montage de la fig. 5.2 cette condition est satisfaite, étant donné que le Maître et l'Esclave sont en éléments ET-OU-NON. Dans ce cas, le passage de l'Esclave de l'état 0 à l'état 1, ou vice versa, donne lieu à une combinaison de signaux $Q = \bar{Q} = 0$ et jamais $Q = \bar{Q} = 1$. Si, par exemple, le Maître se trouve dans l'état $Q = 1$, il est nécessaire d'appliquer le niveau haut à l'entrée R pour le faire passer à l'état 0. Dans ce cas, le niveau 0 apparaît à la sortie Q et, pendant le temps égal au retard de l'élément constituant le deuxième côté de la bascule, les sorties Q et $\bar{Q}$ sont portées au niveau logique 0. Si le Maître est à l'état 1, son basculement à l'état 0 n'est pas suivi de l'apparition de la combinaison de signaux $Q = \bar{Q} =$ $= 1$. Ainsi, à tout instant, la combinaison de signaux interdite est

absente aux sorties de l'Esclave, ce qui conduit à un fonctionnement stable du montage.

En plus des montages que nous venons de décrire, il existe d'autres réalisations des compteurs série, très simples par leur schéma. En revanche, ces compteurs sont caractérisés par la plus faible rapidité de fonctionnement. Les compteurs du type série sont largement utilisés dans les dispositifs numériques d'une rapidité de fonctionnement faible et moyenne, ainsi que dans les diviseurs de fréquence.

5.1.3. Compteurs parallèles à couplages directs

Les compteurs parallèles à couplages directs sont caractérisés par une application simultanée de l'impulsion de comptage aux entrées de comptage de tous les « bits » du compteur et par un branchement direct des sorties d'information des « bits » du poids faible aux entrées supplémentaires (entrées d'autorisation) des « bits » du poids fort du compteur.

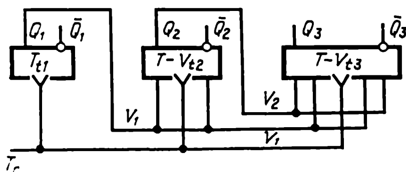


Fig. 5.3. Compteur parallèle (synchrone) en bascules du type $T\text{-}V_t$

Pour réaliser les compteurs parallèles à couplages directs on utilise les bascules à plusieur entrées des types $R\text{-}S_t$, D_t, $D\text{-}V_t$ et $J\text{-}K_t$. Ces bascule sont nécessaires pour en réaliser d'autres du type $T\text{-}V_t$ (bascules de comptage à plusieurs entrées d'autorisation V) remplissant la fonction de « bit » type dans les compteurs parallèles à couplages directs. Ils sont parfois appelés compteurs synchrones en raison de l'application simultanée (synchrone) de l'impulsion de comptage à tous les « bits » du compteur parallèle. Les compteurs synchrones jouissent de la plus haute rapidité de fonctionnement due au déclenchement simultané sur une impulsion de comptage de tous les « bits » du compteur.

La fig. 5.3. représente le schéma synoptique d'un compteur à trois positions en bascules $T\text{-}V_t$ à plusieurs entrées. Le compteur parallèle à couplages directs est organisé de manière que l'entrée V de la bascule du deuxième « bit » est reliée à la sortie Q_1 de la bascule du premier « bit », les deux entrées V de la bascule du troisième « bit » étant connectées aux sorties Q_1 et Q_2 des bascules équipant respectivement le premier et le deuxième « bits » du compteur, etc., tandis que les entrées de comptage de tous les « bits » sont attaquées par l'impulsion de comptage. Ainsi, pour établir un compteur parallèle, il convient d'utiliser les bascules du type $T\text{-}V_t$ dont le nombre d'entrées V est d'une unité inférieur au numéro d'ordre du « bit » correspondant du compteur.

A l'état de départ du compteur (code 000) la commutation des deuxième et troisième « bits » est « inhibée » par les entrées V.

La première impulsion de comptage met le premier « bit » à l'état $Q_1 = 1$, ce qui produit un niveau d'autorisation à l'entrée V du deuxième « bit » du compteur. L'application de la deuxième impulsion de comptage fait revenir le premier « bit » du compteur à l'état de départ ($Q_1 = 0$) et met le deuxième à l'état $Q_2 = 1$ (code 010). Après la troisième impulsion de comptage, le code du compteur est 011 et les niveaux d'autorisation apparaissent aux deux entrées V_1 et V_2 du troisième « bit ». La quatrième impulsion assure le basculement simultané des premier et deuxième « bits » à l'état 0, tandis que le troisième passe à l'état 1 (le code du compteur est 100), etc.

La rapidité de fonctionnement du compteur parallèle est déterminée par le temps de basculement d'une bascule de comptage:

$$T_c = \tau_t + \tau_1; \qquad f_c = 1/T_c. \tag{5.4}$$

Les compteurs parallèles réalisés avec les bascules T-V_t à plusieurs entrées présentent l'inconvénient d'avoir nécessairement un nombre différent d'entrées dans chacun des « bits ».

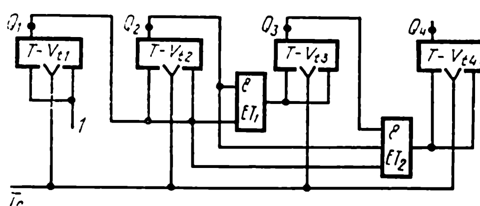


Fig. 5.4. Compteur parallèle en bascules standards du type T-V_t

Pour « normaliser » les bascules, on emploie dans les couplages interbits des circuits de coïncidence supplémentaires servant à la réunion logique de l'information provenant de tous les « bits » précédents. Cela permet de réaliser un compteur parallèle en bascules standards à entrée V unique. La fig. 5.4. représente le schéma d'un compteur parallèle à quatre positions en bascules identiques T-V_t et en circuits ET.

Pour pouvoir commander l'entrée V de la bascule de comptage du troisième « bit », on a introduit un circuit ET à deux entrées et pour commander l'entrée V de la bascule du quatrième « bit », un circuit ET à trois entrées.

Un compteur à plusieurs positions en bascules T-V_t identiques (à une seule entrée V) nécessitera un circuit ET par « bit » (à partir du troisième « bit ») dont le nombre d'entrées sera inférieur de deux unités au numéro d'ordre du « bit ».

Les compteurs parallèles sont d'un usage fréquent dans les dispositifs de traitement d'information en parallèle possédant une haute rapidité de fonctionnement.

5.1.4. Compteurs série-parallèle à couplages directs

Dans les compteurs série-parallèle, tous les « bits » sont divisés en groupes avec deux modes de liaison des « bits »: parallèle à l'intérieur du groupe et série entre les groupes.

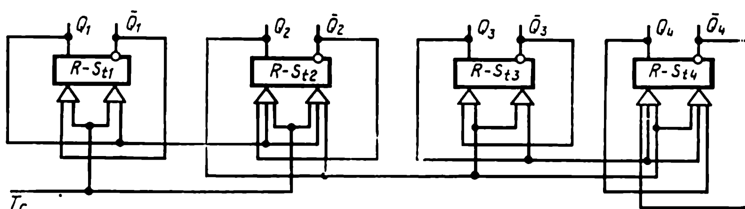


Fig. 5.5. Compteur série-parallèle équipé de bascules du type R-S_t

Un tel couplage assure le déclenchement simultané des bascules à l'intérieur des groupes et le transfert série de l'information d'un groupe à l'autre.

D'après la rapidité de leur fonctionnement, les compteurs série-parallèle occupent une place intermédiaire entre les compteurs série et les compteurs parallèles.

La fig. 5.5 représente le schéma d'un compteur série-parallèle en bascules R-S_t, utilisant deux groupes de deux « bits » chacun. Les bascules-bits R-S_t comportent des liaisons de comptage (entre les sorties Q et $\overline{Q}$ et les entrées R et S).

Les entrées des bascules du premier groupe reçoivent l'impulsion de comptage, celles des bascules du deuxième groupe sont commandées par le signal provenant de la sortie Q du « bit » du poids fort du premier groupe (sortie Q_2).

Le nombre de groupes d'un compteur série-parallèle à plusieurs positions étant augmenté, le niveau commandant chacun des groupes, à partir du deuxième, sera constitué par le signal issu de la sortie Q du « bit » du poids fort du groupe précédent. Le processus de commutation des « bits » à l'intérieur du groupe correspond à la séquence de fonctionnement des compteurs parallèles considérée plus haut, tandis que la commutation des groupes est la même que dans les compteurs série.

La rapidité de fonctionnement d'un compteur série-parallèle est calculée par la formule suivante:

$$t_p = L\tau_L \quad \text{pour } \tau_t = \tau_L\,; \tag{5.5}$$

$$f_c = i/\tau_t + L\tau_t,$$

où L est le nombre de groupes du compteur,

τ_L est le délai de commutation d'un groupe.

5.2. *Compteurs à report*

Dans les compteurs à report, les « bits » du poids fort sont commandés par des impulsions de report élaborées dans les « bits » du poids faible. Suivant le mode de report, on distingue:

— les compteurs à report série;
— les compteurs à report parallèle;
— les compteurs à report série-parallèle.

L'organisation la plus simple des compteurs à report devient possible au moyen des bascules de comptage à report interne (cf. chapitre 3). Si l'on emploie à cet effet d'autres types de bascules de comptage ne possédant pas cette propriété (par exemple, les bascules à circuits logiques ET-NON-OU-NON), l'impulsion de report est obtenue grâce à l'adjonction d'un circuit de coïncidence extérieur.

5.2.1. Compteur à report série (rapide)

Dans les compteurs à report série, le signal de commande appliqué à l'entrée de comptage du *i*-ième « bit » est constitué par l'impulsion de report du (i — 1)-ième « bit » précédent.

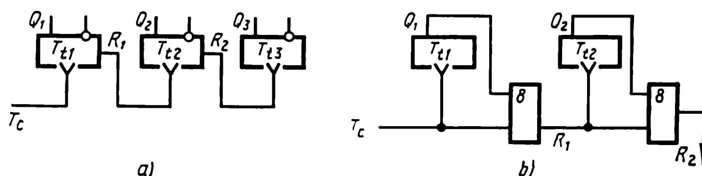


Fig. 5.6. Compteurs à report série (rapide):
a — report interne; *b* — report externe

La fig. 5.6 montre deux procédés de leur réalisation. Le premier montage est en bascules T_t à report interne et le deuxième en bascules T_t avec des portes supplémentaires servant à la formation du report. Le fonctionnement de ces montages n'exige pas de commentaires spéciaux.

La fig. 5.7. donne l'une des variantes du schéma d'un compteur à report série, dont chaque « bit » est réalisé en bascules T_t à report interne. Tous les « bits » de ce compteur sont réalisés à base des bascules R-S_t à couplages inhibitifs: les « bits » impairs utilisent les éléments ET-NON et les « bits » pairs, les éléments OU-NON. Une telle organisation du compteur permet de se passer des éléments supplémentaires nécessaires à adapter l'une à l'autre les polarités de l'impulsion de report et de celle de comptage.

Considérons le fonctionnement de ce montage en supposant que le code initial du compteur est 000.

La première impulsion de comptage met le « bit » du poids faible du compteur à l'état $Q_1 = 1$ sans changer l'état des autres

« bits ». Sur la deuxième impulsion de comptage, le signal de report est transmis avec un retard τ_{moy} de la sortie de la porte B_2 à l'entrée de comptage du deuxième « bit » en plaçant sa bascule principale à l'état 1. Après la cessation de la deuxième impulsion de comptage ($T_c = 0$), le premier « bit » du compteur revient à l'état 0 et le deuxième passe à l'état 1, et ceci avec un retard, par rapport au premier, égal à τ_{moy}. Après la cessation de la troisième impulsion

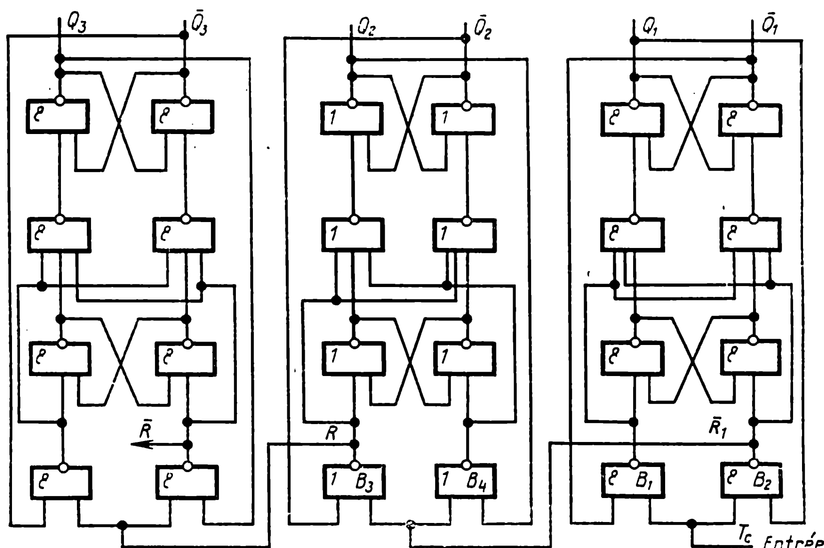


Fig. 5.7. Compteur à report série en éléments ET-NON, OU-NON

de comptage, le compteur contient le code 11. La quatrième impulsion de comptage produit une impulsion de report série (rapide) qui passe à travers les premier et deuxième « bits » pour attaquer, par la sortie de la porte B_3 du deuxième « bit », l'entrée du troisième « bit » du compteur. Après la cessation de la quatrième impulsion de comptage, le contenu du compteur sera 100.

Alors pour un tel compteur on a:

$$t_e = (N - 1)\,\tau_r + \tau_t, \qquad (5.6)$$

$$f_c = 1/(t_e + \tau_1),$$

où τ_r est le retard du report;

N est le nombre d'étages du compteur.

Dans le cas où le compteur est conçu en éléments logiques monotypes, il est nécessaire d'introduire dans la ligne de report un élément inverseur supplémentaire. Ceci baisse la rapidité de fonctionnement et augmente le nombre d'éléments dans chaque « bit » du compteur.

Le couplage direct entre les « bits » par la ligne de report (c.-à-d. sans emploi d'éléments inverseurs supplémentaires) est possible à condition de monter le « bit » du compteur en bascules T_t suivant le schéma à trois bascules. On sait que les bascules de comptage de ce type produisent des signaux de report dont la polarité coïncide avec celle du signal de comptage. Cependant, un tel compteur aura une rapidité de fonctionnement plus faible par rapport au compteur schématisé fig. 5.7. De plus, il convient de se rappeler que chaque « bit » suivant du compteur est commandé par le signal de report dont la durée est de $2\tau_{moy}$ plus grande que celle du signal agissant sur l'entrée du « bit » précédent (cf. chapitre 3).

Parmi les avantages des compteurs à report série réalisés en bascules à report interne, il faut citer la simplicité de commutation et la décharge des sorties d'information des « bits » du compteur. La structure des compteurs à report série utilisant les bascules T_t à report interne et les circuits de formation du report auxiliaires est représentée fig. 5.6 *b*. Dans ce montage, la commutation est plus compliquée et les sorties Q des bascules comportent une charge supplémentaire.

5.2.2. Compteurs à report parallèle

Les compteurs à report parallèle sont caractérisés par une formation simultanée des impulsions de report qui sont introduites dans tous les « bits » du compteur à partir du deuxième. Les compteurs à report parallèle se rapportent à la classe des compteurs rapides.

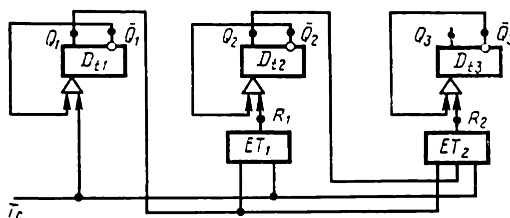


Fig. 5.8. Compteur à trois positions à report parallèle

La fig. 5.8 schématise l'une des variantes d'un compteur à report parallèle en bascules du type D_t. On réalise d'une manière analogue des compteurs en bascules $R\text{-}S_t$, $J\text{-}K_t$ et $D\text{-}V_t$. Dans le cas de ce dernier, il est nécessaire d'appliquer un niveau d'autorisation à l'entrée V.

L'impulsion de comptage est appliquée directement à l'entrée horloge (de comptage) du premier « bit » et, à travers les circuits ET formateurs de report (R_1 et R_2), aux entrées de comptage des autres « bits » du compteur.

Supposons qu'à l'état de départ le compteur affiche le code 001. Dans ce cas, le niveau haut issu de la sortie Q_1 autorisera le passage du signal de comptage suivant à travers le circuit ET_1. La deuxième impulsion de comptage sera appliquée à l'entrée du premier « bit » et, au bout d'un temps égal au retard introduit par le circuit ET_1, à l'entrée de comptage du deuxième « bit ». Cette deuxième impulsion de comptage ne pourra pas passer par le circuit ET_2 parce qu'il est fermé par le signal $Q_2 = 0$ agissant sur l'une de ses entrées. Ainsi, après la cessation de la deuxième impulsion de comptage, le compteur prendra l'état 010. Après la troisième impulsion de comptage, le compteur sera à l'état 011 et les deux circuits ET_1 et ET_2 seront ouverts pour le passage des impulsions de comptage, ce qui aura pour effet l'introduction de la quatrième impulsion de comptage simultanément dans tous les trois « bits » du compteur et son passage à l'état 100, et ainsi de suite.

Le temps d'établissement du code d'un tel compteur ne dépend donc pas du nombre de ses « bits » et a pour expression:

$$t_e = \tau_r + \tau_t, \tag{5.7}$$

où τ_r est le retard introduit par l'élément ET formateur de report.

On voit donc que par la rapidité de son fonctionnement, ce compteur est comparable à un compteur parallèle à couplages directs. Cependant, il a un défaut propre au compteur parallèle, étant donné que dans tous les « bits », à partir du deuxième, on doit utiliser des circuits de coïncidence dont le nombre d'entrées est égal au numéro d'ordre du « bit » du compteur. A la différence des compteurs parallèles à couplages directs, ceux à report sont réalisés en bascules R-S_t, D_t et J-K_t comportant un nombre minimal d'entrées d'information (une entrée d'information D pour les bascules D_t, deux entrées d'information R, S et J-K respectivement pour les bascules R-S_t et J-K_t).

Les compteurs à report parallèle sont employés dans les compteurs à faible capacité de comptage: $K_c = 8$; $K_c = 16$ et $K_c = 32$, et très souvent dans les distributeurs d'impulsions (cf. chapitre 6).

5.2.3. Compteurs à report série-parallèle (report partiel par groupes)

Dans les compteurs de ce type, tous les « bits » sont divisés en plusieurs groupes. A l'intérieur de chaque groupe le report se fait en parallèle et entre les groupes, en série. La fig. 5.9 représente le schéma d'un compteur à report partiel par groupes comprenant deux groupes de trois « bits » chacun. A l'intérieur du groupe le report est formé en parallèle grâce à l'emploi de deux circuits ET à deux et à trois entrées et le signal de report à transférer au groupe suivant, à l'aide d'un circuit ET à deux entrées auxiliaire placé à la sortie de chaque groupe. Le temps d'établissement de ce comp-

reut a pour expression:

$$t_e = \tau_t + \tau_s (L - 1) + \tau_r L \tag{5.8}$$

et la fréquence de répétition:

$$f_c = \frac{1}{t_p + \tau_l},$$

où τ_s est le retard introduit par le circuit auxiliaire de formation du report;

τ_l est le temps de commutation du groupe supérieur du compteur.

Le schéma d'un compteur à report partiel par groupes peut être considérablement simplifié, si on le réalise à partir des bascules T_t à report interne. La structure d'un tel schéma simplifié est représentée fig. 5.10.

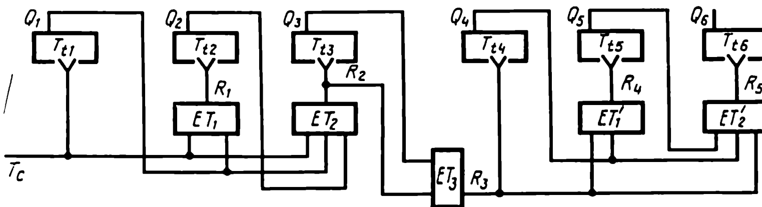


Fig. 5.9. Compteur à report partiel par groupes

A la différence du schéma de la fig. 5.9, celui de la fig. 5.10 demande un nombre d'éléments logiques plus petit vu qu'il ne comporte pas de circuits formateurs de report série, ni de circuit de coïncidence dans le deuxième « bit » de chacun de ses groupes.

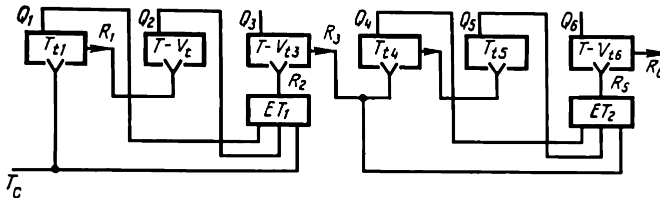


Fig. 5.10. Compteur à report partiel par groupes

Le signal de report R_3 du «bit » du poids fort du premier groupe sert de signal de report série du premier groupe au deuxième et le signal de report R_6 du « bit » du poids fort du deuxième groupe, de celui de report du deuxième groupe au troisième, etc. Les deuxièmes « bits » des groupes sont commandés par les signaux de report des premiers « bits ».

Considérons la commutation du compteur (fig. 5.10) de l'état 111111 à l'état de départ 000000. Si toutes les bascules sont à l'état 1,

l'arrivée de l'impulsion de comptage ($T_c = 1$) produit un signal de report R_1, le circuit ET_1 délivre à sa sortie un signal de report R_2, et la troisième bascule-bit fournit à sa sortie un signal de report $R_3 = 1$ qui est transmis aux entrées de toutes les bascules de comptage du deuxième groupe. Après la cessation de l'impulsion de comptage, toutes les bascules-bits du compteur passent à l'état 0.

Le schéma considéré met en évidence les possibilités de synthèse des compteurs à plusieurs positions économiques et très rapides à base de bascules à report interne.

5.3. Compteurs à couplages combinés (ou mixtes)

Dans les compteurs à couplages combinés, les bascules-bits du poids fort sont commandées aussi bien par les signaux issus des « bits » du poids faible que par les signaux de report, autrement dit, en plus du couplage direct interbits, on utilise le couplage par les circuits de report.

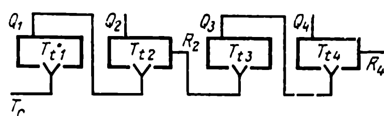


Fig. 5.11. Compteur série à couplages combinés

La fig. 5.11 schématise l'une des variantes du compteur série à couplages interbits combinés. Les bits pairs du compteur sont équipés de bascules T_t à report interne et les bits impairs, de bascules T_t. L'entrée de comptage de chaque « bit » pair est attaquée par le signal issu du côté Q du « bit » impair précédent, tandis que l'entrée de comptage de chaque « bit » impair, à partir du deuxième, par l'impulsion de report issue de la sortie R du « bit » pair précédent. Un tel compteur se rapporte à la classe des compteurs à rapidité de fonctionnement faible, étant donné que celle-ci dépend du nombre de « bits » et se détermine aussi bien par la valeur de τ_r que par celle de τ_t. D'après sa rapidité, le compteur de la fig. 5.11 occupe une place intermédiaire entre les compteurs série à couplages directs et ceux à report série. La rapidité de fonctionnement du schéma considéré peut être déterminée à l'aide des expressions suivantes:

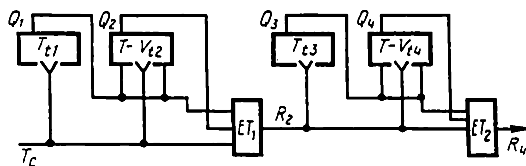


Fig. 5.12. Compteur à report par groupes à couplages combinés

$$t_e = (\tau_t + \tau_r)\cdot(N - 2) + 2\tau_t \text{ pour } N \text{ pair};$$
$$t_e = (\tau_t + \tau_r)\cdot(N - 2) + \tau_t \text{ pour } N \text{ impair.} \quad (5.9)$$

La fig. 5.12 donne un autre exemple de compteur à report par groupes à couplages interbits combinés. L'organisation des couplages à l'intérieur des groupes correspond à celle d'un compteur parallèle et entre les groupes, au schéma du compteur à report série.

La rapidité de son fonctionnement a pour expression:

$$t_e = \tau_r (L - 1) + \tau_t. \qquad (5.10)$$

C'est un compteur rapide, puisque sa vitesse de comptage est comparable à celle des compteurs à report partiel par groupes.

En utilisant diverses combinaisons de couplages interbits, on peut établir d'autres variantes du compteur à couplages interbits combinés. En réalisant les compteurs en bascules T à plusieurs cadences (surtout à deux cadences) on se sert des mêmes principes d'organisation des couplages que dans le cas des montages à cadence unique.

5.4. Compteurs bidirectionnels à bascules de comptage

Les compteurs bidirectionnels effectuent les opérations d'addition et de soustraction des impulsions. Suivant les exigences imposées au circuit de commande, on distingue deux types de compteurs bidirectionnels:

— compteurs bidirectionnels à une entrée de comptage et à deux entrées de commande;

— compteurs bidirectionnels à deux entrées de comptage.

Le compteur bidirectionnel du premier type exécute le comptage ou le décomptage des impulsions suivant le niveau d'autorisation agissant sur les entrées de commande. En présence d'autorisation de l'opération d'addition ($N_a = 1$), il se produit le comptage d'impulsions et en présence d'autorisation de l'opération de soustraction ($N_s = 1$), le décomptage des impulsions qui se présentent à l'entrée de comptage. L'action simultanée de deux niveaux d'autorisation est exclue, c.-à-d. $N_a = \overline{N}_s$.

Dans les compteurs bidirectionnels du deuxième type, l'une des entrées reçoit les impulsions de comptage et l'autre, celles de décomptage. Ces compteurs n'exigent pas de niveaux de commande supplémentaires.

Il existe deux procédés de synthèse des compteurs bidirectionnels:

a) à couplages interbits directs et inverses;

b) à inversion du code.

Dans le premier cas, l'opération de décomptage s'effectue de la même manière que celle de comptage. Au cours du décomptage, l'information est envoyée dans les « bits » du poids fort du compteur depuis les sorties inversées ($\overline{Q}$) des « bits » du poids faible.

Dans le deuxième cas, l'opération de décomptage se fait par l'inversion du code initial direct du compteur, l'adjonction d'un

nombre d'impulsions à décompter et par une deuxième inversion du code. Par exemple, le compteur contient le code 1001 dont il faut soustraire une unité, alors, après l'inversion du code initial, le compteur affiche le code 0110. L'adjonction d'une unité donnera le code 0111. Une deuxième inversion de ce dernier aura pour résultat le code 1000, ce qui correspond à la soustraction d'une unité du code initial 1001. La synthèse des compteurs bidirectionnels d'après le premier procédé présente la même diversité de schémas que celle des compteurs d'addition (compteurs parallèles, série, à report partiel par groupes, etc.).

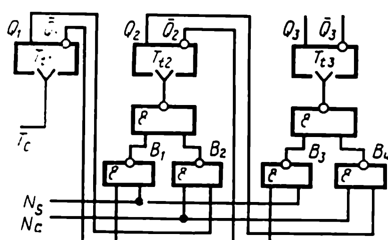


Fig. 5.13. Compteur réversible série

La fig. 5.13 représente le schéma d'un compteur bidirectionnel série à une entrée de comptage et deux entrées de commande. Le couplage entre les sorties d'information des « bits » précédents et les entrées de comptage des « bits » suivants est obtenu à l'aide d'un circuit ET-OU à travers les voies directe et inverse. La fonction ET-OU est exécutée par les éléments logiques ET-NON. Le sens de comptage du compteur bidirectionnel est commandé par les signaux appliqués aux fils N_a et N_s.

En régime de comptage ($N_a = 1$) il se produit l'ouverture de toutes les portes paires des circuits ET-OU (B_2, B_4...) et chaque impulsion de comptage fait augmenter d'une unité le contenu du compteur.

Au régime de décomptage ($N_s = 1$) il y a ouverture de toutes les portes impaires des circuits ET-OU (B_1, B_3...) et l'arrivée de chaque impulsion fera diminuer d'une unité le contenu du compteur.

Analysons le fonctionnement du compteur en régime de décomptage (les portes B_1, B_3,... sont ouvertes) lorsque son code correspond, par exemple, au nombre $7 \equiv 111$.

L'arrivée de l'impulsion de comptage ($T_c = 1$) fait passer la première bascule-bit à l'état $Q_1 = 0$ (code 110). Le niveau 1 en provenance de la sortie $\bar{Q}_1$ est transmis par la porte B_1 à l'entrée de comptage de la deuxième bascule-bit pour la préparer à la commutation. La deuxième impulsion de comptage met la première bascule-bit dans l'état 1 et la deuxième dans l'état 0 (code 101). Le niveau $\bar{Q}_2 = 1$ prépare le basculement de la troisième et ainsi de suite.

La fig. 5.14 représente le schéma d'un compteur bidirectionnel à deux entrées de comptage à report série. Dans ce montage, l'arrivée des impulsions par la voie de comptage (T_a) déclenche les circuits de transfert des signaux de report (B_2, B_4) assurant le comptage des impulsions, alors que l'arrivée des impulsions de comptage par la

voie de décomptage (T_s) branche ceux de transfert des signaux d'emprunt (B_1, B_3,...) assurant le décomptage des impulsions. La séquence de fonctionnement en chacun des régimes (de comtage et de décomptage) correspond à celle du compteur à report série.

L'emploi de bascules à logique interne développée permet de réaliser les compteurs bidirectionnels sans faire appel aux circuits

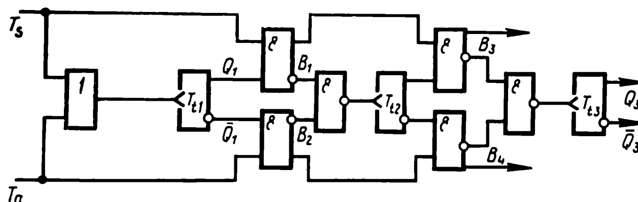


Fig. 5.14. Compteur réversible à report série

supplémentaires ET-OU. La fig. 5.15 représente le schéma d'un compteur bidirectionnel en bascules R-S-R^*-S_t^* branchées en bascules de comptage à formation interne de report et d'emprunt. Ce montage comporte une entrée de comptage commune et deux entrées de commande. Son fonctionnement est le suivant.

Le niveau d'autorisation $N_a = 1$ ouvre un seul couple de portes R-S (ET_2 et ET_3) de tous les « bits » qui sont attaquées par les signaux de report depuis les « bits » du poids faible, et le montage fonctionne en comptage direct des impulsions. Le niveau d'autorisation $N_a = 1$ ouvre le deuxième couple de portes R^*-S^* (ET_1 et ET_4) de tous les « bits » qui sont attaquées par les signaux d'emprunt des « bits » du poids faible de sorte que le montage fonctionne en comptage inversé (ou décomptage) des impulsions.

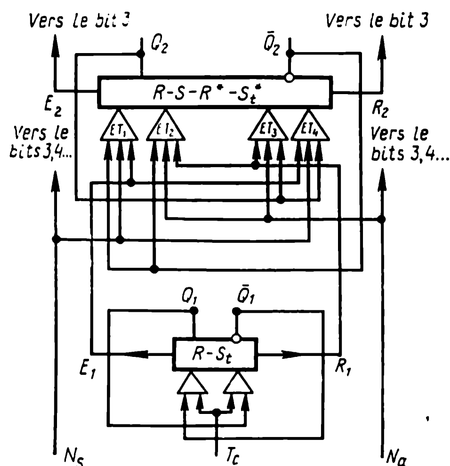


Fig. 5.15. Compteur réversible à report rapide en bascules à plusieurs entrées du type R-S_t

Les compteurs bidirectionnels en bascules de comptage à couplages interbits directs et inverses sont les plus employés quant à la synthèse des dispositifs numériques automatiques en circuits intégrés.

Considérons en définitive le schéma synoptique d'un compteur bidirectionnel à inversion du code (fig. 5.16). Ce compteur comporte

une entrée de comptage T_a connectée à travers un circuit OU à l'entrée de la première bascule-bit qui reçoit les impulsions à compter.

Les impulsions de décomptage (T_s) fournies au formateur du train de trois impulsions T_1 à T_3 qui assure la réalisation des opérations suivantes: inversion du code, adjonction d'une unité au « bit » du poids faible et deuxième inversion du code. En décomptage, l'impulsion $T_s = 1$ produit tout d'abord la première impulsion de commande ($T_1 = 1$) qui attaque à travers la porte OU_1 simultanément

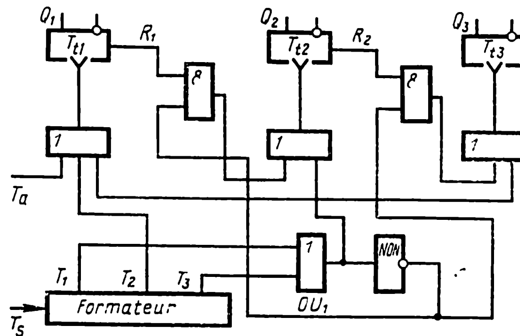


Fig. 5.16. Schéma synoptique d'un compteur réversible à inversion du code

les entrées de comptage de toutes les bacules-bits, ce qui a pour effet l'inversion du code de compteur (toutes les bascules-bits changent d'état). En vue d'exclure le transfert des reports interbits dans chacun des « bits », le signal issu de la sortie de l'inverseur NON ferme les circuits ET des couplages interbits. La cessation de la première impulsion du train ($T_1 = 0$) est suivie de la formation de la deuxième impulsion ($T_2 = 1$) qui s'applique à l'entrée de comptage de la première bascule-bit et augmente d'une unité le contenu du compteur. La cessation de la deuxième impulsion ($T_2 = 0$) donne lieu à la troisième impulsion ($T_3 = 1$) qui est fournie, tout comme la première impulsion, simultanément aux entrées de comptage de toutes les bascules-bits pour produire une deuxième inversion du code. Les compteurs bidirectionnels à inversion du code sont peu utilisés dans la technique des circuits intégrés.

5.5. *Compteurs à capacité (ou à base) arbitraire*

Les compteurs que nous avons examinés jusqu'ici opéraient dans la base égale à 2^N, N étant le nombre de « bits ». Or, dans certaines applications pratiques, il est souvent nécessaire d'utiliser des compteurs dont la base est différente de 2^N. Bien souvent, on emploie, par exemple, des compteurs de base $K_c = 3$, $K_c = 10$, etc., c.-à-d. des compteurs présentant 3, 10, etc. états stables [30, 31].

Le principe d'organisation de tels compteurs consiste à exclure les états « superflus » d'un compteur de $K_c = 2^N$, autrement dit à organiser des circuits capables d'inhiber certains états.

Le nombre d'états interdits pour un compteur quelconque peut être calculé à partir de l'expression suivante:

$$M = 2^N - K_c, \qquad (5.11)$$

où M est le nombre d'états interdits;

K_c est la base de comptage souhaitée;

2^N est le nombre d'états stables d'un compteur binaire.

C'est ainsi que les compteurs de $K_c = 3$ réalisés en bascules du type T et les compteurs de $K_c = 10$ à quatre bascules du type T possèdent, conformément à l'expression (5.12), un nombre d'états superflus égal respectivement à 1 et à 6. Dans le cas général, le choix de la séquence des états stables que peut prendre un compteur de $K_c = 2^N$ au cours du comptage dépend de la destination du compteur.

Suivant les états choisis comme états de travail, les compteurs de base quelconque peuvent se diviser en compteurs à ordre de comptage naturel et en compteurs à ordre de comptage quelconque.

Il existe toute une série de schémas permettant de réaliser les compteurs de $K_c \neq 2^N$ aussi bien du premier que du deuxième genre. De plus, une même méthode de synthèse peut dans certains cas s'appliquer tant pour les compteurs à ordre de comptage naturel que pour ceux à ordre de comptage quelconque.

5.5.1. Compteurs à ordre de comptage naturel

L'ordre de comptage dans ces compteurs correspond à celui des compteurs normaux ou rétrogrades, à cela près que si dans un compteur additif le comptage commence à partir de 0 et se termine par le nombre $(2^N - 1)$, dans un compteur de $K_c \neq 2^N$ il débute à 0 et se termine par un nombre égal à $(K_c - 1)$.

Il existe divers procédés d'organisation des compteurs à ordre de comptage naturel dont les plus utilisés sont à blocage de report. La fig. 5.17 représente l'une des variantes du compteur de $K_c = 10$ réalisé en montage à report parallèle. Chaque bit de ce compteur est équipé d'une bascule du type T_t.

Le comptage jusqu'à la neuvième impulsion y comprise se fait dans l'ordre naturel: 0000, 0001, 0010 . . . 1001, tout comme dans un compteur normal à report parallèle. Après la cessation de la huitième impulsion de comptage, le compteur contient le code 1000, ce qui entraîne la fermeture de la porte ET_1 par le niveau $\overline{Q}_4 = 0$.

Après la cessation de la neuvième impulsion, le code du compteur est 1001 et la porte ET_2 du quatrième « bit » s'ouvre pour laisser passer l'impulsion de comptage suivante. L'arrivée de la dixième impulsion devrait mettre le compteur à l'état 1010. Toutefois, étant donné que la porte ET_1 est fermée par le niveau $\overline{Q}_4 = 0$ (la

formation de report est bloquée) et la porte ET_3 par le niveau $Q = 0$, la dixième impulsion de comptage n'est fournie qu'aux entrées des premier et quatrième « bits ». Il en résulte qu'après la cessation de la dixième impulsion le compteur revient à l'état initial, c.-à-d. à 0. Le signal de report apparaissant aux sorties des portes ET_2 ou ET_5 pendant l'action de la dixième impulsion peut être utilisé pour déclencher le compteur suivant.

La fig. 5.17 schématise un compteur dont tous les bits sont conçus en bascules du type T_t. Or, dans la pratique on utilise souvent des compteurs à montages « combinés ». Le terme « combiné »

Fig. 5.17. Compteur décimal à ordre de comptage naturel

signifie en l'occurrence que pour la synthèse du compteur on utilise simultanément les bascules T_t et les bascules $D\text{-}V_t$, D_t, $R\text{-}S_t$ et $J\text{-}K_t$.

C'est ainsi que le compteur de $K_c = 10$ dont le schéma est donné fig. 5.19 est réalisé avec quatre bascules $D\text{-}V_t$ dont le premier « bit» seulement est branché en bascule de comptage. Les deuxième et troisième « bits » sont en bascules $T\text{-}V_t$ commandées à travers leurs entrées V par le signal de 1 logique provenant respectivement des portes ET_1 et ET_2. Le quatrième « bit » du compteur est monté sans réaction caractéristique des bascules de comptage.

Considérons le fonctionnement de ce montage. Supposons qu'à l'état initial le compteur contienne le code 0000 et, par conséquent, les portes ET_1, ET_2, et ET_3 sont fermées. Après la cessation de la première impulsion de comptage, le compteur passe à l'état 0001, ce qui entraîne un niveau haut de tension sur l'entrée V de la deuxième bascule-bit (la porte ET_1 s'ouvre par les niveaux $Q_1 = 1, \bar{Q}_4 = 1$). Cela veut dire que la deuxième bascule-bit est prête au fonctionnement en bascule T_t. Après la cessation de la deuxième impulsion de comptage, le compteur affiche le code 0010 et la porte ET_1 se trouve de nouveau fermée par le signal $Q_1 = 0$. Après la cessation de la troisième impulsion, le compteur affiche le code 0011 et la porte ET_2 s'ouvre, c.-à-d. que la troisième bascule-bit est préparée au

fonctionnement en régime de comptage et ainsi de suite. Après la cessation de la septième impulsion, le code du compteur est 0111 et les entrées D et V de la quatrième bascule-bit sont portées à des niveaux hauts de tension.

Ainsi, après la huitième impulsion, le quatrième « bit » qui fonctionne dans ce cas en bascule D-V_t ordinaire (sans couplage croisé entre la sortie $\overline{Q}$ et l'entrée D) prend l'état 1 et le compteur affiche le code 1000. Ceci a pour effet la fermeture des portes ET_1,

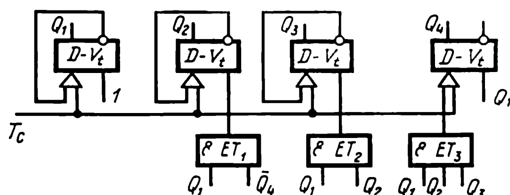


Fig. 5.18. Compteur décimal (synchrone) en bascules du type D-V_t

ET_2 et ET_3 et, après la neuvième impulsion, l'affichage du code 1001 dans le compteur. L'arrivée de la dixième impulsion portera l'entrée D de la quatrième bascule-bit au niveau bas et son entrée V au niveau haut de tension. L'effet en est qu'après la cessation de la dixième impulsion de comptage la quatrième bascule-bit se met à 0.

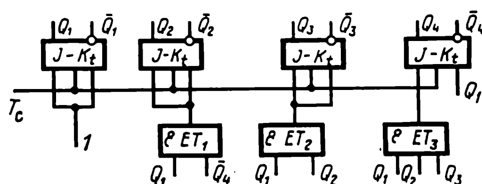


Fig. 5.19. Compteur décimal (synchrone) en bascules du type J-K_t

Etant donné que la porte ET_1 est fermée par le niveau $\overline{Q}_4 = 0$, le deuxième « bit » ne bascule pas à l'état 1, et le compteur reprend donc son état initial, c.-à-d. 0.

La fig. 5.19 donne le schéma d'un compteur décimal réalisé suivant la structure de la fig. 5.18 où les bascules du type J-K_t servent de bits.

Le fonctionnement du montage de la fig. 5.19 est analogue à celui de la fig. 5.18 jusqu'à l'état 0111. A la différence du montage de la fig. 5.18, sur la huitième impulsion la quatrième bascule-bit fonctionne en bascule T_t puisque ses entrées sont attaquées par une combinaison de signaux $J = K_t = 1$.

L'arrivée de la dixième impulsion provoque la fermeture de la porte ET_3 et la quatrième bascule-bit se place à l'état 0 par l'entrée $K = 0$. Ainsi, la quatrième bascule-bit de ce compteur fonction-

ne dans un cas en bascule T_t et dans l'autre en bascule J-K_t. En utilisant cette méthode, on peut réaliser le schéma d'un compteur de base quelconque.

Considérons quelques compteurs de base quelconque réalisés avec les bascules R-S_t (fig. 5.20 à 5.24).

La fig. 5.20 représente un compteur de $K_c = 5$. Ce montage fonctionne de la manière suivante. Initialement toutes les bascules-bits du compteur sont à l'état 0 (code 000). La sortie $Q_1 = 0$ de la première bascule-bit est branchée sur les deux portes de commande du deuxième « bit » qui, au départ, sont fermées. Cela signifie que la deuxième bascule-bit n'est pas préparée au fonctionnement en bascule T_t. La porte de commande du troisième « bit », raccordée

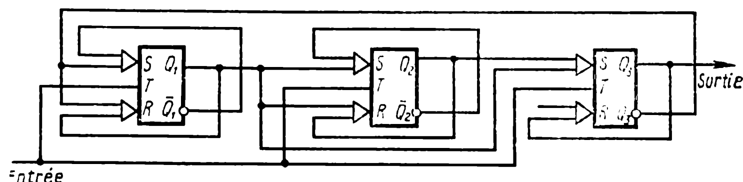


Fig. 5.20. Compteur synchrone modulo 5

à celle de l'entrée S, est fermée par les signaux $Q_1 = Q_2 = 0$. La porte branchée sur l'entrée R l'est aussi sous l'effet du signal $Q_3 = 0$ sur son entrée.

La sortie $\overline{Q}_3 = 1$ est reliée aux entrées des deux portes de commande du premier « bit ». De ce fait, la porte branchée sur l'entrée S de ce « bit » est ouverte, tandis que la porte reliée à l'entrée R est fermée. Après la cessation de la première impulsion, la première bascule-bit passe à l'état $Q_1 = 1$ et le compteur affiche donc le code 001.

L'apparition du niveau haut de tension sur la sortie Q_1 provoque l'ouverture de la porte à l'entrée S du deuxième « bit », la fermeture de la porte S et l'ouverture de la porte R du premier « bit ». Ainsi, après la cessation de la deuxième impulsion, la deuxième bascule-bit prend à travers la porte S l'état 1 et la première passe à travers la porte R à l'état 0 (le code du compteur est 010). Après la troisième impulsion, le code du compteur est 011, ce qui a pour effet l'ouverture de la porte S du troisième « bit ». Ainsi, l'arrivée de la quatrième impulsion est suivie du basculement du troisième « bit » à l'état 1 par l'entrée S, et des premier et deuxième « bits » à l'état 0 à travers les portes ouvertes R (le code du compteur est 100). Dans ces conditions, les deux portes de commande du premier et du deuxième « bits » se ferment. Dans le troisième « bit », seule la porte S est fermée, étant donné que la porte R qui ne possède qu'une seule entrée est ouverte par le signal $Q_3 = 1$. Donc, après la cessation

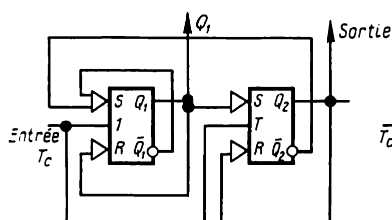


Fig. 5.21. Compteur synchrone modulo 3

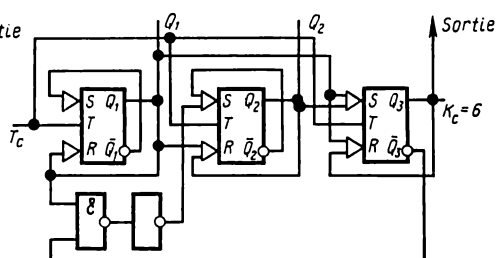


Fig. 5.22. Compteur synchrone modulo 6

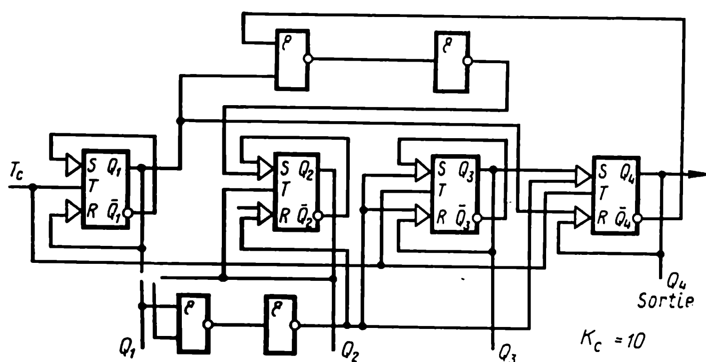


Fig. 5.23. Compteur synchrone modulo 10

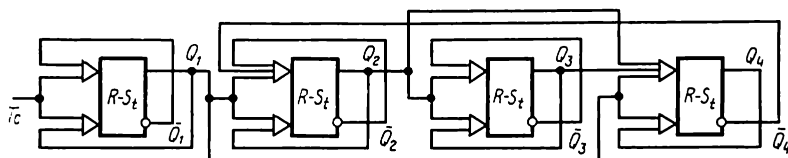


Fig. 5.24. Compteur décimal

de la cinquième impulsion, les premier et deuxième « bits » restent à l'état 0, alors que le troisième se met par l'entrée $R = 1$ dans l'état 0, autrement dit le compteur revient à l'état initial.

Les fig. 5.21, 5.22 et 5.23 représentent les schémas des compteurs de base 3, 6 et 10 respectivement.

Les schémas des compteurs étudiés, réalisés en bascules combinées, représentent les compteurs synchrones. Si l'on néglige le retard introduit par les portes supplémentaires, la rapidité de fonctionnement de ces compteurs sera déterminée par celle d'un seul « bit ».

Le montage combiné des bascules est largement utilisé pour la synthèse des compteurs asynchrones. Examinons à titre d'exemple un compteur de base dix en bascules du type R-S_t (fig. 5.24). Comparé au compteur synchrone, ce montage, étant par la rapidité de fonctionnement plus faible, a toutefois pour avantage de ne pas comporter de portes supplémentaires. Le fonctionnement du compteur schématisé fig. 5.24 peut être résumé comme suit.

Supposons qu'à l'état initial le compteur affiche le code 0000. Par conséquent, aucun « bit », sauf le premier, n'est préparé au basculement à l'état 1, car leurs entrées horloge sont portées à des niveaux bas de 0 logique issus des sorties Q des « bits » précédents. Etant donné qu'à l'état initial la porte à l'entrée S de la première bascule-bit est ouverte et que la porte à l'entrée R est fermée, le code obtenu dans le compteur après la cessation de la première impulsion de comptage est 0001.

Après la première impulsion, c'est la porte à l'entrée S du deuxième « bit » qui s'ouvre ($Q_1 = 1$, $\overline{Q}_4 = 1$, $\overline{Q}_2 = 1$) et le deuxième « bit » est préparé au passage à l'état 1. Le niveau bas de tension se déclenche à la sortie Q_1 après la cessation de la deuxième impulsion de comptage et le compteur affiche le code 0010.

Pendant les impulsions de comptage suivantes, à compter jusqu'à la septième, le quatrième « bit » reste à l'état 0 en raison de l'absence de la combinaison de 1 logiques simultanément sur les deux entrées de sa porte S et sur son entrée T. Après la cessation de la septième impulsion, le compteur prend l'état 0111. Il en résulte l'ouverture de la porte à l'entrée S ($Q_1 = Q_2 = Q_3 = 1$) et le quatrième « bit » est préparé au basculement à l'état 1 qui se produit après la cessation de la huitième impulsion. Après la neuvième impulsion, le compteur se place à l'état 1001, les portes R des premier, deuxième et quatrième « bits » sont ouvertes et celles aux entrées S de tous les « bits », excepté le troisième, fermées. Cependant, l'état ouvert de la porte à l'entrée S du troisième « bit » ne peut pas provoquer son basculement à l'état 1, étant donné que son entrée T est portée au niveau 0 issu de la sortie Q_2. Après la cessation de la dixième impulsion, les premier et quatrième « bits » basculent à 0, c.-à-d. le compteur reprend l'état initial 0000.

D'une manière analogue on peut réaliser des compteurs asynchrones de bases quelconques différentes de 2^N.

5.5.2. Compteurs à ordre de comptage arbitraire

On appelle compteurs binaires à ordre de comptage arbitraire les compteurs qui au cours du comptage prennent des états ne correspondant pas à leur représentation équivalente en code binaire.

Il existe une multitude de procédés, permettant la synthèse de tels compteurs, dont les plus répandus sont :

— à forçage à 1 ;
— à prépositionnement à M ;
— à couplage réversible des « bits ».

5.5.2.1. Compteurs à forçage à 1

La particularité de ces compteurs réside dans le fait que l'on parvient à exclure les états interdits grâce au forçage à 1 de certaines bascules-bits. Il en résulte qu'au cours du comptage le contenu du

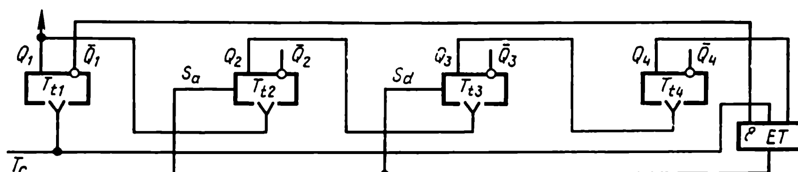


Fig. 5.25. Compteur décimal par remise à « 1 » en bascules du type T_t

compteur varie sous sa forme naturelle de 0 à un certain nombre $X < K_c - 1$. Sur une nouvelle impulsion, le compteur prend l'état $(X + M)$ au lieu de $(X + 1)$, c.-à-d. un état dont le code est supérieur au nombre X, prépositionné dans le compteur, d'un nombre d'états interdits. Sur chacune des impulsions suivantes le contenu du compteur croît d'une unité et atteint $K_c - 1$ quand toutes les bascules-bits du compteur se mettent à l'état 1.

Pratiquement, le forçage à 1 s'obtient par le bouclage des « bits » du poids fort sur les « bits » du poids faible du compteur. Sous l'effet de ce bouclage les bascules-bits correspondantes se trouvant à l'état 0 passent « avant terme » à l'état 1. La réaction entre les « bits » du poids fort et du poids faible peut se réaliser soit directement sur l'entrée de comptage des « bits » du poids faible, soit sur l'entrée de forçage à l'état 1.

La fig. 5.25 schématise un compteur décimal monté en bascules du type T_t qui est un compteur asyncrone à couplages directs. Pour exclure les 6 états superflus, ce montage utilise la réaction entre la sortie de la quatrième bascule-bit et les entrées S_d des troisième et deuxième bascules-bits, à travers la porte ET.

Au cours des huit premières impulsions de comptage, le compteur considéré fonctionne en compteur ordinaire et prend, l'un après l'autre, les états 0, 1, . . ., 7, 8. L'arrivée de la neuvième

impulsion de comptage produit à la sortie du circuit ET_1 le signal de 1 logique qui attaque les entrées S_d des troisième et deuxième bascules-bits respectivement. Il en résulte qu'après la cessation de la neuvième impulsion, la première bascule-bit prend, comme les deuxième et troisième, l'état 1. C'est ainsi que le compteur indique six unités de trop, autrement dit de l'état 1000 il passe non pas à l'état 1001, mais à l'état 1111. L'arrivée de l'impulsion suivante (de la dixième) fait revenir le montage à l'état initial 0000.

Si dans le montage de la fig. 5.25 on ne laisse qu'un seul couplage, par exemple entre la sortie Q_4 et l'entrée S_d de la troisième bascule-bit, coupant la liaison entre la sortie Q_4 et l'entrée S_d de la deuxième bascule-bit, le montage produira quatre unités de

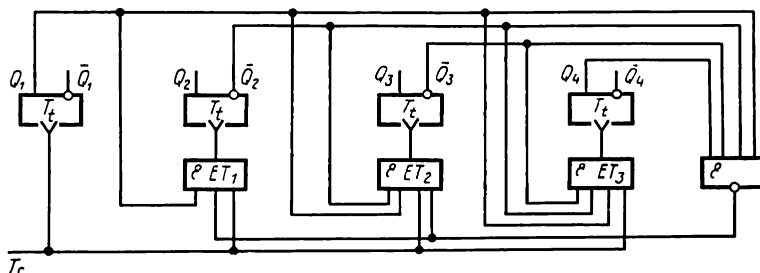


Fig. 5.26. Compteur modulo 13 équipé de bascules T_t

trop, autrement dit on obtient un compteur de base 12. Dans le montage de la fig. 5.25 le forçage à 1 se produit à l'arrivée de la neuvième impulsion simultanément avec le passage à l'état 1 de la première bascule-bit. Il s'ensuit que le positionnement du « bit » du poids faible à l'état 1 grâce au rétrocouplage depuis le quatrième « bit » s'avère impossible. Par conséquent, le schéma considéré ne permet pas de réaliser des compteurs de base impaire (9, 11, 13, 15) car, dans ce cas, il est nécessaire de positionner le « bit » du poids faible du compteur à l'état 1.

On peut combattre cet inconvénient en réalisant le compteur selon le schéma de la fig. 5.26. Dans ce schéma, la base impaire $K_c = 13$ peut être obtenue grâce au fait que la remise à « 1 » prématurée se produit à l'arrivée de la huitième impulsion et non pas de la neuvième, comme c'est le cas du schéma de la fig. 5.25. Ce compteur est à report parallèle. Le rétrocouplage pour interdire trois états superflus est ici réalisé entre la sortie du circuit ET-NON et les entrées des portes ET_1 et ET_2 des premier et deuxième « bits » du compteur. Au cours du comptage jusqu'au nombre 7, la sortie du circuit ET-NON est toujours portée au niveau haut de tension qui autorise le passage des impulsions de comptage à travers les portes ET_1 et ET_2. Après la cessation de la septième impulsion, le compteur contient le code 0111, la sortie du circuit ET-NON est portée au niveau 0 et les portes ET_1 et ET_2 se trouvent fermées.

Il s'ensuit que la huitième impulsion de comptage est appliquée aux entrées des troisième et quatrième bascules-bits et après la cessation de cette impulsion le compteur passe à l'état 1011, au lieu de 1000, autrement dit il indique trois unités de trop. La sortie du circuit ET-NON est de nouveau au niveau d'autorisation (parce que $\overline{Q}_4 = 0$) et les impulsions suivantes font passer le compteur progressivement de l'état 1011 à l'état 1111. L'arrivée de la treizième impulsion ramène le compteur à l'état initial.

Il existe également d'autres procédés de synthèse des compteurs par remise à zéro ou à un prématurée.

5.5.2.2. *Compteurs à préaffichage du code*

D'une manière générale, ce type de compteurs peut être rapporté aux compteurs dans lesquels le forçage se réalise non pas au cours du comptage, mais grâce au positionnement du compteur dans un

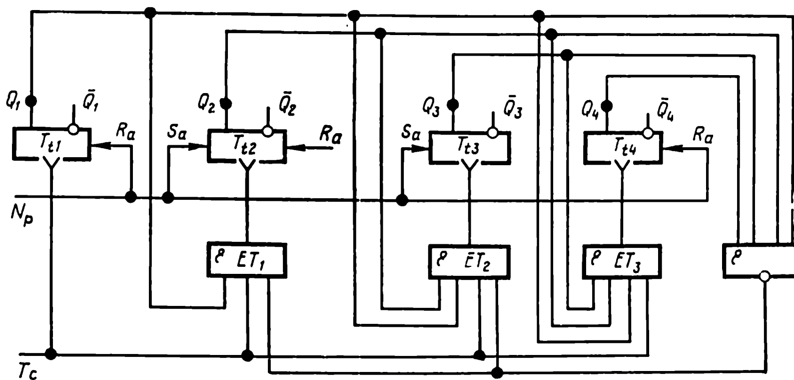


Fig. 5.27. Compteur décimal à préaffichage du code

état initial correspondant au nombre d'états interdits. Analysons le fonctionnement d'un tel compteur sur l'exemple de la fig. 5.27 schématisant un compteur de base 10.

Au repos, le compteur est positionné à l'état 0110, c.-à-d. à l'état dont le code correspond au nombre d'états interdits M. Un tel positionnement du compteur est obtenu par l'application d'un signal de 1 logique aux entrées S_d des deuxième et troisième bascules-bits et aux entrées R_d des première et quatrième bascules-bits.

Lorsque les signaux s'appliquent à l'entrée du compteur, il change d'état depuis le code initial 0110 jusqu'au code 1111 dans l'ordre de croissance des nombres binaires.

Après la cessation de la neuvième impulsion, le compteur prend l'état 1111 et le circuit ET-NON délivre à sa sortie le niveau 0 qui ferme les portes ET_2 et ET_1 par l'une de leurs entrées. Il en résulte que l'arrivée de la dixième impulsion ne produit le signal

de report qu'à la sortie de la porte ET_3 et sa cessation ramène le compteur à l'état initial 0110. Pour la synthèse d'un compteur de base $K_c = 9$ selon le schéma de la fig. 5.27, il est nécessaire d'exclure sept états superflus par rétrocouplage entre la sortie du circuit ET-NON et les entrées de comptage des première, deuxième et troisième bascules-bits suivi du positionnement du compteur à l'état initial $M = 0111$. Alors, l'arrivée des impulsions à l'entrée du compteur change son contenu respectivement de l'état 0111 à l'état 1111 et après la neuvième impulsion le compteur revient à l'état initial 0111. Dans le cas général, pour réaliser un compteur à prépositionnement d'un code égal à M et de base donnée il faut:

— déterminer la capacité d'un compteur binaire de $K_c = 2^N$ dont on doit dériver le compteur de base $K_c = 2^N$;

— déterminer, à l'aide de l'expression $M = 2^N - K_c$, le nombre d'états superflus et inscrire ce dernier sous la forme d'un nombre binaire à N chiffres;

— appliquer les signaux de réaction inhibitive depuis le « bit » du poids fort aux entrées de comptage de toutes les bascules qui doivent être à l'état 1, si on y inscrit au préalable le nombre M.

5.5.2.3. Compteurs à couplage des bits réversible

La particularité de ce procédé permettant d'établir les compteurs de base $K_c = 2^N$ réside dans le fait que les couplages interbits sont réalisés en utilisant les signaux de report et d'emprunt ou les signaux obtenus aux sorties Q et $\bar{Q}$ des « bits » du poids faible, ainsi que la combinaison de ces signaux.

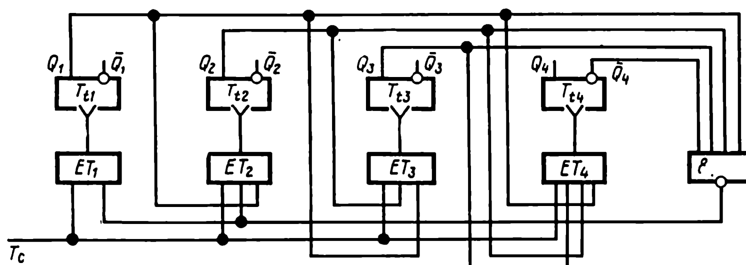


Fig. 5.28. Compteur décimal à couplages réversibles

Dans tous les compteurs étudiés plus haut, les couplages interbits étaient réalisés avec seulement des signaux issus des sorties Q des bascules.

Dans les compteurs à couplages interbits réversibles, on utilise les signaux Q et $\bar{Q}$, les compteurs eux-mêmes fonctionnant soit en comptage direct, soit en décomptage. La fig. 5.28 schématise un compteur de base $K_c = 10$.

Les séquences de fonctionnement de ce compteur sont données dans le tableau 5.1.

Tableau 5.1

Table de vérité d'un compteur décimal

Numéro de l'impulsion	Bits			
	4	3	2	1
0	0	0	0	0
1	0	0	0	1
2	1	1	1	0
3	1	1	1	1
4	1	1	0	0
5	1	1	0	1
6	1	0	1	0
7	1	0	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

De tous les 10 états que le compteur prend dans le cas considéré, il n'y a que trois, à savoir les 1er, 3e et 9e qui se trouvent en correspondance « binaire » avec le nombre d'impulsions appliquées à l'entrée du compteur. La première impulsion place le compteur à l'état 0001. Après la cessation de la deuxième impulsion, le compteur affiche le code 1110, étant donné qu'à l'instant de son arrivée les portes ET_1, ET_2 et ET_3 sont ouvertes et le circuit ET-NON fermé. La cessation de la neuvième impulsion met le compteur à l'état 1001 et ouvre le circuit ET-NON en interdisant l'application des signaux aux deuxième et troisième bascules-bits. Il en résulte que l'arrivée de la dixième impulsion ferme les portes ET_1 et ET_2 et ouvre la porte ET_3 et que sa cessation ramène le compteur à l'état initial.

5.6. Quelques schémas pratiques de compteurs à ordre de comptage arbitraire

Dans ce paragraphe, nous allons étudier succinctement certains schémas des compteurs à ordre de comptage arbitraire.

Ces schémas ont ceci de particulier que le procédé de leur synthèse ne devient efficace que pour une base de comptage déterminée.

Ainsi, la fig. 5.29 représente le schéma d'une échelle de $K_c = 3$ à cadence unique réalisée en bascules pilotées du type R-S. Le schéma comporte trois bascules R-S et six circuits ET-NON (B_1 à B_6) destinés à commander le régime de leur basculement.

Considérons le fonctionnement de ce montage.

Au départ, les bascules sont à l'état 000. L'impulsion de comptage ($T = 1$) incidente ouvre la porte B_2 ($B_2 = 0$) et fait passer la première bascule à l'état $Q_1 = 1$. Après la cessation de l'impulsion de comptage ($T = 0$), la porte B_2 se ferme ($B_2 = 1$) et la porte

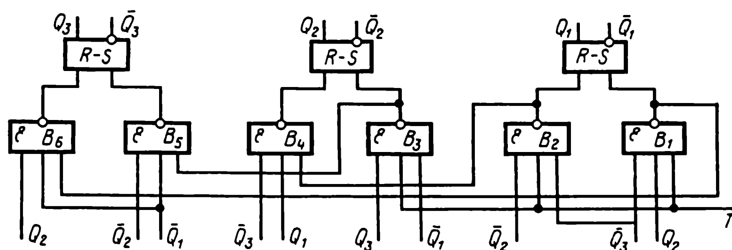


Fig. 5.29. Echelle de comptage par 3

B_4 s'ouvre ($B_4 = 0$). La deuxième bascule passe à l'état $Q_2 = 1$. Le code du compteur après la première impulsion est 011. La deuxième impulsion ($T_2 = 1$) ouvre la porte B_1 ($B_1 = 0$) et ramène la première bascule à l'état $Q_1 = 0$. La cessation de la deuxième impulsion provoque l'ouverture de la porte B_6 ($B_6 = 0$) et le passage de la troisième bascule à l'état $Q_3 = 0$. Après la deuxième impulsion de comptage, le code du compteur est 110. La troisième impulsion ($T_3 = 1$) ouvre la porte B_3 ($B_3 = 0$) et place la deuxième bascule à l'état $Q_2 = 0$. Après la cessation de la troisième impulsion ($T_3 = 0$) il y a ouverture de la porte B_5 ($B_5 = 0$) et la troisième bascule prend l'état $Q_3 = 0$. Ainsi, après ce train de trois impulsions de comptage, le montage revient à l'état initial (code 000).

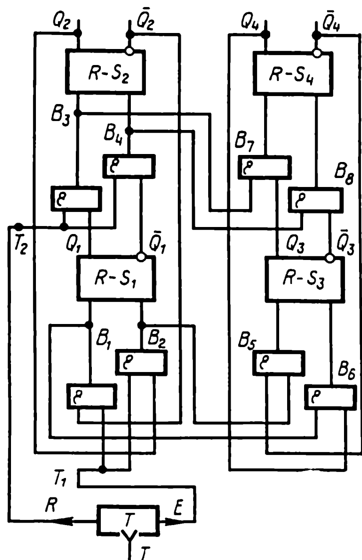


Fig. 5.30. Echelle de comptage par 12

La fig. 5.30 schématise l'échelle la plus économique en nombre de bascules par état. Cette échelle possède douze états et utilise quatre bascules du type R-S dont chacune reçoit deux portes à deux entrées. La particularité de ce montage réside dans le fait qu'il est commandé par deux impulsions T_1 et T_2 appliquées l'une après l'autre (à deux entrées de comptage). Considérons le fonctionnement de ce montage en supposant qu'à l'état initial il affiche le code 0000.

La première impulsion de comptage ($T_1 = 1$) ouvre la porte B_1 ($B_1 = 1$) et place la première bascule R-S à l'état $Q_1 = 1$. Par conséquent, le montage passe à l'état 0001. Le signal « 1 » issu de la sortie de la porte B_1 est appliqué en même temps à la porte B_6 sans toutefois l'ouvrir, parce que $Q_4 = 0$. L'impulsion de comptage suivante fournie, après la cessation de la première impulsion de comptage ($T_1 = 0$), à l'entrée T_2 ($T_2 = 1$) ouvre la porte B_3 et place la bascule à l'état $Q_2 = 1$; le montage passe à l'état 0011. Le signal « 1 » attaquant la bascule B_7 depuis la bascule B_3 ne peut ouvrir la bascule B_7 car $Q_3 = 0$. Le changement d'états ultérieur de ce montage est spécifié dans le tableau 5.2.

Tableau 5.2

Table de vérité d'une échelle à 12 états stables

Impulsions d'horloge		Bascules				Etat stable
T_1	T_2	Q_1	Q_2	Q_3	Q_4	
0	0	0	0	0	0	1
1	0	1	0	0	0	2
0	1	1	1	0	0	3
1	0	0	1	1	0	4
0	1	0	0	1	0	5
1	0	1	0	1	0	6
0	1	1	1	1	1	7
1	0	0	1	1	1	8
0	1	0	0	1	1	9
1	0	1	0	0	1	10
0	1	1	1	0	1	11
1	0	0	1	0	1	12
0	1	0	0	0	0	1
1	0	1	0	0	0	2

Le montage considéré peut être facilement transformé en une échelle à entrée unique T. A cet effet, on utilise une bascule de comptage supplémentaire à sorties « report » et « emprunt » raccordées respectivement aux fils T_1 et T_2.

5.7. *Compteurs sans portes*

Les procédés de synthèse des compteurs de base $K_c \neq 2^N$ étudiés plus haut nécessitent en règle générale des portes supplémentaires entre les « bits ». Or, dans la pratique, on se sert souvent du soi-disant procédé d'établissement des compteurs de base $K_c \neq 2^N$ sans portes [65]. Ces procédés reposent sur le principe bien connu d'organisation du comptage dans une base arbitraire à l'aide de compteurs de base $2^N + 1$, c.-à-d. des compteurs permettant d'augmenter leur base d'une unité [75].

Pour établir un compteur sans portes de base $K_c = 2^N$, il faut représenter la base K_c voulue sous la forme d'un produit des multiplicateurs (groupes) dont chacun se compose des nombres représentant une puissance de 2 ou une puissance de 2 avec l'adjonction des unités.

Par exemple, le nombre 27 peut être présenté sous la forme du produit de trois multiplicateurs dont chacun est une puissance de 2 plus 1 :

$$27 = (2 + 1)(2 + 1)(2 + 1).$$

Le même nombre peut s'écrire sous la forme de deux multiplicateurs :

$$27 = (8 + 1)(2 + 1),$$

ou encore :

$$27 = 2[4(2 + 1) + 1] + 1.$$

D'après la première présentation du nombre 27, il faut avoir trois compteurs de base $K_c + 1$, où $K_c = 2$.

Dans le deuxième cas, on a besoin de deux compteurs de bases $K_c' + 1$ et $K_c'' + 1$, où $K_c' = 8$ et $K_c'' = 2$.

Dans le troisième cas, le nombre 27 est représenté par le produit de deux multiplicateurs : du chiffre 2 ($K_c = 2$) et du chiffre en crochets ($K_c = 13$) ainsi que d'une unité complémentaire.

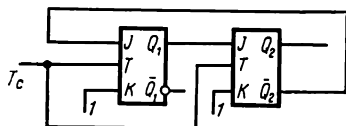


Fig. 5.31. Compteur modulo 3 en bascules J-K_t

Avant de décrire la structure d'un compteur de base 27, analysons le procédé permettant d'augmenter d'une unité la base, en utilisant, à cet effet, le montage de la fig. 5.31 représentant un compteur de base 3 en bascules du type J-K_t.

Au repos, le compteur est à l'état 0 ($Q_1 = Q_2 = Q_0$). La première bascule est ainsi préparée au basculement à l'état 1 par l'entrée $J = \bar{Q}_2 = 1$ et la deuxième, à confirmer son état 0 par l'entrée $K = 1$.

Après la cessation de la première impulsion de comptage ($T_c = 0$) le compteur prend l'état 01 ($Q_1 = 1$, $Q_2 = 0$).

Après la cessation de la deuxième impulsion de comptage, le compteur passe à l'état 10 ($Q_1 = 0$, $Q_2 = 1$) parce que les deux bascules J-K_t fonctionnent en bascule du type T_t. Avant l'arrivée de la troisième impulsion de comptage, les entrées J des deux bascules sont au niveau 0 et les entrées K au niveau 1. Après la cessation de la troisième impulsion, les deux bascules se placent à l'état 0 par les entrées $K = 1$. D'un compteur de base $K_c = 3$ on dérive facilement celui de base $K_c = 27$ (fig. 5.32, *a*, *b*, *c*). Les compteurs schématisés fig. 5.32 *a* et *b* correspondent aux deux premières présentations du nombre 27. Ils sont équipés de 6 bascules du type J-K_t, celui de la figure 5.32 *c* (correspondant au troisième

cas de représentation du nombre 27) utilise 7 bascules. Un compteur de base analogue, réalisé suivant l'un des procédés décrits plus haut avec l'emploi de portes interbits, comporte 5 bascules.

On voit de la fig. 5.32 que la base d'un groupe quelconque du compteur (du compteur intermédiaire) est augmentée d'une unité à l'aide d'une bascule supplémentaire (bascule de « un ») du type J-K_t.

A la différence des autres bascules J-K_t de son groupe remplissant uniquement la fonction de comptage binaire et ne possédant qu'une entrée J (les bascules du type T_t, sauf la première bascule-bit,

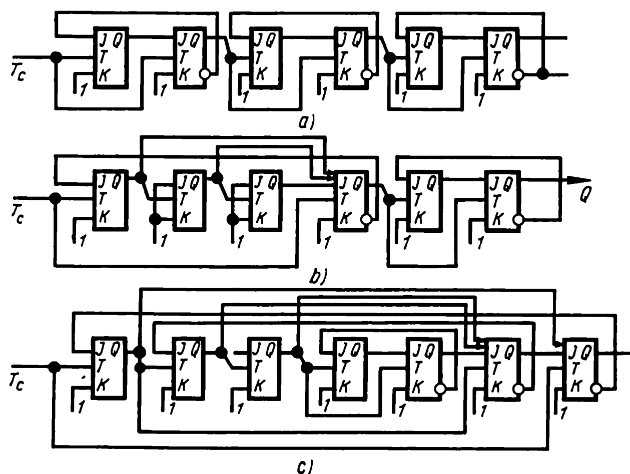


Fig. 5.32. Compteurs sans portes équipés de 6 bascules du type J-K_t (a, b) et de 7 bascules du type J-K_t (c)

peuvent également en faire partie), la bascule J-K_t de « un » comporte autant d'entrées J qu'il y a de bascules-bits précédentes de son groupe.

L'entrée K de la bascule de « un » est au niveau 1 et son entrée horloge est réunie avec celle de la bascule J-K_t du poids faible de son groupe, les sorties Q de tous les « bits » du groupe étant connectées aux entrées J de la bascule de « un » et la sortie $\overline{Q}$ de la bascule de « un », à l'entrée J de la bascule du poids faible de son groupe. La sortie du groupe sera constituée par la sortie Q de la bascule de « un ». Le signal prélevé de la sortie Q de la bascule de « un » déclenche le groupe suivant du compteur. Cela veut dire que cette sortie est reliée à l'entrée de comptage du groupe suivant.

Lorsque la bascule de « un » sert à augmenter d'une unité la base de plusieurs groupes montés en série et des bascules-bits séparées dont chacune peut conventionnellement constituer un groupe à part, le nombre de ses entrées J doit être égal à celui de tous les

Tableau 5.3

Synthèse des compteurs sans portes de base $K_c = 10$ à 15

K_c	Nombre de bascules dans un compteur sans portes	Nombre de bascules dans un compteur binaire	Schéma
10	4	4	2(4+1)
11	5	4	2(4+1)+1
12	4	4	4(2+1)
13	5	4	4(2+1)+1
14	5	4	2[2(2+1)+1]
15	5	4	(2+1)(4+1)

groupes précédents et les sorties Q de tous les groupes précédents du compteur doivent être connectées aux entrées J de la bascule de « un ». Les autres couplages de la bascule de « un » du type J-K_t de ce compteur doivent être analogues à ceux décrits plus haut.

La fig. 5.32*c* montre à titre d'exemple l'emploi de la bascule de « un » dans un compteur de $K_c = 27$.

Le tableau 5.3 représente à titre d'exemple six schémas de compteurs sans portes dont la base varie de 10 à 15. La colonne 4 de ce tableau fait voir le mode de leur séparation en groupes.

Le premier compteur ($K_c = 10$) comporte deux groupes: le premier à bascule (D) unique fait la division par deux, le deuxième à trois bascules (C, B et A) fait la division par 5, le rôle de bascule de « un » du deuxième groupe étant tenu par la bascule A.

La synthèse du compteur de base $K_c = 11$ se fait par b anchement dans le schéma précédent d'une bascule de « un » complémentaire (bascule A). Le compteur de base $K_c = 12$ se compose de deux groupes: le premier, à bascules D et C, assure la division par 3

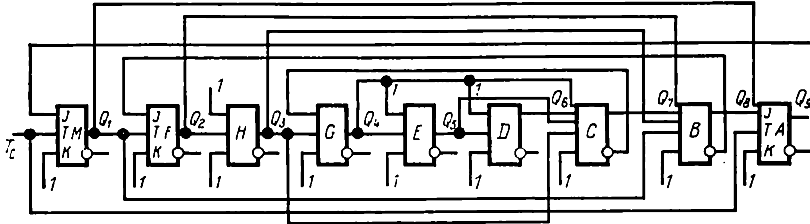


Fig. 5.33. Compteur sans portes modulo 75

(la bascule de « un » est représentée par la bascule C) et le deuxième, à bascules A et B, assure la division par 4. Les autres schémas des compteurs sont faciles à analyser séparément, en dégageant les groupes qui en font partie et les bascules jouant le rôle de bascules de « un ».

Le tableau 5.4 indique la division en groupes des compteurs à plusieurs positions sans portes de base $K_c \geqslant 32$. En analysant les colonnes 2 et 3 des tableaux 5.3 et 5.4, il convient de souligner que, par rapport à leur version classique en bascules de comptage et en portes supplémentaires, les compteurs sans portes possèdent une ou deux bascules de plus, sauf le schéma de $K_c = 59$. Dans certains cas, les compteurs sans portes sont plus économiques que les compteurs à portes supplémentaires.

Par exemple, les compteurs de base $K_c = 33$, 34, 36, 40 et 48 nécessitent au moins deux portes supplémentaires pour six bascules de comptage tandis que leur version sans portes ne demande que six bascules du type J-K_t.

Supposons qu'on ait à construire un compteur de base $K_c = 75$ qui ne figure pas dans le tableau 5.4. A cet effet, il est nécessaire de représenter le nombre 75 sous la forme d'un nombre constitué par des puissances de 2 et des unités supplémentaires, comme indiqué ci-dessous:

$$75 = 74 + 1 = 2\,(37) + 1 = 2\,(36 + 1) + 1 = \\ = 2\,[4\cdot(9) + 1] + 1 = 2\cdot[4\,(8 + 1) + 1] + 1. \qquad (5.12)$$

Etant donné que le comptage dans la base 1 et 2 nécessite une seule, dans la base 4, deux, et dans la base 8, trois bascules, le nombre total de bascules dans le compteur sans portes sera égal à 9 dont trois fonctionnent en bascules de « un ». Le schéma de ce compteur sans portes de base $K_c = 75$ est donné fig. 5.33.

Tableau 5.4

Synthèse des compteurs sans portes de base $32 \leqslant K_C \leqslant 60$

K_C	Nombre de bascules dans un compteur sans portes	Nombre de bascules dans un compteur binaire	Principe de division en groupes
32	5	5	32
33	6	6	(32+1)
34	6	6	2 (16+1)
35	7	6	(4+1) [2 (2+1)+1]
36	8	6	4 (2+1) (2+1) ou 4 (8+1)
37	7	6	4 (2+1) (2+1) +1 ou 4 (8+1) +1
38	7	6	2 [2 (8+1) +1]
39	8	6	2 [2 (8+1) +1] +1
40	6	6	8 (4+1)
41	7	6	8 (4+1) +1
42	7	6	2 (2+1) [2 (2+1) +1]
43	8	6	2 (2+1) [2 (2+1) +1] +1
44	7	6	4 [2 (4+1) +1]
45	7	6	(2+1) (2+1) (4+1) ou (8+1) (4+1)
46	8	6	2 {2 [2 (4+1) +1] +1}
47	9	6	2 {2 [2 (4+1) +1] +1} +1
48	6	6	16 (2+1)
49	7	6	16 (2+1) +1
50	7	6	2 (4+1) (4+1)
51	8	6	2 (4+1)·(4+1) +1
52	7	6	4 [4 (2+1) +1]
53	8	6	4 [4 (2+1) +1] +1
54	7	6	2 (8+1) (2+1)
55	8	6	(4+1) [2 (4+1) +1] ou 2 (8+1) (2+1) +1
56	7	6	8 [2 (2+1) +1]
57	8	6	8 [2 (2+1) +1] +1
58	8	6	2 {4 [2 (2+1) +1] +1}
59	9	6	2 {4 [2 (2+1) +1] 1} +1
60	7	6	4 (2+1) (4+1)

Malgré leur simplicité, les compteurs sans portes de base $K_C = 2^N$ présentent un certain nombre d'inconvénients assez graves:

— un ordre de comptage non binaire;

— un fonctionnement séquentiel des bascules et des groupes, d'où leur faible rapidité de fonctionnement;

— un nombre plus grand de bascules par compteur pour la plupart des K_C, par rapport à un compteur binaire;

— la nécessité d'utiliser dans certains cas les bascules du type J-K_t ayant un nombre différent d'entrées J.

Pour conclure ce paragraphe, nous croyons utile d'indiquer l'un des nouveaux procédés de synthèse des compteurs sans portes de base K_c égale à $2^N + 2^{N-1}$.

De tels compteurs peuvent être réalisés à partir des bascules du type J-K_t dont chacune ne possède qu'une seule entrée J, indépendamment de la valeur de N (N est le nombre de chiffres binaires de base du compteur).

D'après ce procédé, l'entrée J de la bascule de « un » (le terme « un » ne correspond plus à son sens original et n'est employé que conventionnellement) est reliée à la sortie $\overline{Q}$ du N-ième « bit » du poids fort du compteur, la sortie $\overline{Q}$ de la bascule de « un » à la fois aux entrées J et K de la bascule-bit du poids faible, l'entrée de comptage de la bascule-bit du poids faible et celle de la bascule de « un » devant être réunies ensemble comme dans le cas classique.

Toutefois, il convient d'avoir en vue que la sortie Q de la bascule de « un » ne peut, dans ce cas, servir au déclenchement d'un autre compteur à cause des particularités que présente le chronogramme de fonctionnement du compteur examiné. Le lecteur pourra lui-même réaliser un compteur de base $K_c = 6$ ou $K_c = 12$ et faire une analyse peu compliquée du chronogramme de son fonctionnement.

5.8. *Compteurs à décalage*

Les compteurs à décalage peuvent être réalisés avec:
— les registres à décalage;
— les montages registre-additionneur;
— les circuits en anneau spéciaux.

Tous les compteurs à décalage ont ceci de particulier que leur passage d'un état à l'autre se produit grâce au décalage de l'information.

Le décalage de l'information a lieu sous l'effet des impulsions de décalage (de comptage) introduites sur les entrées des bascules-bits du compteur.

5.8.1. Compteurs équipés de registres à décalage en anneau

Parmi les différents types de compteurs à décalage, cette classe de compteurs est largement répandue dans les schémas à circuits intégrés.

Suivant le mode de leur synthèse, on distingue:
— les compteurs à codes constamment pondérés;
— les compteurs à registres à décalage à couplages croisés;
— les compteurs à registres à décalage et à échelles supplémentaires (montages « combinés »);
— les compteurs polynomiaux.

Les compteurs à décalage sont utilisés pour la synthèse des circuits de comptage petit modulo, des circuits de synchronisation et des distributeurs d'impulsions.

5.8.1.1. Compteurs à codes à pondération fixe

La particularité principale des compteurs de ce type est la combinaison constante des uns et des zéros dans les « bits » du registre pour chacun des états stables que le compteur prend en cours de comptage [38].

La version la plus simple des compteurs de cette famille est celui du genre $1/N$ réalisé à partir d'un registre à décalage en anneau à cadence unique dont l'un des « bits » est mis au préalable dans l'état 1. Après chaque impulsion de comptage, il se produit le décalage de 1 d'un pas du registre, ce qui caractérise un nouvel état du compteur. Un tel compteur réalise le comptage des signaux dans la base N, c.-à-d. $K_c = N$. Son avantage principal est la simplicité de décodage de ses états et une rapidité de fonctionnement élevée lorsqu'il est monté en bascules D_t, R-S_t ou J-K_t.

Etant donné qu'un compteur modulo N de ce type nécessite respectivement l'emploi de N bascules-bits, son emploi en compteur est limité, étant d'autre part plus fréquent en distributeur de niveaux ou d'impulsions à n voies (voir chapitre 6).

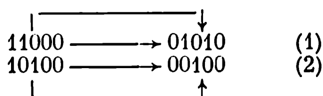
Si, au départ, on inscrit dans le registre en anneau deux uns, chaque état du compteur sera codé par deux uns (les états du registre: 101000. . .0, 0101. . .0, 00101. . .0, etc.), autrement dit, on obtient un compteur du genre $2/N$ avec $K_c = N$. Dans ces conditions, suivant les deux « bits » qui sont mis au préalable à l'état 1, on peut obtenir les séquences différentes des codes à N positions. Le nombre de telles séquences sera fini et dépend de la capacité du compteur. Par exemple, pour un registre à décalage à cinq positions, on peut obtenir deux séquences des codes:

$$
\text{I}\left\{\begin{array}{l}01100\\00110\\00011\\10001\\11000\end{array}\right.
\qquad
\text{II}\left\{\begin{array}{l}01010\\00101\\10010\\01001\\10100\end{array}\right.
$$

La première séquence (I) s'obtient quand au départ on positionne à 1 les premier et troisième « bits » du registre et qu'on applique ensuite un train de 5 impulsions de comptage (de décalage). La deuxième séquence est obtenue lorsqu'à l'état 1 sont placés les deuxième et quatrième « bits » du registre et qu'un train de 5 impulsions de décalage est appliqué.

Etant donné que ces deux séquences ne comportent aucun état identique, on peut les réunir en une seule séquence pour obtenir 10 états stables. Pour permettre un tel régime de fonctionnement du montage, il est nécessaire que l'arrivée de la cinquième impulsion de décalage ramène le registre du dernier état (11000) de la

première séquence au premier état (01010) de la deuxième séquence et, inversement, que la dixième impulsion le renvoie du cinquième état (10100) de la deuxième séquence au premier état (01100) de la première séquence. Autrement dit, il est nécessaire d'effectuer les deux transitions suivantes:



Pour chacune de ces deux transitions, le un de gauche doit se décaler normalement, c.-à-d. qu'il doit être toujours transcrit du premier « bit » dans le deuxième, le un de droite ne se décalant point (transition 2) ou se décalant de deux « bits » (transition 1).

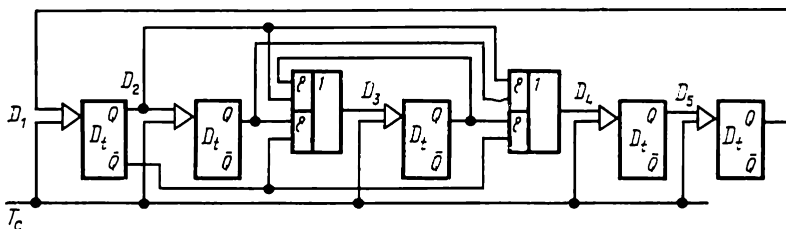


Fig. 5.34. Compteur à décalage en anneau du genre 2/5

Par conséquent, pour réunir ensemble les deux séquences, il est nécessaire d'exécuter un décalage spécial chaque fois où le premier « bit » est dans l'état 1. Si le premier « bit » est dans l'état 0, le décalage est normal, c.-à-d. du 1er « bit » au 2e, du 2e au 3e, du 3e au 4e et du 5e au 1er. Le décalage de ce type est souvent appelé décalage « pur » et les registres en anneau sont dits registres à décalage « pur ».

Le schéma d'un compteur du genre 2/5 de $K_c = 10$ équipé de bascules du type D_t est représenté fig. 5.34. La méthode de sa synthèse peut s'appliquer à un compteur à décalage ayant n'importe quel nombre de « bits ». Dans ces conditions, le nombre total des états stables (S) se détermine, comme il est montré dans l'ouvrage [38], par l'expression:

$$S = \frac{N \cdot (N-1)}{2}. \qquad (5.13)$$

A la différence des compteurs du genre $1/N$, les compteurs $2/N$ comportent un grand nombre d'états stables, mais le décodage de chacun d'entre eux nécessite des circuits ET à deux entrées supplémentaires.

En plus de compteurs $2/N$, on utilise également les compteurs $3/N$ permettant d'augmenter considérablement le nombre d'états stables pris par le registre à décalage. Cependant, le schéma logique

nécessaire pour organiser deux transitions supplémentaires du registre au cours du comptage s'en trouve fortement compliqué et le décodage de chaque état nécessite des circuits ET à trois entrées [38].

L'avantage principal des compteurs à codes constamment pondérés est dû à leur rapidité de fonctionnement élevée et à la simplicité du décodage des états.

5.8.1.2. Compteurs à registres à décalage à couplages croisés *)

L'application des compteurs de ce type dans la technique intégrée s'explique par la simplicité de leur réalisation. Les compteurs de ce type se réalisent à base des registres à décalage en anneau dont chacun comporte un couplage croisé qui assure la transcription de l'information complémentaire dans l'un de ses « bits », l'information

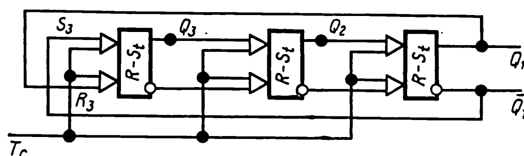


Fig. 5.35. Compteur modulo 6 à registre à couplage croisé

transcrite dans tous les autres « bits » étant directe. Pour la synthèse de tels compteurs, on utilise les registres à décalage aussi bien à cadence unique qu'à plusieurs cadences.

Considérons le fonctionnement d'un compteur modulo $K_c = 6$ utilisant un registre à couplage croisé équipé de bascules du type R-S_t (fig. 5.35). Le couplage entre les deuxième et premier « bits » et entre les troisième et deuxième « bits » est direct, et entre les premier et troisième, croisé.

Lorsque les impulsions de comptage (de décalage) sont appliquées à l'entrée T_c qui fait fonction de l'entrée du compteur, il se produit une transcription de l'information directe entre les deuxième et premier « bits » et entre les troisième et deuxième « bits » du montage et complémentaire entre les premier et troisième « bits ». Supposons que le code initial du compteur soit 000 ($Q_1 = Q_2 = Q_3 = 0$). Dans ce cas, les portes placées aux entrées R des deuxième et premier « bits » seront ouvertes, et les portes aux entrées S fermées. Dans le troisième « bit », grâce au couplage croisé, la porte à l'entrée S sera ouverte et celle à l'entrée R fermée.

Après la cessation de la première impulsion de comptage, le compteur passera à l'état correspondant au code 100. Après la cessation de la deuxième impulsion de comptage, l'information se décalera de nouveau d'un bit et le contenu du compteur sera 110. La troisième impulsion de comptage placera le montage dans l'état

*) Compteur de Johnson.

111. La quatrième impulsion de comptage placera le troisième « bit » du compteur à l'état 0 et confirmera ainsi l'état 1 des deuxième et premier « bits » du montage (le contenu du compteur sera 011). La cinquième impulsion placera le montage à l'état correspondant au code 001. Enfin, après la cessation de la sixième impulsion, le montage reprendra son état de départ correspondant au code 000. Ainsi, le montage considéré comporte six états stables et, sous l'effet des impulsions fournies sur son entrée, il passe successivement d'un état à l'autre en assurant le comptage des impulsions en module.

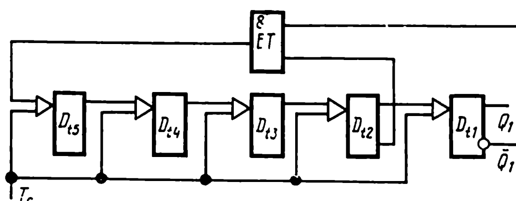


Fig. 5.36. Compteur modulo 9 à registre à couplage croisé

La synthèse d'un compteur décimal nécessite un registre en anneau à cinq étages à couplage croisé qui prendra successivement, l'un après l'autre, les 10 états stables suivants: 00000, 10000, 11000, 11100, 11110, 11111, 01111, 00111, 00011, 00001.

Les compteurs de ce type comptent dans une base impaire égale à $K_c = 2N$, N étant le nombre de « bits » du registre à décalage. Ils se prêtent facilement surtout à la réalisation des compteurs petit modulo (de 4 à 10). Les compteurs à décalage à base de registres à couplage croisé permettent aussi de réaliser aisément des compteurs modulo impair, c.-à-d. de $K_c = 2N - 1$.

Les particularités de la structure des compteurs modulo impair sont considérées sur l'exemple de la fig. 5.36 représentant un compteur modulo 9 en bascules du type D_t.

Le module impair est obtenu grâce à l'introduction d'une porte ET supplémentaire permettant d'exclure un état « superflu ». La porte ET est montée de façon à avoir sa première entrée attaquée par le niveau provenant de la sortie inverseuse du « bit » du poids faible du montage ($\overline{Q}_1$) et sa deuxième entrée par le niveau issu de la sortie inverseuse du deuxième « bit » du compteur ($\overline{Q}_2$). La sortie de la porte ET est connectée à l'entrée D du cinquième « bit » du compteur. L'arrivée des impulsions de comptage fait passer le montage de l'état initial 00000 successivement aux états 10000, 11000, etc., jusqu'au code 11110. Lorsque le montage se place dans ce dernier état, le niveau $\overline{Q}_2 = 0$ ferme la porte ET, ce qui équivaut à l'application du niveau 0 à l'entrée D_5. Il en résulte que le comptage ultérieur sera caractérisé par les états successifs 01111, 00111, 00011, 00001 et, après la cessation de la neuvième impulsion, le

compteur reprendra son état de départ 00000. Il est aisé de voir que des dix états successifs que devait prendre le compteur (fig. 5.36) dépourvu de porte ET il n'y a qu'un seul qui est exclu, à savoir celui qui correspond au code 00000. En procédant de la même manière, on peut établir les schémas des compteurs de base impaire quelconque. A cet effet, on peut exclure du montage du compteur n'importe quel état qui ne correspond pas nécessairement au code 11111, ce qui s'obtient par montage des portes entre les « bits » correspondants du registre.

Dans le cas général, les compteurs à cadence unique, modulo impair, peuvent être réalisés sans emploi de portes ET supplémentaires si l'on dispose de bascules des types D_t, $R\text{-}S_t$, $D\text{-}V_t$ ou $J\text{-}K_t$ à plusieurs entrées d'information. Par exemple, le compteur modulo 9 réalisé selon le schéma de la fig. 5.36 peut être construit sans porte ET supplémentaire à condition que le cinquième « bit » de ce montage comporte deux entrées d'information D dont l'une recevra le signal depuis le côté $\overline{Q}_2$ et l'autre le signal issu du côté $\overline{Q}_1$. L'avantage principal des compteurs équipés de registres à couplages croisés est leur haute rapidité de fonctionnement et la simplicité de décodage des états.

La rapidité de fonctionnement est déterminée par le temps de positionnement d'un seul « bit » et le décodage des états à l'aide de circuits ET à deux entrées.

5.8.1.3. Compteurs à décalage en montages combinés

Les montages combinés des compteurs à décalage sont conçus à la fois en registres à décalage et en circuits d'échelle supplémentaires.

Les montages les plus simples des compteurs de ce type sont les montages doubleurs. L'une des variantes d'un tel montage est

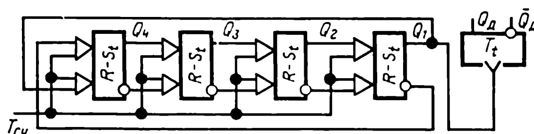


Fig. 5.37. Compteur modulo 16 réalisé selon le schéma combiné

donnée fig. 5.37. Ce montage comporte un registre à décalage à quatre « bits » à couplage croisé et une bascule du type T_t dont l'entrée de comptage est branchée sur la sortie du « bit » du poids faible du montage Q_1. Ce mode d'établissement permet à ce montage d'exécuter le comptage des signaux par 16. La particularité de fonctionnement de ce montage consiste en ce que pour les huit premiers états pris par le montage au cours du comptage la bascule de comptage supplémentaire se trouve dans l'état 0, alors que pour

les huit états suivants, à l'état 1. Ainsi, le montage prend l'un après l'autre 16 états stables.

Après la seizième impulsion de comptage, le compteur reprend son état de départ correspondant au code 0000,0. Dans ces conditions, les codes des nombres inscrits dans le compteur, dont l'un est de 8 supérieur à l'autre, ne diffèrent l'un de l'autre que par l'état du cinquième « bit » supplémentaire. Le code du nombre 1 correspond à l'état du montage 1000,0 et le code du nombre 9 à l'état 1000,1 ; le code du nombre 5 à l'état 0111,0 et le code du nombre 13 à l'état 0111,1 et ainsi de suite.

D'après le nombre des bascules utilisées, ces montages sont plus économiques que ceux des compteurs équipés uniquement de registres à couplages croisés. En réalisant l'échelle supplémentaire sous forme d'une bascule de comptage par 3, 4, on obtient des montages combinés de multiplications par 3, par 4, etc.

5.8.1.4. Compteurs polynomiaux

Les compteurs polynomiaux *) sont affranchis de l'inconvénient principal propre à tous les compteurs à registres que nous avons considérés jusqu'ici, à savoir le nombre relativement petit des états stables pour un nombre donné N de « bits » du registre.

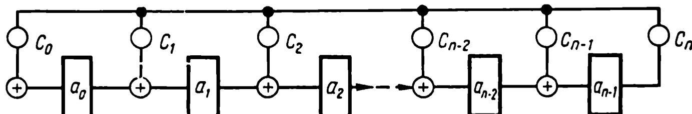


Fig. 5.38. Vue générale du schéma d'un compteur à décalage polynomial

Les compteurs polynomiaux sont réalisés à base des registres à décalage en anneau en bascules du type D et D_t (les variantes du compteur respectivement à plusieurs cadences et à cadence unique) et du circuit OU exclusif (addition modulo 2). L'emploi des circuits OU exclusif pour le transfert et la transformation de l'information entre les « bits » constitue l'indice distinctif principal de ce type de compteurs à décalage.

La vue générale du schéma d'un compteur polynomial est donnée fig. 5.38, sur laquelle les lettres $a_0, a_1, a_2, \ldots, a_{n-1}$ désignent les bascules-bits du compteur; le symbole $\oplus$ désigne l'élément OU exclusif et les lettres $c_0, c_1, c_2, \ldots, c_n$ sont les facteurs-multiplicateurs qui ne peuvent prendre que deux valeurs 0 et 1 et qui désignent en réalité la présence ou l'absence de réaction sur le i-ième élément OU exclusif. Cela veut dire que si $Q_1 = 0$, la réaction de la sortie de l'élément (de la bascule) a_{n-1} sur l'entrée de l'élément OU

---

*) L'appellation « compteurs polynomiaux » est due au fait que le fonctionnement de ces compteurs est décrit à l'aide des polynômes du n-ième degré [56].

exclusif branché sur l'élément a_i est supprimée. Si $c = 1$, cette réaction est introduite. Dans ces conditions, les coefficients c_1 sont des constantes choisies lors de l'établissement du compteur modulo voulu.

Considérons sur quelques exemples concrets les particularités de la synthèse des compteurs polynomiaux.

Soit un compteur à trois « bits », c.-à-d. $N = 3$. Donnons-nous les coefficients c_i $(i < 3)$: $c_1 = 1$, $c_2 = 0$.

Le compteur possédant ces paramètres est schématisé fig. 5.39.

Au départ, le compteur doit se trouver dans l'état 001 ($a_0 = 0$, $a_1 = 0$, $a_2 = 1$). Cela veut dire que l'état 0 de tous les « bits » du

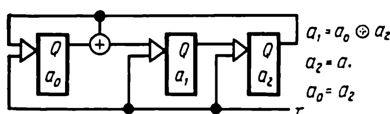


Fig. 5.39. Compteur polynomial modulo 7

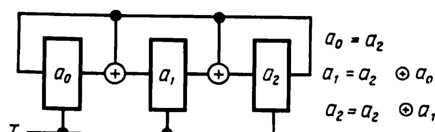


Fig. 5.40. Compteur polynomial modulo 4

compteur est un état interdit. Cela concerne tous les compteurs polynomiaux quelle que soit la valeur de N. Toutefois, l'état 1 est imposé généralement soit au premier ($a_0 = 1$) soit au dernier « bit » ($a_N = 1$) du compteur. Le comptage est déclenché par application des impulsions de décalage (de comptage) à l'entrée du compteur constituant la réunion des entrées horloge de toutes les bascules.

Après la première impulsion de comptage, le compteur prend l'état correspondant au code 110. Après la deuxième impulsion de comptage, le contenu du compteur est 011, etc.

Les états successifs du compteur sont indiqués dans le tableau 5.5.

Tableau 5.5

Table de vérité d'un compteur polynomial

a_0	a_1	a_2	Instant de temps
0	0	1	Etat initial
1	1	0	Après la 1re impulsion de comptage
0	1	1	Après la 2e impulsion de comptage
1	1	1	Après la 3e impulsion de comptage
1	0	1	Après la 4e impulsion de comptage
1	0	0	Après la 5e impulsion de comptage
0	1	0	Après la 6e impulsion de comptage
0	0	1	Etat initial

Le compteur comporte 7 états stables, c.-à-d. $K_c = 2^N - 1$.

Utilisant deux couplages $\oplus$ ($c_1 = c_2 = 1$) dans le montage de base à trois « bits », on peut obtenir un compteur de $K_c = 4$ (fig. 5.40).

La fig. 5.41 donne le schéma d'un compteur possédant trois états stables (compteurs du genre $1/N$) dont $c_1 = c_2 = 0$.

Les exemples considérés plus haut montrent que la synthèse des compteurs comportant 3, 4 et 7 états stables pour N donné est possible. On se demande si l'on peut obtenir des compteurs à 5 et

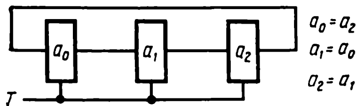


Fig. 5.41. Compteur polynomial modulo 3

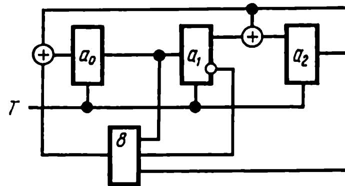


Fig. 5.42. Compteur polynomial modulo 5

6 états stables pour $N = 3$. Si cela était possible, on pourrait réaliser un compteur polynomial de base capable de compter les signaux dans les limites de 2 à $2^N - 1$.

Le schéma d'un compteur polynomial à cinq états stables ($c_1 = 0$ et $c_2 = 1$) est montré fig. 5.42. Ce montage ainsi que le compteur polynomial de $K_c = 6$ (fig. 5.43) nécessitent chacun une porte supplémentaire.

Dans tous ces compteurs, le nombre d'entrées de la porte est égal au nombre de « bits » du registre de base à partir duquel sont réalisées toutes leurs variétés.

Dans l'ouvrage [56] on démontre qu'indépendamment du nombre N, le compteur modifié dont le nombre des états stables est compris entre $2^{N-1} - 1$ et $2^N - 1$ peut être toujours obtenu à partir d'un compteur de base (compteur dont le nombre maximal des états stables est égal à $2^N - 1$) en utilisant un circuit de coïncidence ET dont le nombre d'entrées est égal à N.

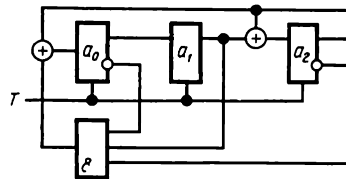


Fig. 5.43. Compteur polynomial modulo 6

Les compteurs à décalage dans lesquels les couplages entre les « bits » ne se font qu'à l'aide de circuits OU exclusif sont souvent appelés compteurs polynomiaux linéaires. Quant aux compteurs dans lesquels ces couplages se réalisent en circuits OU exclusif et avec une porte ET, ils sont appelés compteurs polynomiaux non linéaires.

Il convient de remarquer que le nombre de « bits » dans les compteurs polynomiaux correspond à celui d'un compteur binaire.

5.8.2. Compteurs conçus en registre-additionneur (montage ADN)

Ce compteur comprend un registre à décalage, un additionneur et une source d'impulsions 1 (fig. 5.44). Sa sortie est branchée sur l'entrée A de l'additionneur, dont l'entrée B est reliée à la source d'impulsion un (+1) par l'intermédiaire d'un circuit ET à deux entrées, dont la deuxième reçoit des impulsions de comptage. La troisième entrée C de l'additionneur sert à l'addition des signaux de report (P) en provenance des poids faibles avec le code des poids forts du registre. La sortie « somme » (S) de l'additionneur est branchée sur l'entrée du registre à décalage, ce qui permet l'accumulation du résultat de l'addition, c.-à-d. le comptage des impulsions. Le code initial du registre est 0. . .0.

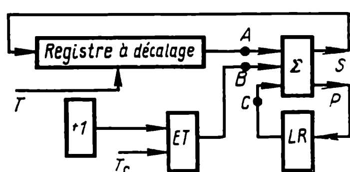


Fig. 5.44. Schéma synoptique d'un compteur réalisé suivant le principe registre-additionneur

L'impulsion de comptage (T_c) s'applique à l'entrée du circuit ET de la source d'impulsions (+1) simultanément avec l'arrivée dans l'additionneur combinatoire du contenu du premier « bit » du registre. Ensuite la source (+ 1) se coupe et le contenu du registre se décale vers la droite de N — 1 « bits », N étant le nombre de « bits » du registre. Etant donné qu'au cours du décalage toutes les entrées (A, B, C) de l'additionneur sont au niveau 0 logique (le circuit ET est fermé), l'état 0 sera transcrit dans tous les « bits », sauf le premier, pendant les (N — 1) impulsions de décalage. Ainsi, après la première impulsion de comptage et compte tenu de son décalage de (N — 1) « bits » vers la droite, le registre contiendra le code 00...1. La deuxième impulsion de comptage entraîne la réouverture du circuit ET suivie d'un nouveau cycle d'addition qui comprend, tout comme le cycle précédent, N cadences. Pendant la première impulsion d'horloge du deuxième cycle, l'additionneur délivre à sa sortie le niveau 0 et il y a, simultanément, formation du signal de report mis en mémoire dans la ligne à retard qui impose au signal un retard égal à la période de répétition des impulsions d'horloge. Après le deuxième cycle de décalage, le contenu du registre est donc 0000...010.

Avec l'arrivée de la troisième impulsion de comptage commence un nouveau cycle d'addition au bout duquel le contenu du registre est 00...11 et ainsi de suite.

On voit que chaque cycle d'addition fait augmenter d'une unité le contenu de registre, c.-à-d. qu'il se produit le comptage binaire des uns du registre. Les compteurs conçus en registre-additionneur trouvent leur application dans les calculateurs arithmétiques universels. Les registres utilisés sont aussi bien à décalage que parallèles, ce qui nécessite l'emploi d'additionneurs parallèles [26].

5.8.3. Compteurs à décalage en circuits en anneau spéciaux

Les compteurs à décalage de ce type sont relativement peu utilisés dans la tecnhique des circuits d'échelle, toutefois leur emploi est plus fréquent pour la réalisation des circuits de distribution et de synchronisation. Aussi, leur description plus détaillée sera-t-elle donnée dans le chapitre 6.

5.9. Bascules multistables et échelles réalisées à leur base

L'intérêt que présentent ces derniers temps les bascules multistables, c.-à-d. les bascules possédant plus de deux états stables, s'explique par le fait que dans de nombreux cas les dispositifs qui en sont équipés s'avèrent plus efficaces que les dispositifs analogues réalisés à partir des bascules bistables classiques du point de vue de la rapidité de fonctionnement et des dépenses matérielles et énergétiques. Cela concerne en premier lieu les échelles, les diviseurs de fréquence, les distributeurs de signaux, les dispositifs de calcul utilisant la numération ternaire ou décimale et, en général, une numération autre que la numération binaire.

La synthèse de toute bascule multistable (BM) est basée sur un élément de mémoire comportant plus de deux états stables que nous appellerons dans la suite de cet ouvrage circuit multistable (CM).

Considérons les particularités de synthèse des circuits multistables à base d'éléments logiques standards des circuits intégrés.

5.9.1. Circuits multistables

Soient N éléments logiques ET-NON possédant chacun $m = N - 1$ entrées. Connectons la sortie du i-ième élément ET-NON à l'une des entrées des autres éléments. Désignons par S le nombre de couplages obtenus entre le i-ième élément et les entrées des autres éléments. Alors, pour $N = 3$, la sortie du i-ième élément peut être raccordée seulement aux entrées de deux autres éléments ($S = 2$) et pour $N = 4$, aux entrées de trois éléments ($S = 3$). Il en résulte que la sortie du i-ième élément se trouve reliée aux entrées de tous les autres ($N - 1$) éléments ($S = N - 1$). Etendons le mode d'assemblage choisi pour le i-ième élément à tous les autres éléments. A cet effet, il est nécessaire d'affecter de l'indice i successivement chacun des autres ($N - 1$) éléments et des indices $1, 2, 3, \ldots, N - 1$, tous les éléments suivants à partir du ($i + 1$)-ième de droite à gauche.

Compte tenu de la régularité des liaisons, il est évident que la réalisation de tels circuits multistables nécessite des éléments avec un nombre d'entrées $m = S = N - 1$. Cependant, le couplage de la sortie du i-ième élément avec les entrées des autres éléments peut s'effectuer suivant une autre loi, par exemple aux entrées de deux ($S = 2$), de trois ($S = 3$), etc., des N éléments. Dans ce cas, pour chaque $N \geqslant 3$ et S choisi, le nombre total Z de modes

permettant de relier la sortie d'un élément aux entrées des autres peut être déterminé à partir de l'expression suivante:

$$Z = C_{N-1}^{S} = \frac{(N-1)\,!}{S\,!\,(N-1-S)\,!}\,. \qquad (5.14)$$

Suivant le mode d'assemblage des éléments logiques, les circuits obtenus de la sorte possèdent soit N états stables (circuits multistables), soit un nombre d'états stables inférieur à N, soit enfin n'en possèdent point du tout.

Il est clair que parmi ces trois variantes de circuits, ce sont les circuits multistables qui présentent le plus grand intérêt pratique.

Introduisons la notion du « nombre de phases » du circuit multistable. Nous entendrons par ce terme le nombre minimal de niveaux logiques 0 ou 1 (appelés niveaux de phase) aux sorties du circuit multistable qui maintiennent dans des états logiques opposés (complémentaires) les autres éléments (sorties) du circuit. Alors, en désignant par Φ le nombre de phases du circuit multistable, on peut l'exprimer comme suit:

$$\Phi_0 = N - \overline{N}_1,$$
$$\Phi_1 = N - \overline{N}_0, \qquad (5.15)$$

où N est le nombre total d'éléments ou d'états du circuit multistable ;

Φ_0 et Φ_1 sont les nombres de phases respectivement aux niveaux 0 et 1 ;

$\overline{N}_0$ et $\overline{N}_1$ sont les nombres d'éléments se trouvant dans l'état logique opposé au niveau de « phase » (sorties inverseuses).

Suivant le nombre de phases, on distingue les circuits multistables monophasés (pour lesquels $\Phi = 1$) et les circuits multistables multiphasés (pour lesquels $\Phi \geqslant 2$).

On peut montrer que, pour chaque N donné, le nombre de liaisons S dépend de Φ et de Z.

Soient N éléments ET-NON comportant $m = N - 1$ entrées. D'après l'expression 5.14 on obtient pour $S = N - 1$:

$$Z = C_{N-1}^{N-1} = \frac{(N-1)\,!}{(N-1)\,!\,0\,!} = 1.$$

Cela signifie qu'il existe dans ce cas un seul mode de connexion de la sortie du i-ième élément aux entrées des autres $(N-1)$ éléments. Ce mode d'assemblage peut s'écrire sous la forme:

$$i \to 1,\ 2\ \ldots\ i-1,\ i+1\ \ldots\ (N-1) \qquad (5.16)$$

représentée graphiquement comme il est indiqué fig. 5.45.

Le schéma réalisé conformément à l'expression 5.16 (voir fig. 5.46) possède N états stables caractérisés par les codes: 0111...11, 1011...11, 1101...11, ..., 1111...1110 *), c.-à-d. représente un circuit CM monophasé ($\Phi = 1$).

---

*) Par la suite ce code sera désigné par $0/N$.

On peut s'en convaincre en se donnant le niveau 0 à la sortie de n'importe lequel des N éléments. Ainsi, dans les circuits CM monophasés, à chaque état stable correspond la présence d'un niveau de phase « 0 » seulement sur l'une des sorties et des niveaux 1 sur toutes les autres sorties.

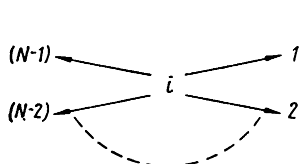


Fig. 5.45. Représentation graphique de la loi de connexion des éléments

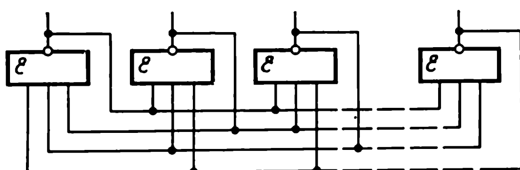


Fig. 5.46. Circuit CM monophasé à N états stables

Soient $N = 5$ et $S = m = 2$, c.-à-d. des éléments ayant un nombre minimal d'entrées. Pour ce cas particulier, on peut définir:

$$Z = C^2_{5-1} = 6.$$

Nous avons donc six variantes différentes de branchement de la sortie du i-ième élément sur les entrées des autres éléments (voir tableau 5.6).

Tableau 5.6

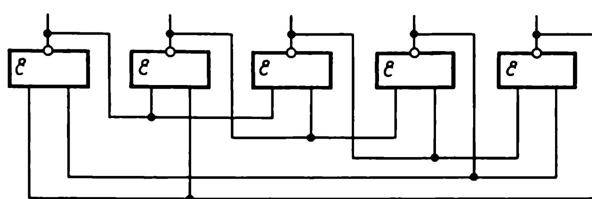
Z	1	2	3	4	5	6
Assemblage des éléments	$i \genfrac{}{}{0pt}{}{\nearrow 1}{\searrow 2}$	$i \genfrac{}{}{0pt}{}{\nearrow 1}{\searrow 3}$	$i \genfrac{}{}{0pt}{}{\nearrow 1}{\searrow 4}$	$i \genfrac{}{}{0pt}{}{\nearrow 2}{\searrow 3}$	$i \genfrac{}{}{0pt}{}{\nearrow 2}{\searrow 4}$	$i \genfrac{}{}{0pt}{}{\nearrow 3}{\searrow 4}$

Affectant successivement chacun des cinq éléments de l'indice i, nous obtenons six variantes du circuit multistable (fig. 5.47). Il est aisé de voir (en se donnant, par exemple, le niveau 0 aux sorties des éléments) que de ces six circuits, ce ne sont que ceux des fig. 5.47 *c* et 5.47 *d* qui ont cinq états stables, les autres n'en possédant point. Les états stables ou les séquences de code de ces circuits sont les suivants:

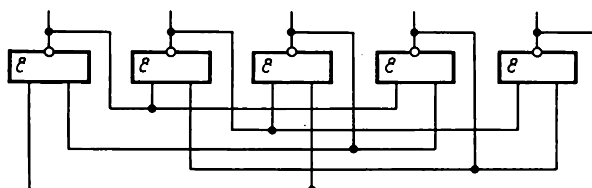
01011
10101
11010
01101
10110 } circuit de la fig. 5.47*c*

00111
10011
11001
11100
01110 } circuit de la fig. 5.47*d*

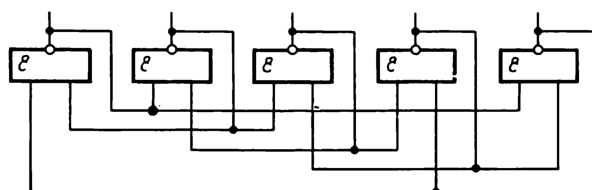
Nous avons donc un circuit CM biphasé (code 2 (0)/N: deux zéros sur N). La particularité des circuits multistables biphasés réside



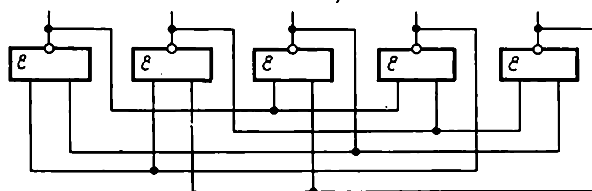
a)



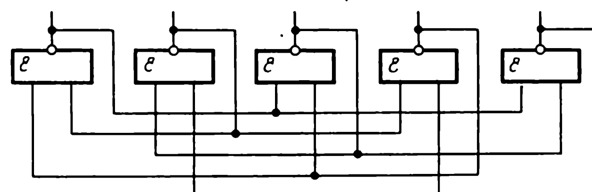
b)



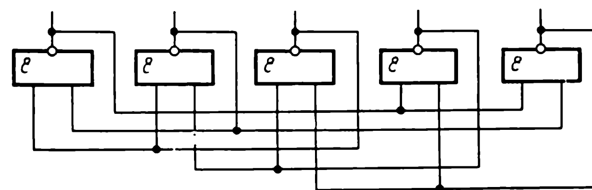
c)



d)



e)



f)

Fig. 5.47. Divers modes d'assemblage de 6 éléments ET-NON

dans le fait que les niveaux de phase 0 sur deux sorties maintiennent dans des états logiques opposés les autres sorties du circuit.

Tableau 5.7

N	5		6		7		
Organisation des liaisons entre la i-ième sortie et les entrées des éléments	2 et 3	1 et 4	2, 3 et 4	3, 4 et 5	2, 3, 4 et 5	1, 2, 5 et 6	1, 3, 4 et 6
Codes des états	00111 10011 11001 11100 01110	01011 10101 11010 01101 10110	001111 100111 110011 111001 111100 011110	010111 101011 110101 111010 011101 101110	0011111 1001111 1100111 1110011 1111001 1111100 0111110	0110111 1011011 1101101 1110110 0111011 1011101 1101110	0111101 1011110 0101111 1010111 1101011 1110101 1111010
Nombre de types de circuits	2		2		3		

Ainsi, pour $N=5$, il n'existe que deux configurations des circuits multistables biphasés. Le tableau 5.7 indique les modes d'assemblage des éléments dans les circuits multistables, les états initiaux des séquences des codes et le nombre de CM biphasés pour les schémas avec $N = 5$ à 7. On peut constater que généralement, dans les circuits CM multiphasés, à chaque état stable du circuit correspond la présence de deux (CM biphasés), de trois (CM triphasés), etc., niveaux de phase. Les CM multiphasés fonctionnent selon les codes $2\,(0)/N$ ou $2\,(1)/N$, $3\,(0)/N$ ou $3\,(1)/N$, etc.

Toutes les variantes de CM avec le même Φ étant, du point de vue du décodage des états, équivalentes, nous nous limiterons dans ce qui suit à l'analyse des circuits CM dont les niveaux de « phase » à l'état initial occupent les numéros des sorties de 1 à Φ. Le choix de ce code a encore une autre raison. En analysant le tableau 5.7, il est aisé de constater que, pour ces codes, le passage des circuits du i-ième au $(i+1)$-ième état s'accompagne par la commutation seulement de deux éléments indépendamment de la valeur du nombre Φ, alors que pour les autres CM le nombre des éléments commutés est égal à 2Φ.

Etant donné que la puissance consommée par les éléments des circuits intégrés pendant la commutation est bien plus élevée que dans l'état statique, la réduction du nombre des éléments commutés

conduira à une baisse de la consommation de l'ensemble du dispositif. Comme le mode de réalisation du CM est en fait choisi, déterminons le rapport entre le nombre de liaisons (S) d'un élément et le nombre de phases (Φ) pour tout $N \geqslant 3$. L'expression 5.15 permet d'écrire :

$$\overline{N} = N - P. \tag{5.16}$$

Alors, du fait que tous les éléments du circuit CM sont liés entre eux d'une manière analogue et que les éléments ayant le même niveau de « phase » ne doivent pas avoir de liaisons entre eux, il vient que si une « phase » comportant S liaisons maintient dans un état opposé S éléments, deux phases pourront maintenir dans un état opposé $S + 1$ éléments, trois phases, $(S + 2)$ éléments et ainsi de suite. Enfin, Φ phases pourront en maintenir en état opposé $(S + \Phi - 1)$, c.-à-d. :

$$\overline{N} = S + \Phi - 1. \tag{5.17}$$

Egalant les deuxièmes membres des expressions 5.16 et 5.17, on obtient une relation importante :

$$S = N - 2\Phi + 1. \tag{5.18}$$

L'expression 5.18 permet de déterminer le nombre nécessaire de liaisons (S) pour le i-ième élément du circuit multistable à tout nombre d'états (N) donné au préalable et au nombre de phases Φ.

Signalons pour conclure ce paragraphe que les circuits multistables ne sont plus utilisés à eux seuls, mais servent de base à la réalisation des bascules multistables dont l'application s'étend actuellement de plus en plus largement aux divers domaines de la technique du calcul numérique : échelles, diviseurs de fréquence, compteurs réversibles, distributeurs de signaux, dispositifs de commande, etc.

5.9.2. Bascules multistables

La bascule multistable (BM) représente un circuit multistable (monophasé ou multiphasé) dont les entrées supplémentaires attaquées par des signaux de commande entraînent son basculement dans l'un quelconque de ses états stables. Ainsi, l'étude des bascules multistables se ramène à l'examen des méthodes permettant de faire passer la bascule multistable dans un i-ième état.

Dans le cas général, un circuit multistable à Φ phases peut être placé dans le i-ième état par deux moyens :

— par formation forcée à ses sorties de Φ niveaux de « phase » ;
— par formation forcée à ses sorties de $N - \Phi$ niveaux inversés.

Les Φ niveaux de « phase » et les $N - \Phi$ niveaux inversés sont obtenus aux sorties du circuit CM à l'aide de signaux extérieurs appliqués aux entrées de commande de la bascule BM.

Suivant le nombre d'entrées auxquelles sont appliqués les signaux extérieurs, on distingue les bascules multistables à commande par une entrée et des bascules multistables à commande par plusieurs entrées (BMEU et BMPE). D'après le mode d'inscription de l'information, les bascules multistables peuvent être soit asynchrones, soit pilotées.

Dans la suite de cet ouvrage, nous entendrons par BMEU des bascules multistables dont le passage dans le i-ième état se produit à l'aide d'un signal de commande agissant sur une seule entrée de la bascule. Dans le cas général, les BMPE peuvent être commandées par deux, trois, quatre, $(N - 1)$ entrées. De toutes les bascules

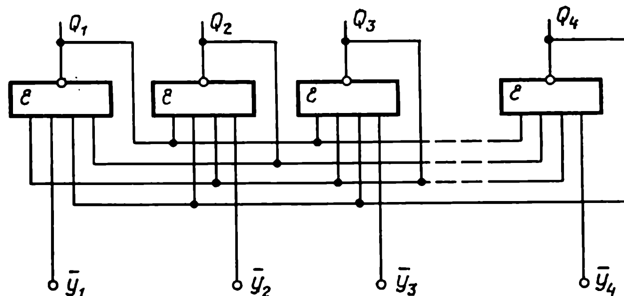


Fig. 5.48. BM monophasée commandée par $(N - 1)$ entrées

multistables, celles à $(N - 1)$ entrées de commande sont les plus simples en raison de leur synthèse en éléments présentant un nombre minimal d'entrées $m = S + 1$, dont S sont utilisées pour organiser le circuit multistable proprement dit à N états et la dernière qui reste constitue l'entrée de commande de la BM (fig. 5.48). Pour positionner la bascule (fig. 5.48) dans le i-ième état, il est nécessaire d'appliquer aux entrées de commande de toutes les portes, sauf la i-ième, les signaux au niveau « 0 », autrement dit de former $N - \Phi = N - 1$ niveaux inversés aux sorties de la bascule.

La condition assurant le positionnement des bascules dans le i-ième état peut s'écrire sous la forme:

$$Q_i = 0$$

$$\text{pour } Y_1 + Y_2 + \ldots + Y_{i-1} + Y_{i+1} + \ldots + Y_N = 0\,;\ Y_i = 1. \qquad (5.19)$$

Il convient de noter que la commande de la bascule par $N - 1$ entrées permet d'améliorer sa tenue aux parasites parce qu'elle rend pratiquement impossible une commutation inopinée de la bascule sous l'effet de parasites extérieurs qui peuvent se présenter à ses plusieurs entrées.

Tout comme les bascules du type R-S, les bascules multistables comportent des combinaisons interdites de signaux d'entrée dont l'apparition les met dans un état indéterminé. La combinaison

de signaux au niveau 0 à l'entrée de l'élément de « phase » de la MB de la fig. 5.48 est interdite.

Il est évident que pour assurer un fonctionnement stable de la BM, il est nécessaire d'exclure les combinaisons interdites. En plus

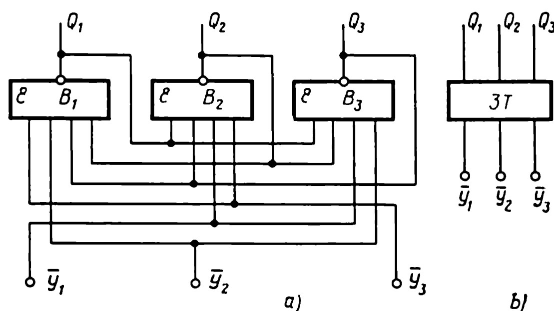


Fig. 5.49. Bascule tristable en éléments ET-NON (*a*) et sa représentation symbolique (*b*)

de la simplicité de synthèse et de la bonne tenue aux parasites d'une bascule à (N — 1) entrées de commande, il convient de souligner l'organisation délicate de cette commande. C'est pour cette raison que les bascules de ce type ne sont pas utilisées à elles seules, mais en qualité d'éléments de base pour les échelles multistables (EM).

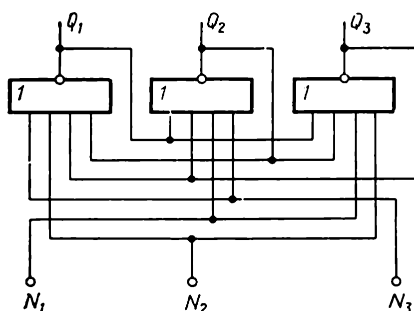


Fig. 5.50. Bascule tristable en éléments OU-NON

Les plus simples, du point de vue de la commande, sont les bascules à commande par entrée. Quant à leur réalisation, elles se classent parmi les plus délicates puisqu'elles nécessitent des éléments au nombre maximal d'entrées.

Les bascules tristables (3T), dont deux variantes réalisées en éléments ET-NON et OU-NON sont représentées fig. 5.49 et 5.50, se rapportent aux BMEU les plus simples. La commutation des bascules dans l'un quelconque des trois états 011, 101, 110 (fig. 5.49) et 100, 010, 001 (fig. 5.50) est obtenue à l'aide des signaux $Y_i = 0$ et $Y_i = 1$ respectivement, où $i = 1, 2, 3$. En effet, si la bascule tristable 3T de la fig. 5.49 est à l'état 011, son basculement dans l'état suivant 101 nécessite l'application d'une combinaison de signaux

$$Y_2 = 0; \quad Y_1 = Y_3 = 1.$$

Le signal $Y_2 = 0$ produit un 1 à la sortie Q_1 et en même temps, confirme le 1 à la sortie Q_3, ce qui a pour effet la formation à la

sortie Q_2 du niveau 0 qui, appliqué aux entrées des portes B_1 et B_3 les maintient dans l'état 1 indépendamment du signal $Y_2 = 0$. Donc, après la suppression du signal de commande (c.-à-d. pour $Y_2 = 1$) la bascule reste dans l'état 101. Lorsque le signal de commande est appliqué à l'entrée Y_3 ($Y_3 = 0$; $Y_1 = Y_2 = 1$), la bascule passe au troisième état 110.

Dans le cas général, pour réaliser des bascules monophasées à N états stables, il faudra mettre en œuvre N éléments ET-NON (OU-NON) ayant un nombre d'entrées:

$$m = m_Y + m_{CM}, \tag{5.20}$$

dont $m_{CM} = (N - 1)$ sont utilisées pour organiser le circuit multistable proprement dit et les autres $m_Y = (N - 1)$ pour la commande de la bascule.

Dans des réalisations concrètes, compte tenu des circuits intégrés disponibles, ce sont les bascules multistables à 2, 3, 4, ..., $(N - 3)$, $(N - 2)$ entrées de commande qui peuvent devenir efficaces. D'après le nombre d'entrées par élément, ces BM se rangent entre les bascules à entrée de commande unique et les bascules à $(N - 1)$ entrées de commande. Dans ces conditions, le nombre d'entrées m_Y et celui de signaux de commande nécessaires pour son basculement dans le i-ième état sont liés par la relation suivante (tableau 5.8).

Tableau 5.8

m_Y	Nombre de signaux de commande
1	$N-1$
2	$N-2$
3	$N-3$
.	.
.	.
.	.
$N-2$	$N-(N-2)=2$
$N-1$	$N-(N-1)=1$

La fig. 5.51 donne à titre d'exemple une bascule monophasée à cinq états stables commandée par trois entrées, le circuit multistable proprement dit n'étant pas représenté pour des raisons de simplicité de la figure. Cette bascule prend n'importe lequel des cinq états: 01111, 10111, 11011, 11101 et 11110 par application d'une combinaison de signaux de commande: $Y_i + Y_{i+1} + Y_{i+2} = 0$, pour les niveaux 1 aux autres entrées. Pour $m_Y = 3$, on obtient une BM à deux entrées de commande (fig. 5.52) qui est commutée dans chacun des cinq états stables par la combinaison de signaux de commande $Y_i + Y_{i+1} = 0$. Les BM monophasées équipées d'éléments ET-NON fonctionnent selon le code $0/N$. Cependant, il est souvent nécessaire de les faire fonctionner selon le code $1/N$. Une telle BM à base d'éléments ET-NON peut être obtenue par inversion du code $0/N$ c.-à-d. en branchant des inverseurs sur les sorties de la BM. Toutefois, il existe un autre mode de synthèse des BM fonctionnant selon le code $1/N$, à savoir leur établissement à partir des éléments ET-OU-NON. Ces derniers, comparés aux éléments ET-NON, permettent de construire des BM fonctionnant selon le code $1/N$, avec moins de dépenses énergétiques et une

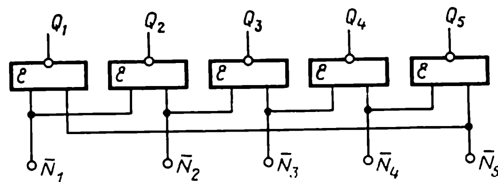


Fig. 5.51. Bascule à cinq états stables (5 *T*) commandée par trois entrées (code 0/5)

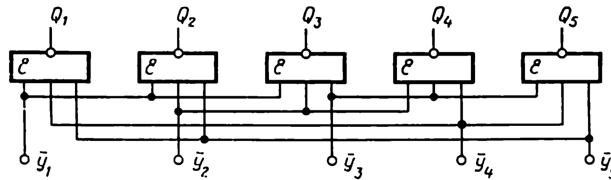


Fig. 5.52. Bascule à cinq états stables commandée par deux entrées (code 0/5)

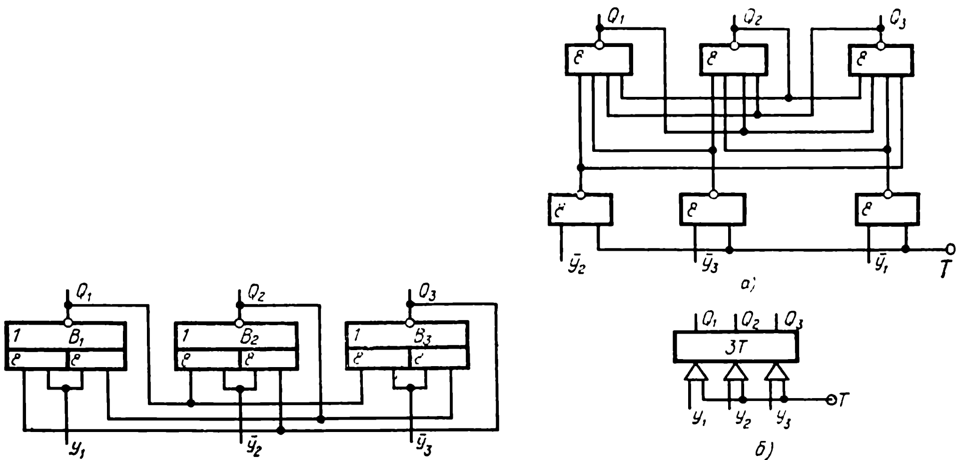


Fig. 5.53. Bascule monophasée à trois états stables (code 1/3)

Fig. 5.54. BM pilotée en éléments ET-NON (*a*) et sa représentation symbolique (*b*)

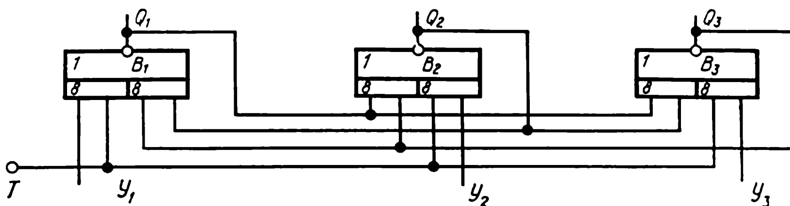


Fig. 5.55. Bascule tristable pilotée en éléments ET-OU-NON

rapidité de fonctionnement plus élevée. L'exemple de réalisation d'une telle BM à trois états stables est donné fig. 5.53. Son basculement dans chacun des trois états 100, 010 et 001 est obtenu à l'aide des signaux de commande $Y_i = 0$, $i = 1, 2, 3$. Si la bascule se trouve, par exemple, à l'état 100 (le premier état stable) elle passe à l'état suivant 010 par suite de l'application à son entrée d'une combinaison de signaux $Y_2 = 0$; $Y_1 = Y_3 = 1$. Le signal $Y_2 = 0$ produit à la sortie Q_2 le niveau 1 qui agit avec les signaux $Y_3 = Y_1 = 1$ sur les entrées des portes ET des éléments B_1 et B_3 pour produire à leurs sorties les niveaux 0 ($Q_1 = Q_3 = 0$). Ces derniers

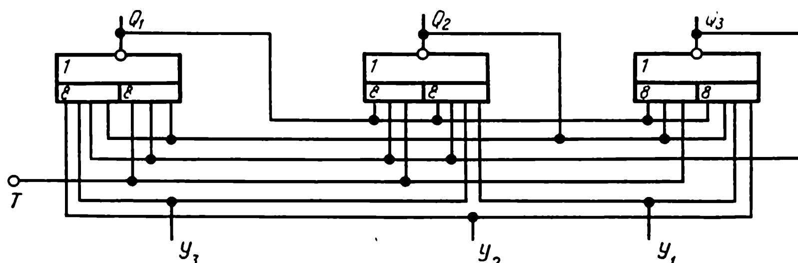


Fig. 5.56. Bascule tristable pilotée en éléments ET-OU-NON

attaquent les portes ET de l'élément B_2 en le maintenant dans l'état 1 ($Q_2 = 1$) indépendamment du niveau du signal agissant sur l'entrée Y_2. Il en résulte qu'après la suppression du signal de commande agissant sur l'entrée Y_2 ($Y_2 = 1$) la bascule conserve l'état 010.

La synthèse des BM monophasées à un nombre d'états stables plus grand d'après le schéma décrit ci-dessus demande l'emploi des éléments ET-OU-NON remplissant la fonction 2ET-(N — 1) OU-NON, N étant le nombre d'états de la BM. Toutes les bascules BM considérées plus haut étaient des bascules asynchrones.

Pour réaliser des BM à entrées pilotées (BM synchrones) on doit brancher en série les portes supplémentaires sur les entrées de commande (fig. 5.54). Pour mettre en évidence les particularités de réalisation des BM synchrones équipées d'éléments ET-OU-NON, nous allons considérer le schéma de la fig. 5.55 qui est une bascule à trois états stables 011, 101, 110 qu'elle prend sous l'effet de la combinaison de signaux $Y_i \cdot T = 1$ où $i = 1, 2, 3$.

Supposons que la bascule se trouve dans le premier état 011. Pour la faire passer au deuxième (code 101) il convient d'appliquer une combinaison de signaux $Y_2 \cdot T = 1$ et $Y_1 = Y_3 = 0$. Dans ce cas, la sortie Q_2 est portée au niveau 0 et les sorties Q_1 et Q_3 aux niveaux 1 (les deux portes ET des éléments B_1 et B_3 sont fermées). Les niveaux 1 ouvrent la porte ET de l'élément B_2 et le maintiennent dans l'état 0 même après la cessation de l'impulsion d'horloge. La fig. 5.56 schématise une bascule tristable en éléments ET-OU-NON, synchrone et commandée par les signaux au niveau 0. Il possède les mêmes états stables que ceux de la bascule de la fig. 5.55.

Voyons de plus près quelques particularités de réalisation des bascules multiphasées. Signalons tout d'abord que, les principes de commande des circuits multistables multiphasés étant analogues pour tous les circuits, indépendamment du nombre de phases (Φ), il est commode de les considérer sur l'exemple de circuits CM biphasés à cinq états stables. Soit un circuit multistable fonctionnant selon le code 2 (0)/5 (voir fig. 5.47*d*). Ce circuit peut être commuté dans le *i*-ième état par deux voies possibles: par formation de deux niveaux 0 aux sorties des éléments voisins et par formation des niveaux 1 aux sorties de trois éléments voisins. Dans le cas général,

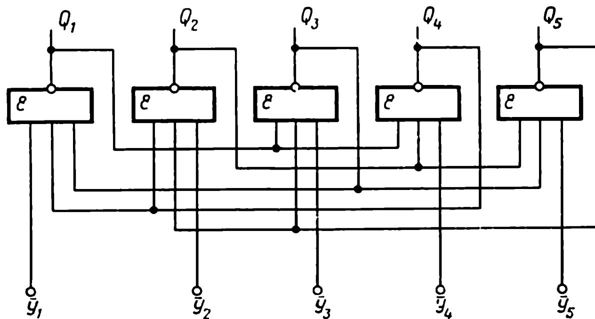


Fig. 5.57. BM biphasée commandée par trois entrées (code 2(0)/5)

on peut réaliser tant la commande par entrée unique que par plusieurs entrées de la BM. La fig. 5.57 montre à titre d'exemple une BM à $(N - \Phi)$ entrées de commande (à trois entrées). Le passage de la bascule biphasée dans le *i*-ième état est obtenu à l'aide de la combinaison de signaux $Y_i + Y_{i+1} + Y_{i+2} = 0$. Or, il existe un autre mode de commande de la bascule n'utilisant le niveau 0 que sur l'une des entrées. Si la bascule se trouve dans le *i*-ième état, le niveau 0 doit être appliqué à l'entrée Y_i. Si, par exemple, la BM est au premier état (00111) $Q_1 = Q_2 = 0$; $Q_3 = Q_4 = Q_5 = 1$, pour la faire passer à l'état suivant 10011 il suffit d'appliquer le signal $Y_i = 0$. Un tel régime de commande de la BM sera appelé régime de commutation séquentielle. Dans le cas général, pour réaliser les BM à Φ phases et à $(N - \Phi)$ entrées de commande suivant le schéma de la fig. 5.57, il faudra mettre en œuvre N éléments ET-NON à $m = S + 1$ entrées chacun.

La fig. 5.58 schématise l'organisation d'une BM biphasée commandée par une seule entrée et fonctionnant selon le code 2 (1)/5. La commutation de la bascule dans chacun des cinq états 11000, 01100, 00110, 00011 et 10001 est obtenue à l'aide du signal $Y_i = 0$. Dans le cas général, par analogie avec les BM monophasées, on pourra construire des BM à 2, 3, . . ., $(N - \Phi - 1)$ et $(N - \Phi)$ entrées de commande. Les BMEU et BMPE multiphasées synchrones

sont réalisées soit à base de BM asynchrones avec l'emploi de portes supplémentaires suivant le nombre d'entrées de commande, soit

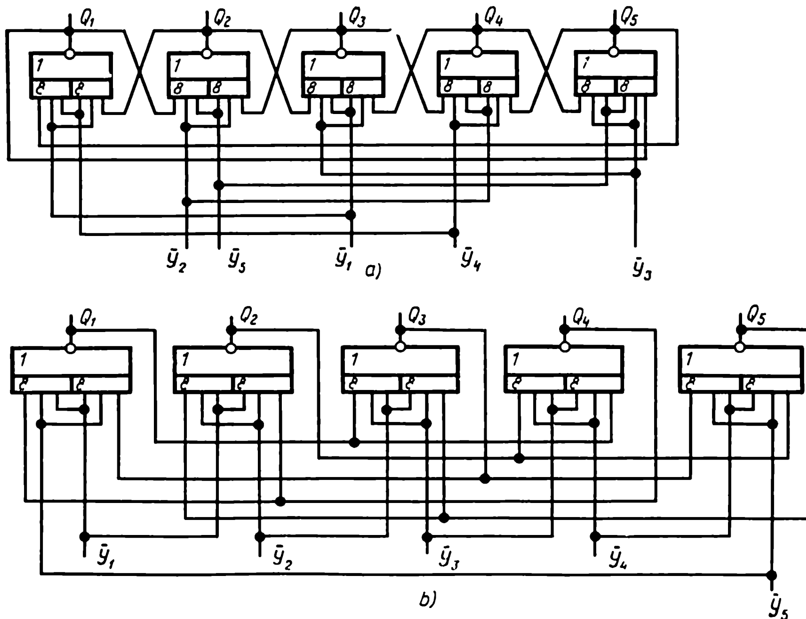


Fig. 5.58. BM biphasée commandée par entrée unique (code 2(1)/5)

à base d'éléments ET-OU-NON sans emploi de portes supplémentaires. Les BM synchrones et asynchrones sont le plus souvent employées dans les échelles multistables dont les particularités de réalisation sont décrites dans le paragraphe ci-dessous.

5.9.3. Echelles multistables

Les particularités de leur réalisation sont commodes à étudier sur l'exemple de la fig. 5.59 qui schématise une échelle muliistable fonctionnant selon le code 1/3. Cette EM contient une BM proprement dite équipée d'éléments OU-NON et un circuit de commande équipé de lignes à retard déclenchées en nombre égal à celui des états stables de la BM.

Le circuit de commande a pour fonction d'assurer la commutation séquentielle de la BM du i-ième au $(i + 1)$-ième état à chaque signal appliqué à l'entrée de comptage T, autrement dit d'assurer le régime de comptage. Comme en témoigne la fig. 5.59, pour organiser le régime de comptage, il est nécessaire de relier la i-ième sortie de la BM (Q_i, où $i = 1, 2, 3$) à l'entrée de la ligne à retard déclenchée dont la sortie commande la $(i + 1)$-ième entrée de la BM.

Ainsi, pour avoir le régime de comptage, il est nécessaire que le circuit de commande puisse former la fonction suivante:

$$Y_{i+1} = Q_{i+1} \cdot T_c,$$

où T_c est le signal d'entrée;

Q_i est l'état auquel se trouvait la BM avant l'arrivée du signal d'entrée.

Supposons que la BM se trouve à l'état 100. Dans ce cas, un seul élément, à savoir ET_1, est préparé à la commutation. A l'arrivée du signal d'entrée le signal de commande n'est donc produit qu'à la sortie de la ligne LR_1 et la bascule passe à l'état suivant 010. Ensuite, c'est l'élément ET_3 qui est préparé à la commutation et l'arrivée du signal d'entrée suivant met la bascule dans l'état 001 et ainsi de suite.

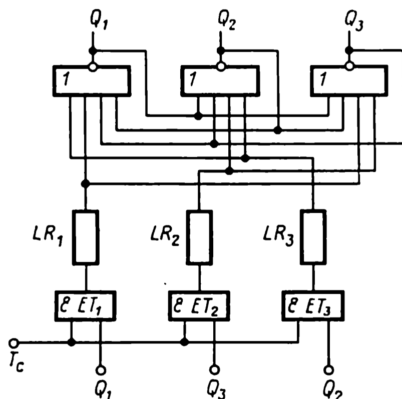


Fig. 5.59. EM_t modulo 3 (code 1/3)

La fig. 5.59 schématise une échelle multistable qui passe toujours, sous l'effet du signal d'entrée, du i-ième au $(i + 1)$-ième état. Cela veut dire que le niveau de phase 1 se décale d'un bit vers la droite. Cependant, cette condition n'est pas obligatoire. En principe, la i-ième sortie de la bascule BM peut être branchée par l'intermédiaire du dispositif de commande non seulement sur la $(i + 1)$-ième entrée de la BM, mais simultanément sur les $(i + 2)$, $(i + 3)$, ..., $(i + x)$ entrées.

Alors, dans le cas d'une BM à N états stables, le code initial 1000...000, par exemple, se décale respectivement de 2, 3, . . ., x bits. Cela signifie qu'au lieu de la séquence des codes 1000...000, 0100...000, 0010...000, etc., nous aurons des séquences des codes suivantes correspondant respectivement au décalage de 2, 3, etc., bits:

10000...000	1000000...00
00100...000	0001000...00
00001...000	0000001...00
.	.
.	.
.	.
00000...001	0000000...01

Dans le cas général, la i-ième sortie de la BM peut être connectée à n'importe quelle entrée de la BM, c.-à-d. $x = 1, 2, 3, \ldots$

. . ., $(N-2)$, $(N-1)$. Il est donc facile de voir que pour

$$x = 1 \text{ et } x = N - 1$$
$$x = 2 \text{ et } x = N - 2$$
$$x = 3 \text{ et } x = N - 3$$

et ainsi de suite, on obtient la séquence d'un seul et même code. Les séquences des codes pour $x = 1$, $x = 2$, $x = 3$, . . . caractérisent le fonctionnement du montage en régime de comptage direct, tandis que la séquence pour des décalages de $(N-1)$, $(N-2)$, etc., bits caractérise le fonctionnement du montage en comptage inversé. Cela signifie que l'on peut, le cas échéant, réaliser facilement des échelles multistables pouvant fonctionner aussi bien en comptage direct qu'en décomptage, c.-à-d. des échelles multistables réversibles.

Il faut noter que pour assurer un fonctionnement stable d'une échelle multistable réalisée d'après les schémas de la fig. 5.59, il est nécessaire de satisfaire à la condition suivante:

$$\tau_i \leqslant \tau_{LR}, \tag{5.21}$$

où τ_i est la durée du signal d'entrée;

τ_{LR} est le retard de la ligne à retard.

L'expression 5.21 signifie que le circuit EM de la fig. 5.59 est un montage à commande par impulsions puisqu'il est commandé par des signaux dont la durée dépend du retard de la ligne, c.-à-d. par des signaux de durée limitée. La fig. 5.59 met en évidence les particularités de réalisation des échelles EM_t (c.-à-d. des EM à retard interne).

Dans la technique des circuits intégrés, les échelles multistables de ce type ne sont pas utilisées notamment à cause de la condition 5.21 qui doit être remplie.

Tout comme la technique des bascules de comptage, celle des échelles multistables en circuits intégrés suivit la voie de création des montages à commande par niveaux tant de durée limitée que de durée non limitée. Ces montages n'exigent pas de satisfaire à la condition 5.21, ce qui constitue leur avantage par rapport aux montages commandés par des signaux de durée limitée, étant donné que la rapidité de fonctionnement et par conséquent la gamme de fréquences d'utilisation de telles EM ne dépendent que des retards introduits par les éléments logiques.

De nos jours, il existe une grande variété de schémas des échelles multistables qui s'explique surtout par l'organisation des circuits de commande. En qualité de circuit de commande on utilise le plus souvent une bascule multistable supplémentaire. Toutefois, il est possible d'organiser des échelles multistables dans lesquelles les circuits de commande sont équipés de bascules du type *R-S* ou *D* ainsi que d'éléments formateurs spéciaux du type d'éléments différentiels de commande.

Les schémas de réalisation des échelles multistables les plus utilisés actuellement sont les suivants:

1. Le schéma Maître-Esclave.
2. Le schéma à bascule BM et à éléments de commutation.
3. Le schéma en anneau compteur à deux cadences et à éléments de commutation.
4. Le schéma à bascule BM et à registre mémoire.

Chacun de ces schémas existe, à son tour, dans plusieurs versions différentes.

Il faut noter que les particularités d'établissement des échelles multistables, nécessitant la réunion des éléments dont le nombre est proportionnel au modulo de l'échelle, exigent de caractériser les échelles multistables par une série de paramètres qui ne revêtaient pas une telle importance dans le cas des bascules de comptage. En plus de la rapidité de fonctionnement, ces paramètres sont les suivants:

1. La charge maximale ou le facteur pyramidal de l'échelle n_Q.
2. L'équivalent de charge de l'entrée horloge (entrée de comptage) n_T.
3. Le nombre de liaisons entre les éléments S.
4. Le nombre d'éléments par état w.

Aussi, avant de passer à l'étude des schémas de réalisation des échelles multistables, faut-il analyser brièvement ces paramètres des échelles multistables.

Charge maximale de la sortie n_Q de l'échelle. Dans les dispositifs pratiques, les sorties de l'échelle multistable sont chargées, c.-à-d. branchées sur les entrées des autres circuits logiques. Le nombre de tels circuits logiques (de charges) est toujours spécifié et ne peut pas dépasser un facteur bien déterminé n_Q appelé facteur pyramidal ou charge maximale de l'échelle EM.

Le paramètre n_Q indique le nombre d'éléments logiques semblables qui peuvent être branchés sur la sortie de l'échelle multistable sans troubler son fonctionnement normal. Ce paramètre dépend des facteurs pyramidaux des éléments (n_e) et du nombre de liaisons (S_Q) entre la sortie de l'échelle et ses autres éléments. Il a pour expression:

$$n_Q = n_e - S_Q = n_e - (S_{BM} + S^*), \qquad (5.22)$$

où S_{BM} *) est le nombre de liaisons du i-ième élément avec les autres éléments de la bascule multistable proprement dite;

S^* est le nombre de liaisons entre la sortie de l'échelle multistable et les éléments du circuit de commande.

Il faut noter que le facteur S^* dépend du mode de réalisation de l'échelle multistable et peut prendre les valeurs suivantes: $S^* = 1$; $S^* = S$; $S^* = \Phi$; $S = N - \Phi$.

---

*) Comme il sera montré plus loin, pour certains circuits le paramètre S_{BM} peut prendre les valeurs $S_{BM} = 2S$ et $S_{BM} = 2S - 1$.

Le paramètre S_{BM} dépendant aussi du mode de réalisation de l'échelle multistable est le plus souvent donné par l'expression 5.18.

Lorsque n_e et S sont donnés, le paramètre n_Q atteint sa valeur maximale pour $S^* = 1$. Pour de tels montages, en introduisant dans l'expression 5.22 la valeur de S donnée par l'expression 5.18, on obtient:

$$n_Q = n_e - N + 2\Phi - 2. \qquad (5.23)$$

L'expression 5.23 montre que le paramètre n_Q dépend du nombre de « phases » de l'échelle multistable. Le paramètre n_Q a sa valeur la plus faible dans des échelles multistables monophasées, pour lesquelles:

$$n_Q = n_e - N = n_e - M, \qquad (5.24)$$

où M est le module de l'échelle multistable.

Etant donné que dans les dispositifs réels le paramètre n_Q peut prendre des valeurs $n_Q \geqslant 1$, on peut introduire la valeur minimale du paramètre $n_{Q\,\text{mini}} = 1$ dans l'expression 5.24 et obtenir:

$$N_{\text{maxi}} = n_e - 1. \qquad (5.25)$$

L'expression 5.25 permet de déterminer le nombre maximal d'états stables des échelles EM ayant un facteur $S^* = 1$ et réalisées en circuits intégrés standards. La valeur maximale du paramètre n_Q est obtenue dans des échelles EM multiphasées ayant un facteur $S^* = 1$ et un nombre de phases $\Phi = \frac{N}{2}$, pour $N = M$ impairs, et $\Phi = \frac{N}{2} - 1$, pour $N = M$ pairs.

Portant ces valeurs du nombre de phases dans l'expression 5.23, on obtient respectivement:

$$n_Q \approx n_e - 2 \text{ et } n_Q = n_e - 4. \qquad (5.26)$$

Le paramètre n_Q de telles échelles multistables ne dépend donc pas du nombre d'états N de la bascule ni du module M comme c'est le cas pour les échelles monophasées. Or, cela signifie que le nombre maximal d'états stables n'est pas limité dans le cas considéré par la charge maximale des éléments logiques standards.

Ainsi, du point de vue de la charge maximale, les échelles EM multiphasées sont préférables.

Equivalent de charge de l'entrée horloge n_T. Ce paramètre caractérise le nombre d'échelles multistables qu'on peut brancher sur un élément standard sans troubler son régime électrique normal. Il a pour expression:

$$n_T = \left[\frac{n_e}{S_T}\right]^-, \qquad (5.27)$$

où S_T est le nombre de liaisons de l'entrée de comptage (horloge) de l'échelle EM avec les autres éléments du montage.

Le paramètre n_T est surtout important lors de l'établissement des compteurs synchrones et des registres. Tout comme le paramètre n_Q, ce paramètre dépend pour une large part du mode de réalisation et du schéma de l'échelle multistable.

Nombre de liaisons entre les éléments S. Ce paramètre caractérise le nombre total de liaisons entre les éléments qu'il est nécessaire d'organiser dans l'échelle multistable pour assurer son fonctionnement normal. Dans des dispositifs réels où une seule plaquette réunit un grand nombre de circuits intégrés, la réduction des liaisons entre les éléments est d'une très grande importance. Elle permet d'améliorer les qualités technologiques de la construction, de réduire le temps nécessaire à la fabrication, de diminuer les capacités et inductances parasites (sources de bruits complémentaires) et d'élever ainsi la fiabilité du système tout en réduisant son poids.

Lorsque le module M est donné, le paramètre S dépend du nombre de « phases » et du mode de réalisation de l'échelle EM. Dans le cas général, le paramètre S peut être déterminé comme suit:

$$S = \sum_{i=1}^{i=n} n_i m_i, \qquad (5.28)$$

où n_i est le nombre d'éléments du i-ième type;
m_i est le nombre de sorties utilisées du i-ième élément.

Nombre d'éléments par état w. Ce paramètre est un des plus importants puisqu'il permet d'apprécier les dépenses énergétiques et dans une certaine mesure les dépenses matérielles nécessaires à la réalisation des échelles multistables. Les échelles multistables les plus économiques, du point de vue de la consommation, seront celles dont le paramètre w est minimal. Ce paramètre a pour expression:

$$w = \frac{w^*}{M}, \qquad (5.29)$$

où w^* est le nombre total d'éléments dans l'échelle multistable;
M est le module de l'échelle.

5.9.3.1. Echelles multistables réalisées selon le schéma Maître-Esclave

Tout comme les bascules conventionnelles, les échelles multistables réalisées selon le schéma M-E utilisent deux bascules BM pilotées: une bascule Maître (M) et une bascule Esclave (E). Il est intéressant de noter que quel que soit le type de bascules MT utilisées (monophasées ou multiphasées, à commande par entrée unique ou par plusieurs entrées), le principe de fonctionnement des échelles multistables est toujours le même: l'application du signal d'entrée (de comptage) fait passer le Maître du i-ième au $(i + 1)$-ième état tout en maintenant (grâce au blocage) l'Esclave dans le i-ième état.

Après la cessation du signal d'entrée, le blocage est annulé et l'Esclave se met dans le $(i + 1)$-ième état.

Suivant le mode de blocage, on peut distinguer les versions suivantes de réalisation des échelles multistables selon le schéma M-E :

— à inverseur de blocage,
— à deux inverseurs,
— à couplages inhibitifs.
— à commande par signaux de polarité différente,
— à bascule D asynchrone de commutation.

La fig. 5.60 donne un exemple de réalisation de l'échelle multistable selon le schéma M-E à inverseur de blocage. Les bascules M

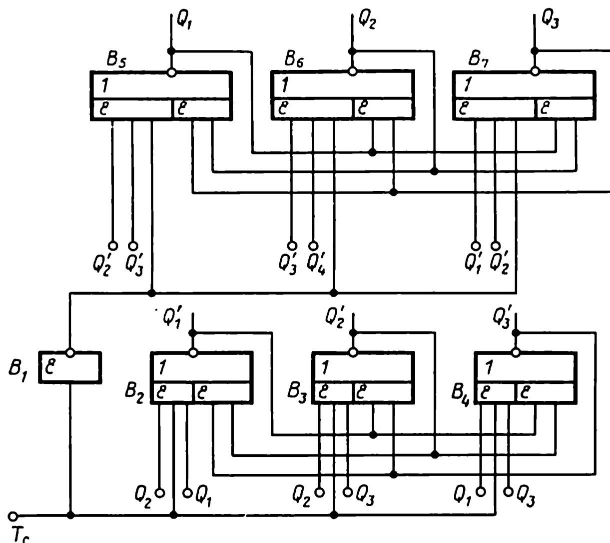


Fig. 5.60. ***EM***$_t$ réalisée selon le schéma *M-E* à inverseur de blocage (code 0/3)

et E sont représentées dans ce montage par des bascules tristables (3T) à commande par entrée unique. Lorsque le signal d'entrée est absent ($T_c = 0$), la sortie de l'inverseur de blocage B_1 est au niveau 1 et l'état du Maître est recopié dans l'Esclave. Par exemple, si le Maître est dans l'état 011 ($Q'_1 = 0$; $Q'_2 = Q'_3 = 1$), seule la sortie Q_1 est au niveau « 0 » et les autres sorties de l'Esclave sont aux 1 logiques, autrement dit, l'Esclave répète l'état du Maître.

A l'arrivée du signal d'entrée ($T_c = 1$) le Maître se place dans l'état suivant 101 grâce à la réaction des sorties Q_2 et Q_3 sur l'entrée de la porte ET de l'élément B_3, alors que l'Esclave conserve son état grâce au niveau « 0 » à la sortie de l'inverseur de blocage.

Après la cessation du signal d'entrée ($T_c = 0$) l'état du Maître sera transmis par l'élément B_6 à l'Esclave. Ainsi, lorsque l'information est extraite aux sorties Q_1, Q_2 et Q_3, l'échelle schématisée

fig. 5.60 fonctionne comme une échelle EM_t en assurant la formation de l'information à ses sorties après la fin du signal d'entrée.

Si l'information est extraite aux sorties Q'_1, Q'_2 et Q'_3 du Maître, le montage de la fig. 5.60 fonctionne comme une échelle EM en assurant la formation de l'état suivant du montage d'après le front avant. Il faut signaler que ce mode d'établissement des échelles EM_t présente le même inconvénient que celui propre aux bascules T_t réalisées de la même manière. Cet inconvénient tient à la nécessité de former pendant l'action du signal d'entrée un niveau de blocage à la sortie de l'inverseur avant le passage du Maître dans son état suivant. En d'autres termes, il est nécessaire de réaliser la condition suivante:

$$\tau_{10\mathrm{NON}} \leqslant \tau_M, \tag{5.30}$$

où τ_M est le temps de commutation du Maître. Dans le cas particulier du montage de la fig. 5.60 la condition 5.30 peut s'écrire sous la forme:

$$\tau_{10\mathrm{B}_1} \leqslant 2\tau_{\mathrm{moy}}. \tag{5.31}$$

La rapidité de fonctionnement d'une telle EM_t peut être calculée, tout comme celle d'une bascule T_t, par la formule:

$$F = \frac{1}{T} = \frac{1}{\tau_i + \tau_t}, \tag{5.32}$$

où τ_t est le retard de basculement de l'Esclave;

T est la période de répétition des signaux d'entrée.

Alors, la condition 5.31 étant satisfaite et $\tau_i \geqslant 2\tau_{\mathrm{moy}}$, on obtient:

$$F_{\mathrm{max}1} = \frac{1}{T} = \frac{1}{5\tau_{\mathrm{moy}}}. \tag{5.33}$$

Les autres paramètres de l'échelle EM_t auront les valeurs suivantes:

$$w = 2 + \frac{1}{M}\ ; \quad n_T = \left[\frac{n_e}{M+1}\right]^- ; \quad n_Q = n_e - 2S. \tag{5.34}$$

Ainsi, l'avantage principal des échelles EM_t réalisées d'après la version considérée est la valeur relativement faible du paramètre w.

Pourtant les échelles EM_t réalisées suivant le schéma de la fig. 5.60 présentent aussi les inconvénients suivants:

— la nécessité de faire usage dans le montage M-E des éléments ET-OU-NON matérialisant la fonction

$$\left.\begin{array}{l}(1+S)\mathrm{ET} \\ S\mathrm{ET}\end{array}\right\rangle \mathrm{OU\text{-}NON},$$

où S est donnée par l'expression 5.18;

— une faible valeur du paramètre n_Q.

Ces inconvénients sont dus à la réalisation des échelles EM_t à partir de bascules multistables commandées par entrée unique et, le cas échéant, peuvent être facilement évités en réalisant les échelles EM_t à l'aide de bascules multistables commandées par plusieurs entrées et constituées d'éléments de logique à niveau unique ET-NON, OU-NON, ET, OU-NON.

Un autre inconvénient de telles échelles EM_t qui tient à leur principe, qu'elles soient réalisées à partir de bascules multistables à entrée unique ou à plusieurs entrées, est la nécessité de satisfaire

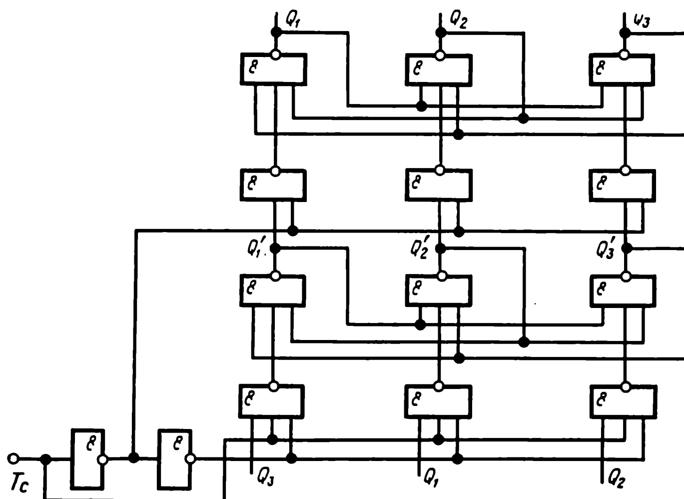


Fig. 5.61. EM_t réalisée selon le schéma M-E à deux inverseurs (code 0/3)

à la condition 5.30. Les échelles EM_t réalisées selon le schéma M-E à deux inverseurs (fig. 5.61) permettent de s'affranchir complètement de cet inconvénient.

L'échelle EM_t de la fig. 5.61 fonctionne selon le code 0/3 et utilise deux bascules tristables (3T) commandées par deux entrées. L'impulsion de comptage au niveau 1 est injectée dans l'échelle EM_t à travers un circuit constitué par deux inverseurs B_7 et B_8. En l'absence de l'impulsion de comptage ($T_c = 0$) le niveau 1 en provenance de la sortie de l'inverseur B_7 permet la transcription de l'état du Maître dans l'Esclave et, en même temps, assure la fermeture des portes B_4 à B_6 (les sorties de ces portes sont au 1 logique) du Maître. Si le Maître est dans l'état 011 par exemple, les portes B_2 et B_3 ($B_2 = B_3 = 0$) de l'Esclave sont conductrices et produisent aux sorties de cette bascule le code 011. L'arrivée du signal d'entrée ($T_c = 1$) fait apparaître tout d'abord le niveau 0 à la sortie de l'élément B_7 qui bloque le transfert de l'information du Maître à l'Esclave. Ensuite, au bout d'un temps $\Delta t = \tau_{01}$, le

niveau 1 se forme à la sortie de l'élément B_8 et le Maître se place à travers les portes B_4 et B_6 dans son état suivant 101. La cessation de l'impulsion de comptage ($T_c = 0$) aura pour effet tout d'abord la fermeture des portes B_4 à B_6 ($B_4 = B_5 = B_6 = 1$) et ensuite, au bout du temps $\Delta t = \tau_{01}$, l'apparition de 1 logique à la sortie de l'élément B_7, si bien que l'Esclave passe à l'état 101 et ceci à travers les portes B_1 et B_3 ($B_1 = B_3 = 0$, $B_2 = 1$). Ainsi, l'emploi de deux inverseurs permet au signal de blocage d'être toujours en

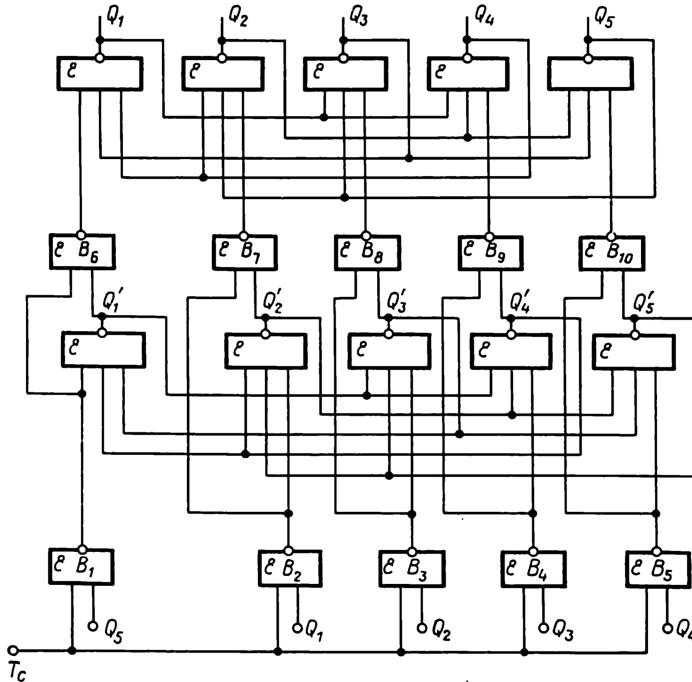


Fig. 5.62. EM_t réalisée selon le schéma M-E à couplages inhibitifs (code 2(0)/5)

avance sur le signal autorisant le transfert de l'information dans l'une des bascules en assurant de cette manière un fonctionnement stable de l'échelle EM_t qui devient insensible à la variation des temps de commutation de l'élément B_7. Les paramètres des échelles EM_t réalisées selon le schéma de la fig. 5.61 ont les valeurs suivantes:

$$w = 4 + \frac{2}{M}\ ;\quad F_{\max t} = \frac{1}{8\tau_{\text{moy}}}\ ;\quad n_Q = n_e - (S+1)\ ;\quad n_T = \left[\frac{n_e}{M+1}\right]^- . \tag{5.35}$$

La fig. 5.62 représente une échelle EM_t réalisée selon le schéma M-E à couplages inhibitifs. Les bascules M et E sont représentées dans ce montage par des bascules à cinq états stables (5T) commandés par trois entrées et fonctionnant selon le code 2 (0)/5.

Dans ce montage, le blocage de transfert de l'information du Maître à l'Esclave se fait à l'aide d'un couplage inhibitif entre la sortie de la i-ième porte de commande du Maître et la i-ième porte de l'Esclave. En l'absence du signal d'entrée ($T_c = 0$), les sorties des portes B_1 à B_6 sont au niveau 1 (le blocage est absent) et l'état du Maître est recopié dans l'Esclave. Supposons que le Maître est à l'état 00111. Dans ce cas, les sorties des portes B_8, B_9 et B_{10} sont au niveau 0 et l'Esclave répète l'état du Maître ($Q_1 = Q_2 = 0$; $Q_3 = Q_4 = Q_5 = 1$). L'arrivée du signal d'entrée ($T_c = 1$) fait apparaître aux sorties des portes B_1, B_4 et B_5 les niveaux 0 qui mettent le Maître dans l'état suivant 10011. L'Esclave ne change pas d'état parce que les sorties des portes B_6, B_9 et B_{10} sont toujours au 1 logique grâce aux couplages de blocage depuis les sorties des portes B_1, B_4 et B_5 respectivement, tandis que les sorties des portes B_7 et B_8 sont au 1 logique grâce aux niveaux 0 depuis les sorties Q'_2 et Q'_3 du Maître.

Après la cessation du signal d'entrée ($T_c = 0$), le blocage des portes B_6 à B_{10} est supprimé et l'Esclave se place à l'état suivant 10011 à travers les portes B_6, B_9 et B_{10} ($B_6 = B_9 = B_{10} = 0$).

Les paramètres des échelles EM$_t$ réalisées selon le schéma de la fig. 5.62 sont caractérisés par les valeurs suivantes:

$$w = 4; \quad n_Q = n_e - (S + 1); \quad n_T = \left[\frac{n_e}{M}\right]^-; \quad F_{\text{maxi}} = \frac{1}{6\tau_{\text{moy}}}. \quad (5.36)$$

Aux inconvénients de telles échelles EM$_t$ se rapporte la réalisation obligatoire du Maître en éléments de logique à niveau unique, ce qui est la cause d'une valeur relativement élevée du paramètre w. Ce paramètre présente une valeur considérablement plus faible dans les échelles EM$_t$ réalisées d'après le schéma M-E à commande par signaux de polarité différente. Une variante du schéma d'une telle échelle EM$_t$ est représentée fig. 5.63. Dans ce montage, le Maître et l'Esclave sont constitués par des bascules commandées par entrée unique et fonctionnant selon le code 0/3. Le Maître est commandé par le signal au niveau 1 et l'Esclave par le signal au niveau 0, ce qui assure le blocage de transfert du code du premier au deuxième lors du changement de l'information dans le Maître. Supposons que la bascule M se trouve dans l'état 011 ($Q'_1 = 0$; $Q'_2 = Q'_3 = 1$). Dans ces conditions, les signaux $Q'_1 = 0$ et $T_c = 0$ assurent la fermeture des éléments B_2 et B_3 ($Q_2 = Q_3 = 1$). Quant à l'élément B_1, il sera ouvert ($Q_1 = 0$) étant donné que toutes les entrées de la porte ET$_1$ de l'élément B_1 sont au niveau 1 ($Q'_3 = 0$; $Q_2 = Q_3 = 1$). Il en résulte que l'Esclave est, comme le Maître, dans l'état 011 ($Q_1 = 0$; $Q_2 = Q_3 = 1$).

A l'arrivée du signal d'entrée ($T_c = 1$) l'Esclave reste dans l'état 011, parce que l'élément B_1 conduit ($Q_1 = 0$), étant donné que toutes les entrées de sa porte ET$_2$ sont aux 1 logiques. Quant au Maître, il passe à travers l'élément B_5 dans l'état suivant 101.

La cessation du signal d'entrée ($T_c = 0$) constitue un signal d'autorisation du transfert de l'information du Maître à l'Esclave.

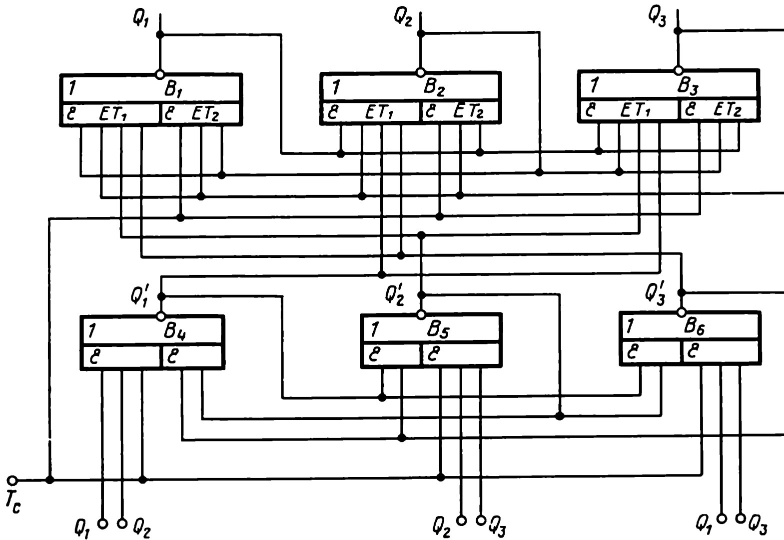


Fig. 5.63. EM_t réalisée selon le schéma M-E à commande par signaux de polarité différente (code 0/3)

Cela signifie que l'Esclave se place dans l'état suivant 101 ($Q_1 = Q_3 = 1$; $Q_2 = 0$). Les paramètres des échelles EM_t réalisées selon le schéma de la fig. 5.63 ont pour expression:

$$w = 2\,; \quad n_Q = n_e - 3S\,; \quad n_T = \left[\frac{n_e}{2M}\right]^{-}; \quad F_{\text{maxi}} = \frac{1}{4\tau_{\text{moy}}}. \qquad (5.37)$$

Ainsi, le montage de l'échelle EM_t schématisée fig. 5.63 est le plus économique d'après le paramètre w et possède de plus une rapidité de fonctionnement plus élevée que celle des montages étudiés plus haut. En revanche, ses paramètres n_T et n_Q ont des valeurs plus faibles et le nombre de liaisons entre ses éléments est plus grand, ce qui est son inconvénient.

La fig. 5.64 schématise une échelle EM_t réalisée à base de bascules BMPE multiphasées.

La particularité de ce montage réside dans le fait que son Maître fonctionne selon le code 2 (1)/5 et son Esclave selon le code 2 (0)/5. Les bascules M et E sont montées en bascules BM commandées par (N — Φ) entrées (bascules à cinq états stables (5T) commandées par trois entrées).

Considérons le fonctionnement de ce montage en supposant qu'au départ le Maître se trouve dans l'état 11000. Dans ces conditions, les entrées Y_3, Y_4 et Y_5 de l'Esclave sont aux niveaux 0. Ces derniers assurent, avec $T_c = 0$, la formation des niveaux 1 aux sorties Q_3,

Q_4 et Q_5 de l'Esclave, qui produisent aux sorties Q_1 et Q_2 les niveaux 0. Cela signifie que l'Esclave répète l'état du Maître. Avec l'arrivée du signal d'entrée ($T_c = 1$) l'Esclave ne change pas d'état, tandis que le Maître passe à son état suivant à travers les éléments

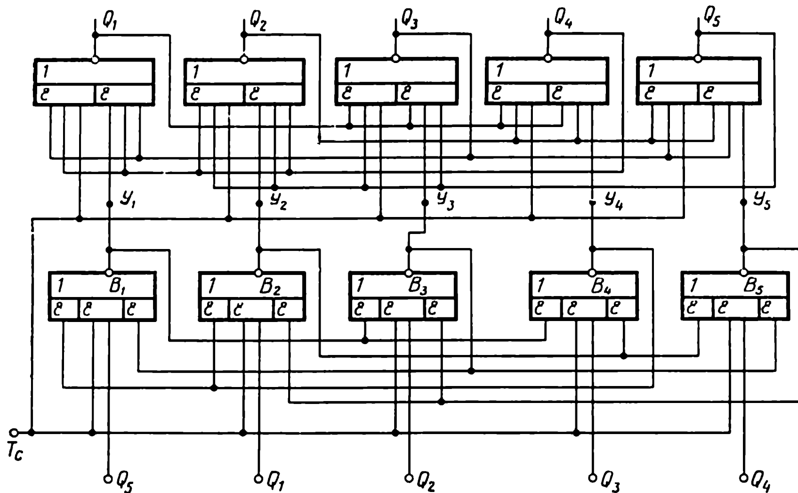


Fig. 5.64. EM_t réalisée selon le schéma M-E à commande par niveaux de polarité différente (code 2(0)/5)

B_1, B_4 et B_5. Après la cessation du signal d'entrée, les niveaux 0 logiques seront portés aux entrées Y_1, Y_4 et Y_5 et l'Esclave passera à son deuxième état 10011 et ainsi de suite.

Comparée au schéma de la fig. 5.63, l'échelle EM_t considérée possède un nombre de liaisons entre les éléments plus petit et une valeur du paramètre plus élevée

$$n_Q = n_e - (2S + 1). \qquad (5.38)$$

Lorsque l'information est extraite aux sorties du Maître (c.-à-d. lors du fonctionnement en régime EM) le paramètre n_Q s'exprime, pour les deux montages, par la relation suivante:

$$n_Q = n_e - (S + 1). \qquad (5.38a)$$

Dans ces conditions, l'échelle EM_t de la fig. 5.64 fonctionne selon le code 2 (1)/5, c.-à-d. un code inverse de celui du Maître, ce qui constitue un avantage supplémentaire offert par cette méthode de synthèse des échelles EM_t. En plus de la faible valeur du paramètre n_T, les échelles EM_t considérées ont aussi l'inconvénient de nécessiter pour le Maître des éléments ET-OU-NON réalisant la fonction:

$$2\text{ET-}(S + 1)\ \text{OU-NON},$$

c.-à-d. des éléments dont la puissance dépend du facteur pyramidal des entrées OU. Ces inconvénients peuvent être évités presque

complètement dans les échelles EM_t réalisées selon le schéma *M-E* à transistors de commutation.

Cette méthode d'établissement des échelles EM_t a ceci de particulier que l'Esclave doit être nécessairement monté en bascule multistable commandée par (N — Ф) entrées. Quant au Maître, il peut être conçu soit en BMEU (en cas d'utilisation d'éléments ET-OU-NON), soit en BMPE (en cas d'emploi d'éléments ET-NON) de la même manière que dans le schéma de la fig. 5.62. Une variante

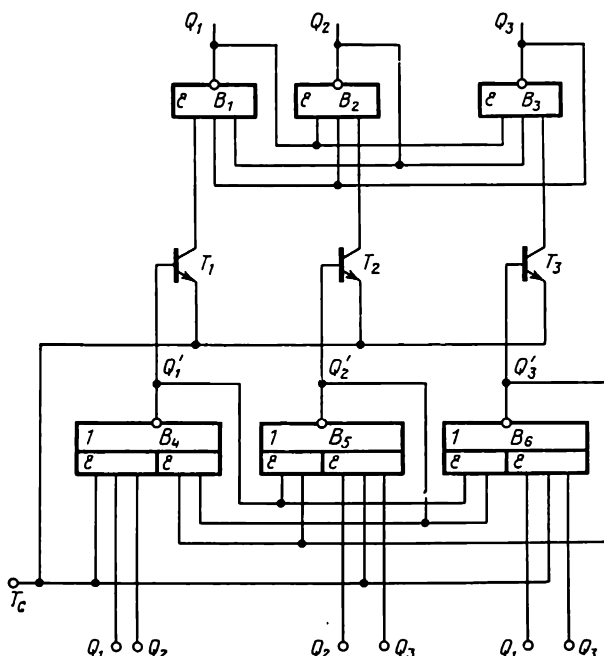


Fig. 5.65. EM_t réalisée selon le schéma M-E à transistors de commutation (code 0/3)

d'une telle échelle EM_t fonctionnant selon le code 0/3 est donnée fig. 5.65. Dans ce montage, les bascules M et E sont constituées par des bascules à trois états stables (3T) commandées respectivement par une entrée unique et par deux entrées. En l'absence du signal d'entrée ($T_c = 0$), la transcription de l'information dans le Maître est interdite et son état est transmis à l'Esclave. Supposons qu'au départ le Maître se trouve dans l'état 011 ($Q'_1 = 0$, $Q'_2 = Q'_3 = 1$). Dans ces conditions, les transistors T_2 et T_3 seront conducteurs, étant donné que leurs bases et leurs émetteurs sont respectivement aux niveaux 1 et 0. Quant au transistor T_1, il sera bloqué par le niveau 0 sur sa base. Il en résulte que les éléments B_2 et B_3 sont bloqués ($Q_2 = Q_3 = 1$) et l'élément B_1 conduit parce que toutes ses entrées sont à l'état de 1 logique. Cela signifie que

l'Esclave est à l'état 011. A l'arrivée du signal d'entrée tous les transistors seront bloqués par le signal $T_c = 1$ agissant sur leurs émetteurs en maintenant ainsi l'Esclave dans l'état 011. Quant au Maître, il passe à l'état suivant 101 à travers l'élément B_6. Après la cessation du signal d'entrée ($T_c = 0$) les transistors T_1 et T_3 seront débloqués et l'Esclave prend l'état du Maître.

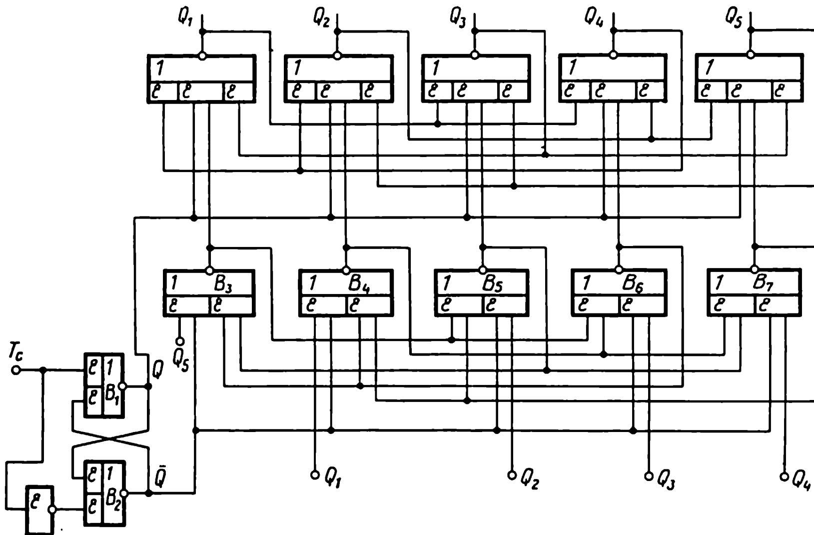


Fig. 5.66. EM_t réalisée selon le schéma M-E à bascule de commutation du type D

Les paramètres des échelles EM_t réalisées selon le schéma de la fig. 5.65 ont les valeurs suivantes:

$$w=2\,; \quad F_{\max 1}=\frac{1}{4\tau_{\text{moy}}}\,; \quad n_T=\left[\frac{n_e}{M}\right]^-; \quad n_Q=n_e-2S. \tag{5.39}$$

S'il est nécessaire d'augmenter le paramètre n_Q, le Maître peut se réaliser à l'aide d'éléments ET-NON montés en bascule multistable commandée par (N — Φ) entrées. Dans ce dernier cas, le paramètre n_Q a pour expression:

$$n_Q = n_e - (S + 1). \tag{5.39a}$$

Parmi les inconvénients communs à toutes les versions des échelles EM_t réalisées selon le schéma M-E, il convient de citer la diminution du paramètre n_T avec l'augmentation du module de l'échelle. On s'affranchit de cet inconvénient en réalisant les échelles EM_t selon le schéma M-E à bascule de commutation du type D. Une variante d'une telle échelle EM_t fonctionnant selon le code 2 (1)/5 est donnée fig. 5.66.

Dans ce montage, les deux bascules sont commandées par le signal au niveau 1 et sont constituées par des bascules BM à (N—Φ)

entrées de commande. Le Maître fonctionne selon le code 2 (0)/5 et l'Esclave selon le code 2 (1)/5. Le rôle de l'entrée de comptage (T_c) dans ce montage est rempli par l'entrée D de la bascule asynchrone D.

Le fonctionnement de ce montage est le suivant. En l'absence du signal d'entrée ($T_c = 0$) la bascule D est dans l'état $Q = 1$; $\overline{Q} = 0$. Dans ces conditions, le transfert de l'information est autorisé dans l'Esclave et interdit dans le Maître. Alors, si celui-ci se trouve, par exemple, dans l'état 00111, celui-là se place, par les entrées Y_3, Y_4 et Y_5 et le signal $Q = 1$, dans l'état complémentaire de celui du Maître, c.-à-d. dans l'état 11000 ($Q_1 = Q_2 = 1$; $Q_3 = Q_4 = Q_5 = 0$). A l'arrivée du signal d'entrée ($T_c = 1$), il y a tout d'abord formation du niveau 0 à la sortie du côté Q de la bascule de commutation qui bloque le transfert de l'information du Maître à l'Esclave. Ensuite, au bout d'un intervalle de temps $\Delta t = \tau_{01}$ de l'élément B_2 se forme le niveau 1 à la sortie du côté $\overline{Q}$ de la bascule asynchrone D et le Maître se place à travers les portes B_4 et B_5 dans l'état suivant 10011. Après la cessation du signal d'entrée ($T_c = 0$), ce sera tout d'abord le niveau 0 à la sortie du côté $\overline{Q}$ et ensuite, au bout d'un intervalle de temps $\Delta t = \tau_{01}$, le niveau 1 à la sortie du côté Q_1, ce qui aura pour effet la mise de l'Esclave à l'état suivant 01100, et ainsi de suite. Les paramètres d'une telle échelle EM_t se déterminent comme suit:

$$w = 2 + \frac{M}{3}; \quad n_Q = n_e - (S+1); \quad n_T = 2; \quad F_{\text{maxi}} = \frac{1}{9\tau_{\text{moy}}}. \quad (5.40)$$

Ainsi, le passage de la bascule de commutation D par l'état $Q = \overline{Q} = 0$ à l'instant de commutation permet:

1. De séparer nettement dans le temps les processus de blocage et de transfert de l'information entre les bascules M et E.
2. D'éliminer l'influence que la dispersion des retards apportés par des éléments de la bascule de commutation peut exercer sur le fonctionnement du montage.
3. De rendre la valeur du paramètre n_T indépendante du module de l'échelle EM.

5.9.3.2. Echelles multistables réalisées selon le schéma à bascule BM et éléments de commutation

Les échelles EM établies d'après ce procédé se caractérisent par l'emploi simultané des bascules BM asynchrones et des éléments mémoire de commutation. Le rôle de ces derniers consiste à mémoriser l'information sur l'état de la bascule BM proprement dite pendant l'action du signal d'entrée. En qualité d'éléments mémoire de commutation on peut utiliser des bascules de type *R-S* et *D* ou des éléments formateurs du type EDC.

La fig. 5.67 donne une échelle EM réalisée selon le schéma à une bascule à N états stables avec N bascules de commutation du type

R-S. Ce montage utilise une bascule à quatre états stables (4T) monophasée commandée par entrée unique et quatre bascules de commutation du type R-S. Les côtés de commande des bascules de commutation sont reliés aux entrées de la bascule 4T. Les entrées des côtés de commande des portes B_1 à B_4 de toutes les bascules de commutation reçoivent le signal d'entrée T_c. De plus, la sortio du i-ième côté de la bascule de commutation R-S est reliée à l'entrée de l'élément constituant le côté de commande de la $(i + 1)$-ième bascule.

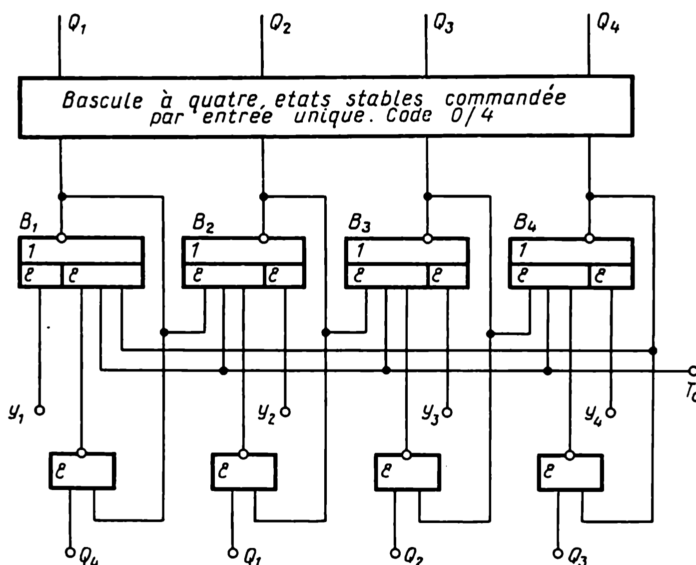


Fig. 5.67. EM réalisée selon le schéma à bascule BM et bascules de commutation du type R-S (code 0/4)

Voyons le fonctionnement de ce montage. En l'absence du signal d'entrée ($T_c = 0$), les éléments B_1 à B_4 qui constituent les côtés de commutation des bascules sont bloqués ($B_1 = B_2 = B_3 = B_4 = 1$) et la bascule 4T se trouve dans l'un des états: 0111, 1011, 1101, 1110. Supposons que la bascule BM soit dans l'état 0111 ($Q = 0$; $Q_2 = Q_3 = Q_4 = 1$). Dans ce cas, les niveaux logiques sur les sorties des portes B_5 à B_8 formant le deuxième côté des bascules de commutation R-S sont répartis de la manière suivante: $B_6 = 1$, $B_5 = B_7 = B_8 = 1$. Ainsi, le seul élément de commutation B_2 sera préparé au basculement, étant donné qu'à deux entrées de la porte ET_1 de cet élément agissent les 1 logiques. A l'arrivée du signal d'entrée ($T_c = 1$), le niveau 0 sera produit à la sortie de l'élément B_2 (voir fig. 5.67). Ce niveau fera passer la bascule à l'état suivant 1011 et, grâce aux couplages entre la sortie de B_2 et les entrées de B_3 et B_6, assurera le maintien des éléments B_6 et B_3 dans l'état 1. Dans ces conditions, les sorties de tous les autres élé-

ments B_1, B_3 et B_4 seront aux niveaux 1 logiques parce qu'ils sont maintenus dans ces états par les signaux 0 issus des sorties des éléments B_5, B_7 et B_8. L'apparition du niveau « 1 » à la sortie de l'élément B_7, grâce au passage de la bascule 4T à l'état 1011, ne pourra pas débloquer l'élément B_3 qui commande l'entrée suivante de la bascule 4T, étant donné que cet élément est maintenu dans l'état 1 grâce au signal 0 qui a été formé auparavant à la sortie de l'élément B_2.

Les paramètres des échelles EM de ce type ont pour expressions:

$$F_{\max 1} = \frac{1}{6\tau_{\text{moy}}}; \quad n_Q = n_e - (S+1); \quad n_T = M; \quad w = 3. \quad (5.41)$$

Les entrées Y_1 à Y_4 sont destinées au positionnement asynchrone de l'échelle EM dans n'importe lequel des quatre états. A cet effet, il est nécessaire d'appliquer à l'une des entrées Y_1 à Y_4 un signal au niveau 1. Par rapport aux montages des échelles EM équipées d'éléments ET-NON qui ont été étudiés plus haut (voir fig. 5.61, 5.62), les échelles EM réalisées suivant le schéma de la fig. 5.67 sont caractérisées par une valeur du paramètre w plus faible (3 contre 4). Elles sont plus économiques d'après la puissance consommée.

Pourtant à la différence des montages précédents, les échelles EM de la fig. 5.67 nécessitent obligatoirement l'emploi de bascules MT monophasées commandées par entrée unique. Or, comme il a été dit plus haut, les bascules sont réalisées à l'aide d'éléments ayant un nombre maximal d'entrées $m = 2\ (N - 1)$.

Cette dernière circonstance limite leur domaine d'emploi pratiquement au module $M = 3$ puisque, à partir de $M = 4$, on doit utiliser des éléments ayant un nombre d'entrées $m = 6$. Un montage plus efficace du point de vue de l'emploi des éléments à petit nombre d'entrées est représenté fig. 5.68. Ce montage comporte une bascule BM biphasée asynchrone fonctionnant selon le code 2 (0)/5 et des bascules R-S en nombre égal à celui des états stables de la BM.

La particularité principale de ce montage réside dans la mise en valeur de la propriété que possède la bascule BM d'être commandée par un nombre d'entrées compris entre 1 et $(N - \Phi)$, ce qui a été indiqué plus haut. En d'autres termes, pour réaliser les échelles EM selon ce schéma, il est nécessaire que les signaux de commande produits par les portes B_1 et B_2 lors de l'application du signal d'entrée soient introduits simultanément à un nombre d'entrées de la bascule BM égal à son nombre de phases. Supposons la bascule EM dans l'état 00111. Dans ce cas, seules les portes B_2 et B_3 seront préparées à la commutation. Etant donné que lors de l'application du signal d'entrée est satisfaite la condition indiquée plus haut pour le passage de la bascule BM proprement dite au $(i + 1)$-ième état et, grâce aux couplages entre les bascules B_1-B_6 ; B_2-B_7 ; B_3-B_8 ; B_4-B_9 ; B_5-B_{10} et entre les éléments B_1-B_3, B_2-B_4, B_3-B_5, B_4-B_1, B_5-B_2, son basculement est unique. En conservant les couplages de cette nature, il est facile d'établir les échelles EM de n'importe

quel module M impair ayant le nombre de phases $\Phi = \left[\frac{M}{2}\right]^{-}$ à l'aide d'éléments ayant un nombre d'entrées $m = 2$, $m = 3$, $m = 4$ et de module pair M avec $\Phi = \frac{M}{2} - 1$ à l'aide d'éléments ayant un nombre d'entrées $m = 2$, $m = 3$, $m = 5$.

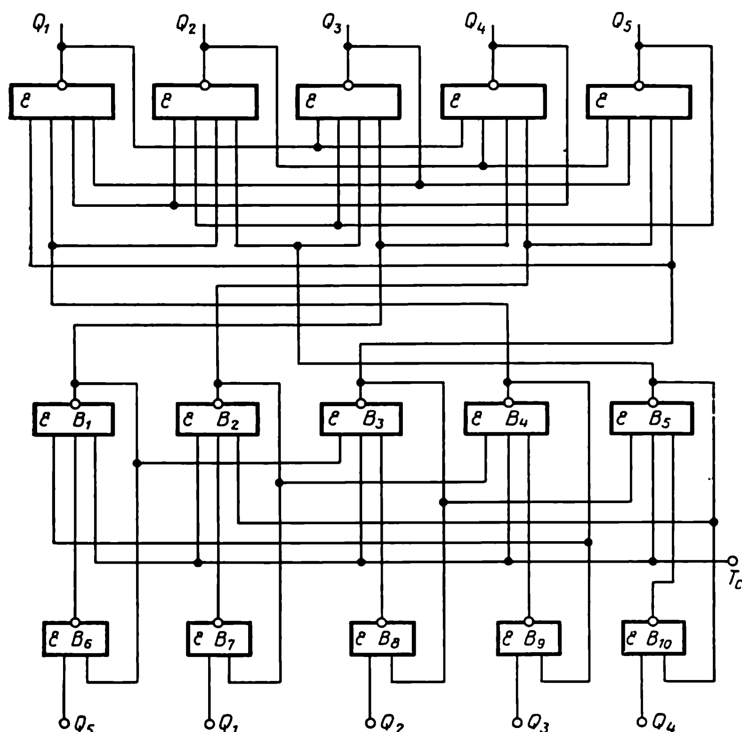
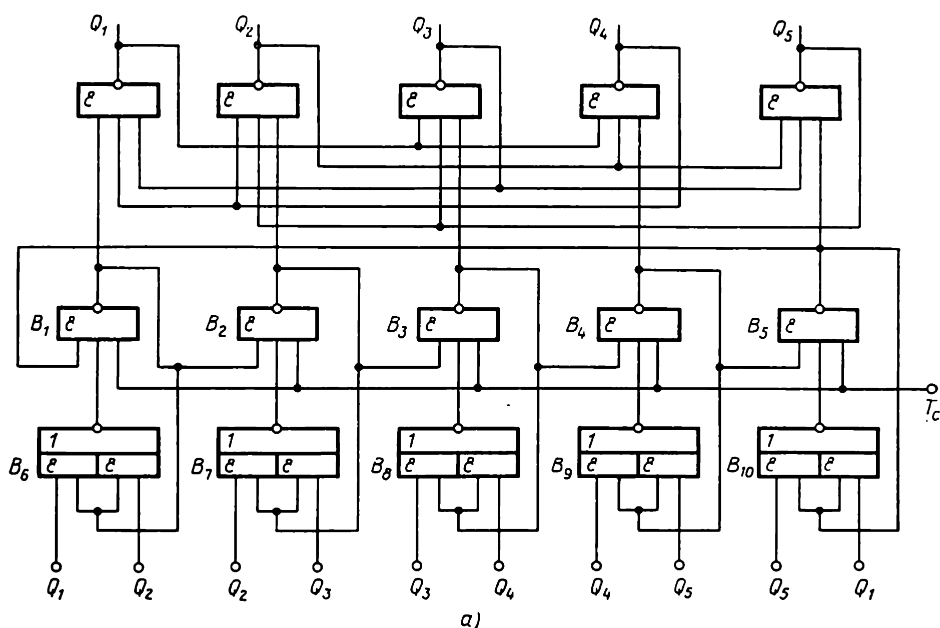


Fig. 5.68. EM réalisée selon le schéma à bascule BM et bascules de commutation du type R

Les paramètres des échelles EM réalisées par analogie avec le schéma de la fig. 5.68 ont pour valeurs:

$$w = 3\,; \quad F_{\max 1} = \frac{1}{6\tau_{\text{moy}}}\,; \quad n_T = \left[\frac{n_e}{M}\right]^{-}; \quad n_Q = n_e - (S+1), \quad (5.42)$$

La fig. 5.69 *a* illustre une variante de synthèse des échelles EM à l'aide d'éléments ET-NON, ET-OU-NON. Ce montage utilise une bascule BM biphasée commandée par $(N - \Phi)$ entrées, fonctionnant selon le code 2 (0)/5, et des circuits de commutation dont le nombre est égal à celui des états stables de la bascule BM. Chacun de ces circuits de commutation est réalisé à l'aide d'un élément ET-NON, ET-OU-NON et représente en réalité une bascule du type R-S.



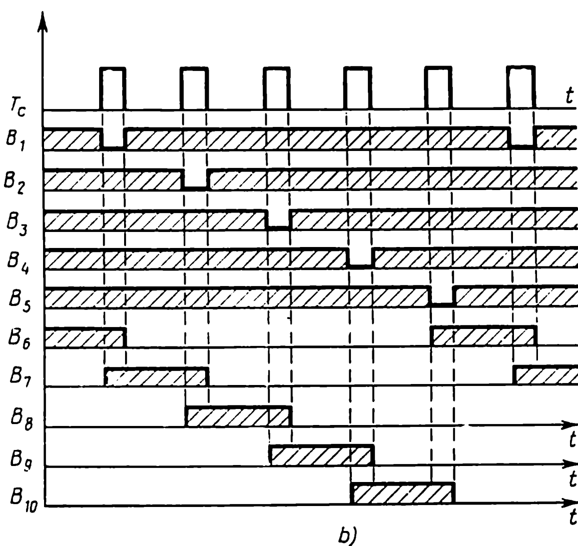
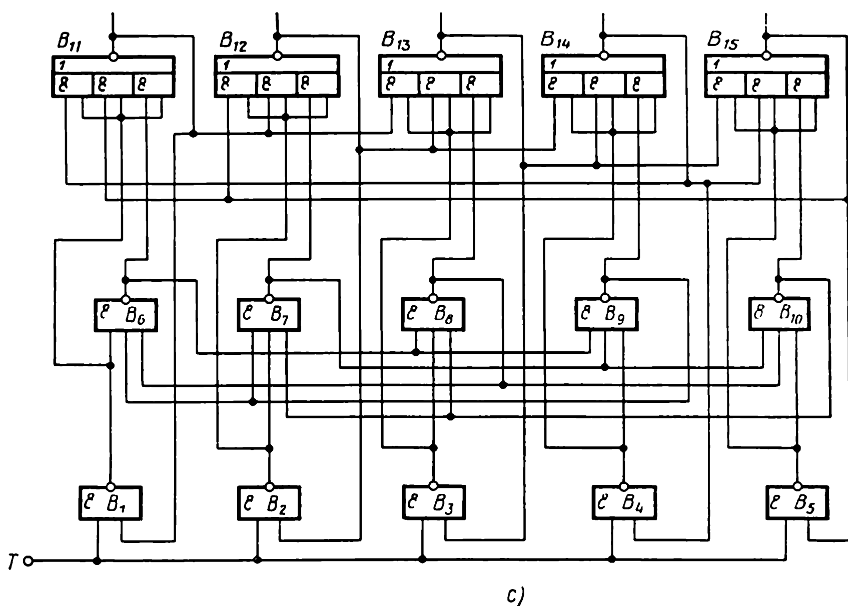


Fig. 5.69. EM réalisée selon le schéma à bascule BM et bascules de commutation du type *R-S* fonctionnant selon le code 2(0)/5 (*a*) et diagramme de son fonctionnement (*b*)



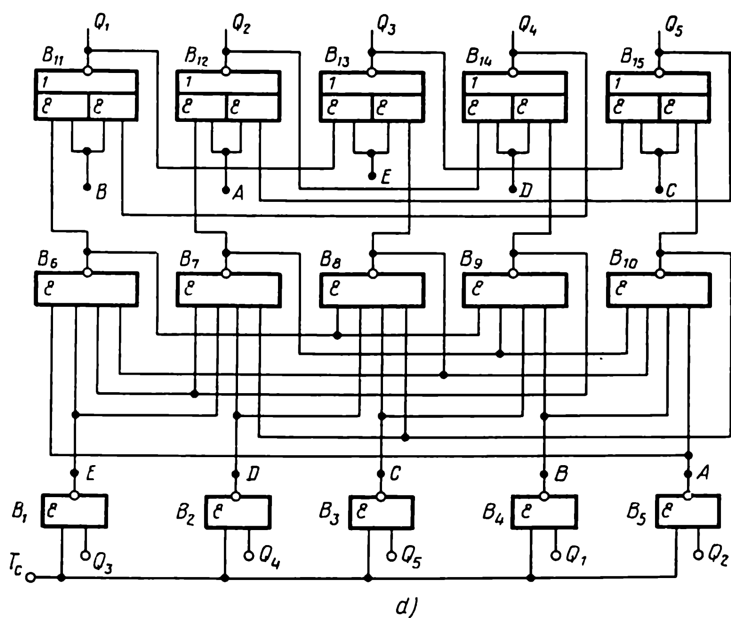


Fig. 5.69. EM en éléments ET-NON, ET-OU-NON fonctionnant selon deux codes : 1/5 et 2(0)/5 (*c*) et selon le code 2(1)/5 (*d*)

La particularité de ce montage réside dans l'utilisation de la bascule BM proprement dite en régime de BM à commutation séquentielle. Cette méthode d'établissement des échelles EM exige forcément que la bascule BM soit montée en bascule BM multiphasée commandée par (N — Φ) entrées. L'échelle EM de la fig. 5.69 *a* assure le comptage des signaux selon le code 2 (0)/5 et fonctionne de la manière suivante. En l'absence du signal d'entrée ($T_c = 0$), les sorties de toutes les portes B_1 à B_5 sont au niveau 1 et la bascule 5T proprement dite se trouve dans l'un des cinq états: 00111, 10011, 11001, 11100, 01110.

Supposons la bascule 5T dans l'état 00111. Dans ce cas, seule la sortie de l'élément B_6 est au niveau 1 et, par conséquent, l'élément B_1 est le seul à être préparé à la commutation. A l'arrivée du signal d'entrée ($T_c = 1$) la sortie de l'élément B_1 est portée au niveau 0 qui fait passer la bascule 5T à l'état suivant 10011 tandis que, grâce aux couplages entre la sortie de l'élément B_1 et les entrées des éléments B_2 et B_6, les niveaux 1 logiques sont conservés aux sorties des éléments B_2 et B_6 pendant la commutation de la bascule BM.

Dans le cas général, pour établir une échelle EM d'après un montage analogue à celui de la figure 5.69*a*, il faut utiliser des éléments ET-NON ayant un nombre d'entrées $m = S + 1$, $m = 3$ et des éléments ET-OU-NON réalisant la fonction 2ET-ΦOU-NON dans laquelle $\Phi \geqslant 2$.

Dans certains cas et surtout pour un M pair et $\Phi = 2$ les échelles EM établies selon le schéma de la fig. 5.69 *a* peuvent s'avérer plus économiques d'après les dépenses matérielles que les échelles réalisées suivant le schéma de la fig. 5.68, étant donné que la réalisation de la bascule BM proprement dite utilisée dans ce montage nécessite des éléments ayant un nombre d'entrées $m = 3$ et $m = 4$ contre $m = 3$ et $m = 5$ dans le schéma de la figure 5.68. Parmi d'autres avantages de cette échelle EM comme d'ailleurs de celle schématisée 5.67, il convient de citer son emploi possible en distributeur d'impulsions en utilisant à cet effet les sorties des portes B_1 à B_5 (voir fig. 5.69 *b*). Les paramètres de telles échelles EM sont analogues à ceux de l'échelle représentée fig. 5.67, sauf le paramètre n_Q qui a pour expression:

$$n_Q = n_e - (S + \Phi), \tag{5.43}$$

où $\Phi \geqslant 2$.

La fig. 5.69 *c* montre encore une variante de l'échelle EM réalisée à base des éléments ET-NON, ET-OU-NON. Une particularité intéressante de ce montage est qu'il permet de prélever l'information à la fois en deux codes:

— un code monophasé 1/5 aux sorties des éléments ET-OU-NON (sorties Q_1 à Q_5);

— un code biphasé 2 (0)/5 aux sorties des éléments ET-NON (sorties des éléments B_6 à B_{10}).

Le montage fonctionne de la manière suivante.

En l'absence du signal d'entrée, les sorties des portes de commande B_1 à B_5 sont aux niveaux 1 logiques et la bascule BM proprement dite se trouve dans l'un des cinq états suivants: 00111, 10011, 11100, 01110, 11001. Supposons qu'elle soit à l'état 00111. Dans ce cas, les sorties des éléments B_{12} à B_{15} sont aux niveaux 0 et la sortie de l'élément B_{11} est au niveau 1 (toutes les portes ET de cet élément sont au niveau zéro). Il s'ensuit que seul cet élément B_1 est préparé à la commutation. A l'arrivée du signal d'entrée, le niveau 0 sera formé à la sortie de l'élément B_1 et la bascule BM fonctionnant en bascule à commande séquentielle, tout comme celle du montage de la fig. 5.69 *a*, passe à l'état suivant 10011. Dans ces conditions, du fait des couplages entre la sortie de l'élément B_1 et les entrées des portes ET de l'élément B_{11} et des couplages entre la sortie de l'élément B_{11} et les entrées des éléments B_{12} et B_{13}, le code initial est conservé à leurs sorties pendant que la bascule BM passe à l'état suivant. La conservation des niveaux zéro aux sorties des éléments B_{14} et B_{15} est automatique, étant donné que lorsque la bascule BM passe du premier état au deuxième les sorties des éléments B_4, B_9, B_5 et B_{10} sont toujours au niveau de un logique. Après la cessation du signal d'entrée, la sortie de l'élément B_1 est de nouveau portée au niveau 1, ce qui produit le niveau zéro à la sortie Q_1 et le niveau un à la sortie Q_2 de sorte que l'échelle EM se place dans l'état suivant 01000. Après cela c'est l'élément B_2 qui est préparé à la commutation et après la cessation du deuxième signal d'entrée, l'échelle EM passe au troisième état 00100 et ainsi de suite.

La fig. 5.69 *c* représente un montage dans lequel la bascule BM est constituée par une bascule multistable biphasée à commande séquentielle par plusieurs entrées. Toutefois, ce montage peut également utiliser des bascules BM monophasées à commande par entrée unique. Dans ce cas, c'est l'organisation de la bascule BM proprement dite qui devient plus délicate à réaliser, mais en revanche celle des bascules mémoire intermédiaires se trouve simplifiée puisque les éléments ET-OU-NON nécessiteront, dans ce cas, pour leur réalisation des éléments plus simples matérialisant la fonction 2ET-2OU-NON. En d'autres termes, l'organisation de telles échelles EM nécessite les éléments ET-OU-NON remplissant la fonction:

$$2\text{ET-}(\Phi + 1)\text{ OU-NON},$$

où Φ est le nombre de phases de la bascule BM équipée d'éléments ET-NON.

Les échelles EM réalisées suivant le schéma de la fig. 5.69 *c* possèdent les paramètres ayant les mêmes valeurs que ceux du schéma de la fig. 5.69 *a*, sauf le paramètre n_Q qui a pour expression:

$$n_Q = n_e - (\Phi + 1),$$

où Φ est le nombre de phases de la bascule BM.

Vu que la charge maximale de l'échelle EM ne dépend pas du nombre de liaisons de la bascule BM utilisée et se détermine uniquement par son nombre de phases, on peut conclure que les échelles EM considérées possèdent le paramètre n_Q de valeur plus élevée que dans les schémas étudiés plus haut, fonctionnant selon les codes $0/N$ et $1/N$. De plus, pour $\Phi = 1$, on obtient $n_Q = n_e - 2$. Cela signifie qu'en cas d'emploi des bascules BM monophasées la charge maximale des échelles EM ne dépend pas du module M. Il convient de signaler encore une particularité intéressante du schéma représenté 5.69 *c*; il peut servir de base pour l'établissement des échelles EM fonctionnant selon le code 2 (1)/5. La structure d'une telle échelle EM est représentée 5.69 *d*.

Le fonctionnement de l'échelle EM selon le code 2 (1)/5 est obtenu grâce à l'emploi dans le montage d'une bascule BM à commande par deux entrées, d'une part, et à une certaine modification de la nature des couplages entre les éléments ET-OU-NON des bascules mémoire de commutation, d'autre part. En particulier, la sortie du i-ième élément ET-OU-NON dans ce montage n'est connectée que sur l'entrée du $(i + 2)$-ième élément, ce qui a permis d'utiliser les éléments 2ET-2OU-NON au lieu des éléments 2ET-3OU-NON du schéma de la fig. 5.69 *c*. Ce montage fonctionne de la manière suivante. En l'absence du signal d'entrée ($T_c = 0$) la bascule BM se trouve dans l'un des cinq états, par exemple, à l'état 00111. Dans ce cas, les portes ET de droite des éléments B_{13} à B_{15} sont ouvertes et leurs sorties sont au niveau 0. Les sorties des éléments B_{11} et B_{12} sont au niveau 1 parce que les deux portes ET de ces éléments sont fermées par le signal 0 issu des sorties des éléments B_6, B_7 et B_{14}, B_{15}. A l'arrivée du signal d'entrée ($T_c = 1$), les sorties des éléments B_4 et B_5 sont portées au niveau « 0 ». La BM passe donc à l'état suivant 10011 et du fait des couplages entre les sorties des éléments B_4 et B_5 et les entrées des éléments B_{11} et B_{12} est conservé le code initial 11000 aux sorties Q_1 à Q_5 de la EM. Après la cessation du signal d'entrée, les sorties des éléments B_{11}, B_{14} et B_{15} sont portées au niveau 0, ce qui avec le signal 0 sur les éléments B_7 et B_8 assure le passage de l'échelle EM à l'état suivant 01100.

Le fonctionnement ultérieur du montage est évident et se passe de commentaires. Les paramètres de cette dernière EM ont pour valeurs:

$$w = 3\,; \quad F_{\text{maxi}} = \frac{1}{6\tau_{\text{moy}}}\,; \quad n_T = \left[\frac{n_e}{M}\right]; \quad n_Q = n_e - 2.$$

Les particularités importantes de telles échelles EM sont l'indépendance du paramètre n_Q en fonction du module M et un nombre de liaisons relativement faible entre les éléments.

La fig. 5.70 représente une échelle EM réalisée selon le schéma à bascule BM et bascules de commutation D fonctionnant selon le code 1/3. Le rôle des bascules de commutation est rempli dans ce montage par les éléments B_1 à B_3, tandis que la commutation unique

de l'échelle EM lors de l'action du signal d'entrée est assurée grâce au couplage entre la sortie du i-ième élément et l'entrée du $(i+1)$-ième élément.

Pour $T_c = 0$, les sorties de tous les éléments B_1 à B_3 sont au niveau 1 logique et la bascule 3T proprement dite peut se trouver dans l'un des trois états: 100, 010, 001.

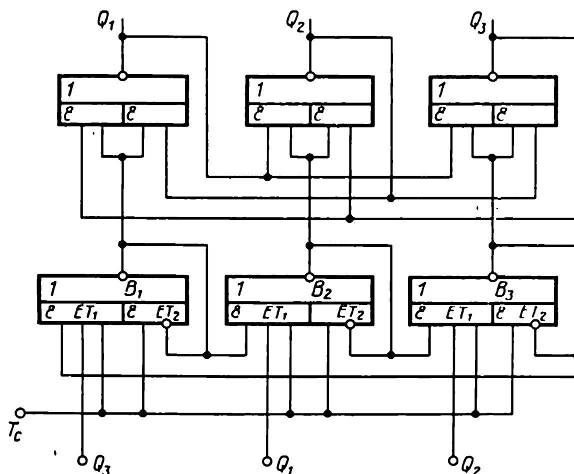


Fig. 5.70. EM réalisée selon le schéma à bascule BM et bascule de commutation du type D

Supposons la bascule 3T à l'état 100. Alors, seul l'élément B_2 est préparé à la commutation, puisque les deux entrées de sa porte ET_1 sont au niveau 1. A l'arrivée du signal d'entrée le niveau 0 est formé à la sortie de l'élément B_2 ($B_2 = 0$), qui fait passer la bascule BM à l'état suivant 010. Dans ce cas, grâce au couplage entre les bascules depuis la sortie de l'élément B_2 sur l'entrée de son élément ET_2 le niveau 0 est conservé à la sortie de l'élément B_2 et grâce au couplage supplémentaire entre la sortie de l'élément B_2 et la porte ET_1 de l'élément B_3 le déblocage de l'élément B_3 est interdit lors du changement de l'information dans la bascule BM.

Après la cessation du signal d'entrée ($T_c = 0$), les sorties des éléments B_1 à B_3 sont au niveau 1 et l'échelle EM est préparée au passage dans l'état suivant 001 à travers l'élément B_3. C'est ainsi que le montage de la fig. 5.70 fonctionne en EM et assure le comptage des signaux par 3. Les paramètres des échelles EM réalisées de cette manière ont pour valeurs:

$$w = 2\,; \quad F_{\max 1} = \frac{1}{4\tau_{\text{moy}}}\,; \quad n_T = \left[\frac{n_e}{2M}\right]^{-}; \quad n_Q = n_e - (S+1). \qquad (5.44)$$

D'après ses paramètres w, $F_{\max 1}$, n_T et n_Q, cette échelle EM est donc analogue aux échelles EM_t établies selon le schéma M-E

à commande par niveaux de polarité différente, mais à la différence de ces dernières, elle peut être réalisée avec un nombre de liaisons entre éléments plus petit. Un tel montage sera le plus efficace dans le cas où les bascules de commutation *D* seront réalisées à base d'éléments en logique *T-TTL*. La figure 5.70 montre à titre d'exemple l'organisation d'une échelle EM monophasée. Les échelles EM multiphasées peuvent être obtenues par un simple remplacement de la bascule BM monophasée par une bascule BM multiphasée tout en conservant les couplages entre les éléments de commutation.

Fig. 5.71. EM réalisées selon le schéma à bascule BM et éléments de commutation :

a — à base d'éléments ET-OU-NON (code 1/3); *b* — à base d'éléments ET-NON (code 2(0)/5)

Pour conclure ce paragraphe, la fig. 5.71 donne les échelles EM_t réalisées selon le schéma à bascule BM asynchrone et à éléments de commutation du type EDC (élément différentiel de commande).

Les particularités de fonctionnement d'un tel élément résident dans le fait qu'après la cessation du signal d'horloge cet élément délivre à sa sortie un signal de durée supérieure ou égale au temps de commutation de la bascule, à condition que toutes les autres entrées soient attaquées par des signaux d'autorisation.

Considérons le fonctionnement de ces montages sur l'exemple d'une échelle EM schématisée fig. 5.71 *a* et fonctionnant selon le code 1/3. En l'absence du signal d'entrée ($T_c = 0$) les sorties de tous les éléments B_1 à B_3 sont au niveau 1.

Alors, si par exemple la bascule BM se trouve dans l'état 100, seul l'élément B_2 est préparé au déblocage. A l'arrivée du signal d'entrée l'état des sorties des éléments B_1 à B_3 ne change pas. Après le cessation du signal d'entrée ($T_c = 0$), le signal de commande au niveau 0 ne sera produit qu'à la sortie de l'élément B_2 étant donné que sa deuxième entrée avant l'arrivée du signal $T_c = 1$ était soumise à l'action du signal d'autorisation au niveau 1 ($Q_1 = 1$). Il en résulte le passage de la bascule BM à l'état suivant 010. Après

cela, c'est l'élément B_3 qui est préparé au déblocage et après la cessation du deuxième signal d'entrée, la bascule BM passe à l'état 001 et ainsi de suite.

L'échelle EM_f schématisée fig. 5.71 *b* fonctionne selon le code 2 (0)/5 et utilise le montage en bascule BM à (N — Φ) entrées de commande. Les paramètres des échelles de ce type ont pour valeurs:

$$w = 2\,; \quad n_Q = n_e - (S+1)\,; \quad n_T = \left[\frac{n_e}{M}\right]^{-}\,; \quad F = \frac{1}{\tau_i + \tau_t}\,. \qquad (5.45)$$

En plus de la faible valeur du paramètre w, il convient de citer parmi les avantages de ces échelles le nombre minimal de liaisons entre éléments.

5.9.3.3. Echelles multistables selon le schéma en anneau compteur à deux cadences et à élément de commutation

On appelle anneau compteur à deux cadences (ACD) un dispositif comportant deux entrées (l'une paire et l'autre impaire) telles que

Fig. 5.72. Anneau compteur à deux cadences en éléments ET, OU-NON (code 1/4)

l'apparition du signal sur l'entrée impaire de l'anneau le mette à l'état pair suivant et l'apparition du signal sur l'entrée paire place l'anneau à l'état impair suivant. La fig. 5.72 représente l'une des variantes d'un tel anneau.

L'anneau est organisé de telle façon que la sortie de chaque élément OU-NON est reliée à l'entrée de l'élément ET de l'étage suivant et aux entrées des éléments OU-NON de tous ses autres étages. Les deuxièmes entrées des éléments impairs et séparément celles des éléments pairs sont réunies en vue de constituer des entrées de commande T_1 et T_2 de l'anneau.

Pour fixer les idées, la figure 5.72 représente le schéma d'un anneau à quatre états. Toutefois, en utilisant le même principe, on peut réaliser, par analogie, des anneaux pour n'importe quel nombre d'états. Le montage représenté comporte quatre états stables: 1000, 0100, 0010 et 0001 dont 1000 et 0010, c.-à-d. les états correspondant au niveau 1 sur les sorties des éléments B_1

et B_3, seront appelés impairs et 0100 et 0001, pairs. Le montage est commandé à l'aide de signaux au niveau 0 appliqués aux entrées T_1 et T_2 qui seront appelées respectivement entrée impaire et entrée paire.

Supposons que l'anneau se trouve dans le premier état, c.-à-d. impair (le code 1000). Pour faire passer le montage à l'état suivant, il est nécessaire d'appliquer à l'entrée T_2 un signal au niveau « 0 ». Ce signal ferme la porte B_6 ($B_6 = 0$) et produit le signal 1 à la sortie de l'élément B_2 (toutes les entrées de l'élément B_2 sont au niveau 0 logique). Le signal « 1 » attaque les portes B_1 et B_4 et, par la porte B_7 ouverte ($B_7 = 1$), est appliqué à l'entrée de l'élément B_3 en fixant un nouvel état du montage correspondant au code 0100. Ainsi, l'application d'un signal à l'entrée paire fait passer le montage de l'état impair à l'état pair suivant. Si maintenant un signal au niveau 0 est appliqué de nouveau à l'entrée T_2 le montage ne change pas d'état.

Appliquons le signal au niveau « 0 » à l'entrée T_1 ($T_1 = 0$, $T_2 = 1$). Dans ce cas, la porte B_7 se ferme ($B_7 = 0$), la sortie Q_3 est portée au niveau 1 et l'anneau se place à l'état suivant, cette fois-ci l'état impair 0010. Si de nouveau l'on fait agir sur l'entrée T_1 un signal au niveau 0, l'anneau ne change pas d'état. Le signal introduit ($T_2 = 0$) place le montage dans l'état pair suivant correspondant au code 0001. Enfin, le signal $T_1 = 0$ fait revenir l'anneau en état de départ 1000. Ainsi, le montage fonctionne de manière que chaque impulsion appliquée à son entrée paire le place dans l'état pair suivant et chaque impulsion introduite sur son entrée impaire, dans l'état impair suivant. Cela signifie que l'anneau représente une sorte de montage à deux entrées de comptage. L'information ne doit pas se présenter à la fois sur les deux entrées, sinon l'anneau se place dans une position indéterminée, soit à l'état pair suivant soit à l'état impair suivant.

Une telle combinaison de signaux doit donc être interdite à l'entrée de l'anneau. On y arrive en transformant l'anneau à deux entrées en un anneau à cadence unique, c.-à-d. possédant une seule entrée de comptage. Ce résultat peut être obtenu au moyen de divers schémas. Ceci découle du fait que l'anneau peut être considéré du côté des entrées de comptage T_1 et T_2 comme une bascule du type *R-S* qui représente en réalité un anneau compteur simple à deux états. Or, cela signifie que tous les schémas connus des bascules de comptage à cadence unique peuvent être utilisés pour la synthèse des anneaux compteurs. La fig. 5.73 donne à titre d'exemple une échelle EM_t réalisée selon le schéma à anneau compteur et bascules de commutation du type *R-S* analogue à celui de la bascule *R-S* de la fig. 3.14. L'anneau compteur proprement dit, réalisé ici à l'aide d'éléments NON, ET-OU, possède quatre états qui se caractérisent par les codes 0111, 1011, 1101, 1110. L'anneau est commuté à l'aide de signaux au niveau 0 logique introduits sur les entrées $T_1 = 0$ et $T_2 = 0$. Son fonctionnement sans bascules de commutation est

le suivant. Supposons le montage initialement dans l'état 0111. La première impulsion impaire $T_1 = 0$ bloque les circuits de coïncidence de la porte Q_2. Il en résulte le signal $Q_2 = 0$ (les entrées OU de la porte Q_2 sont attaquées par les niveaux 1 depuis les sorties des portes Q_3 et Q_4) qui ramène les portes Q_2 et Q_4 à l'état 1. Le circuit de coïncidence de la porte Q_3 est débloqué (parce que $T_2 = 1$ et $Q_2 = 0$) et à la sortie de cette dernière se forme aussi le niveau 1.

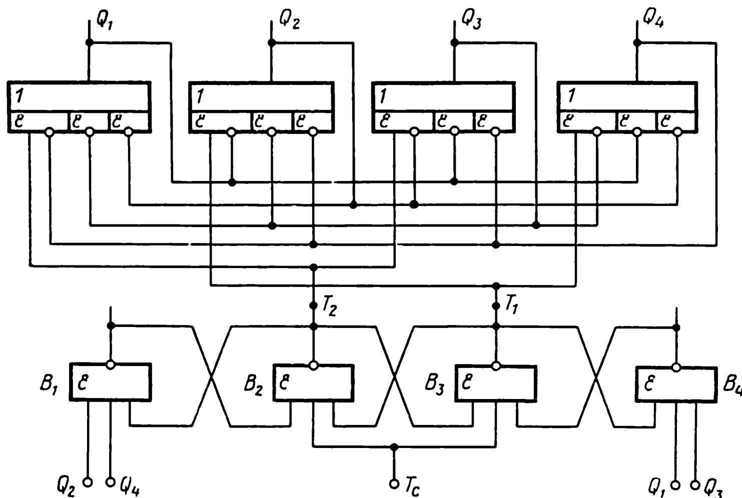


Fig. 5.73. EM réalisée selon le schéma en anneau compteur et bascules de commutation du type R-S (code 0/4)

Après la cessation de la première impulsion impaire ($T_1 = 1$) le montage conserve son nouvel état stable 1011. La première impulsion paire ($T_2 = 0$) bloque le circuit de coïncidence de la porte Q_3, en produisant ainsi le niveau 0 à la sortie de Q_3 (étant donné que $Q_1 = 1$ et $Q_4 = 1$). Sous l'effet du signal $Q_3 = 0$ la porte Q_2 passe à l'état 1. Le circuit de coïncidence de la porte Q_4 est passant (parce que $T_1 = 1$ et $Q_3 = 0$) et le niveau 1 se forme à sa sortie. Le code du montage correspondant à son troisième état stable est 1101.

Le fonctionnement à cadence unique de l'échelle EM est obtenu grâce à l'emploi dans le montage de deux bascules de commutation réalisées en éléments ET-NON, les côtés de commande des bascules étant connectés sur les entrées T_1 et T_2 de l'anneau et les entrées des autres côtés des bascules R-S recevant les sorties de toutes les portes paires et impaires de l'anneau compteur proprement dit.

Le rôle de l'entrée de comptage dans une telle échelle EM est tenu par l'entrée T_c du circuit de commande. Supposons que l'échelle EM se trouve dans l'état 0111. Dans ce cas, pour $T_c = 0$, les niveaux sur les sorties des portes B_1 à B_4 seront répartis de la manière suivante: $B_1 = 0$, $B_2 = 1$, $B_3 = 1$ et $B_4 = 1$. Pour $T_c = 1$, la porte

B_3 délivre à sa sortie le signal 0 et l'anneau compteur se place par son entrée T_1 à l'etat suivant 1011. Après la cessation du signal d'entrée ($T_c = 0$) c'est la porte B_2 qui est préparée à la commutation (ses deux entrées sont aux niveaux 1), et l'arrivée du signal d'entrée suivant place le montage dans l'état suivant 1101 et ainsi de suite. En cas de commande par les signaux au niveau 0 ($T_c = 0$) le montage de la fig. 5.73 fonctionne en EM_t. Les paramètres de cette échelle EM ont pour valeurs:

$$w = 4 + \frac{1}{M}; \quad F_{\text{maxi}} = \frac{1}{6\tau_{\text{moy}}}; \quad n_T = \left[\frac{n_e}{2}\right]^-; \quad n_Q = n_e - (S+1). \tag{5.46}$$

La fig. 5.74 représente une échelle EM_t réalisée selon le schéma en anneau fonctionnant selon le code 0/4 et en bascule de commutation équipée d'éléments ET-OU-NON. L'anneau compteur proprement dit est commuté par des signaux au niveau 1 et est réalisé

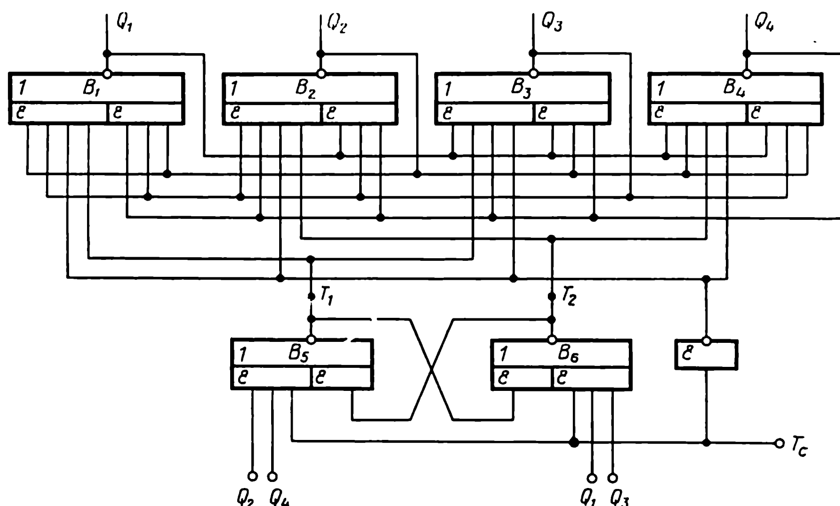


Fig. 5.74. EM réalisée selon le schéma en anneau compteur et bascule de commutation du type *R-S* à inverseur

de façon à avoir la sortie du *i*-ième élément ET-OU-NON raccordée à l'entrée du circuit ET de droite du $(i+1)$-ième élément ET-OU-NON et aux entrées des deux circuits ET des autres éléments ET-OU-NON. Dans ce montage, le rôle du dispositif de commutation est rempli par une bascule supplémentaire à inverseur, autrement dit le montage considéré utilise le procédé caractéristique des bascules *R-S* à inverseur de blocage. Supposons que pour $T_c = 0$ la bascule de commutation se trouve dans l'état 1 ($T_1 = 1$, $T_2 = 0$) et l'anneau dans l'état 0111 ($Q_1 = 0$, $Q_2 = Q_3 = Q_4 = 1$). Pour $T_c = 1$, la bascule de commutation se place dans l'état $T_1 = 0$,

$T_2 = 1$, alors que l'anneau conserve son état initial 0111 grâce à l'action de l'inverseur de blocage.

Après la cessation du signal d'entrée l'inverseur délivre à sa sortie un signal au niveau 1. Il en résulte que toutes les entrées de la porte ET de gauche de l'élément B_2 sont aux niveaux 1, sa sortie étant au niveau 0. Celui-ci et le signal $T_1 = 0$ appliqué à la porte ET de gauche de l'élément B_3 bloquent toutes les autres portes et l'anneau prend l'état suivant 1011 en préparant ainsi la commutation de la porte B_5 (puisque $Q_1 = Q_3 = 1$) de la bascule de commutation. L'arrivée du signal suivant place la bascule de commutation de nouveau dans l'état $T_1 = 1$, $T_2 = 0$. Après la cessation du signal d'entrée ($T_c = 0$) le niveau « 0 » se forme à la sortie Q_3 ($Q_3 = 0$), ce qui signifie que l'échelle EM_t passe à l'état suivant 1101, et ainsi de suite. Enfin, après la quatrième impulsion l'échelle EM_t reprend son état initial 0111.

Les paramètres des échelles EM_t de ce type sont caractérisés par les valeurs suivantes:

$$w = 1 + \frac{3}{M}; \quad n_T = \left[\frac{n_e}{3}\right]^{-}; \quad n_Q = n_e - 2S; \quad F_{\max 1} = \frac{1}{4\tau_{\mathrm{moy}}}. \quad (5.47)$$

L'inconvénient principal des échelles EM_t réalisées selon le schéma de la fig. 5.74 est que ces échelles nécessitent, pour leur réalisation, des éléments matérialisant la fonction:

$$\left.\begin{array}{r} M\cdot\mathrm{ET} \\ (M-1)\mathrm{ET} \end{array}\right\rangle \mathrm{OU\text{-}NON}$$

pour l'anneau proprement dit et des éléments:

$$\left.\begin{array}{r} \left(\frac{M}{2}+1\right)\ \mathrm{ET} \\ \mathrm{ET} \end{array}\right\rangle \mathrm{OU\text{-}NON}$$

pour la bascule de commutation, M étant le nombre d'états stables de l'anneau ou le module de l'échelle EM_t.

Le nombre de liaisons entre éléments peut être réduit aussi bien dans l'anneau lui-même que dans la bascule de commutation, à condition de réaliser l'échelle EM_t en anneau multiphasé et d'utiliser en qualité de dispositif de commutation un distributeur de signaux supplémentaire qui est généralement représenté par une bascule du type T_t.

La fig. 5.75 donne un exemple d'une telle échelle EM_t fonctionnant selon le code 2 (0)/6. L'anneau proprement dit est commandé dans ce montage par des signaux au niveau 1 et est réalisé à partir des éléments 3ET-2OU-NON. Le dispositif de commutation peut être représenté par l'une des bascules du type T_t étudiées précédemment. Lorsque sa bascule de commutation est réalisée à l'aide de 4 éléments ET-OU-NON, l'échelle EM_t possède les paramètres

suivants:

$$w = 1 + \frac{4}{M}; \quad n_T = \left[\frac{n_e}{2}\right]^{-}; \quad n_Q = n_e - (S+1); \quad F_{\text{maxi}} = \frac{1}{6\tau_{\text{moy}}}. \tag{5.48}$$

On peut donc constater que les échelles EM réalisées selon le schéma à anneau compteur et à dispositif de commutation sont les plus économiques d'après le paramètre w, ce qui constitue leur

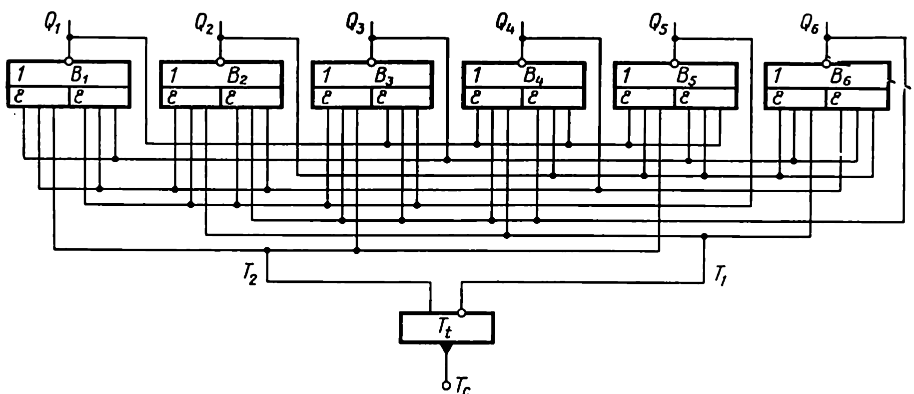


Fig. 5.75. EM réalisée selon le schéma en anneau compteur et distributeur de signaux supplémentaire (code 2(0)/6)

avantage principal. Cependant, la nécessité d'employer des éléments à grand nombre d'entrées, surtout pour la réalisation des anneaux monophasés, limite sensiblement leur application dans les circuits logiques intégrés.

Signalons enfin que les schémas de ce type ne sont utilisables que pour la synthèse des échelles EM_t modulo pair, ce qui est aussi leur inconvénient.

5.9.3.4. Echelles multistables réalisées en bascule BM et en registre mémoire

Cette méthode de réalisation des échelles EM_t est caractérisée par l'emploi simultané de bascules multistables et de registres mémoire classiques équipés de bascules bistables. En qualité de ces dernières on peut utiliser les bascules des types *R-S* ou *D*. Cependant, ce sont les échelles EM_t utilisant les bascules du type *D* et surtout des bascules monophasées (à sortie asymétrique) *D* et $\bar{D}$ qui présentent le plus grand intérêt pratique.

On distingue les versions de schéma suivantes permettant de réaliser les échelles EM_t de ce type:

à inverseur de blocage,
à deux inverseurs de blocage,
à commande par signaux de polarité différente,
à bascule asynchrone de commutation du type *D*.

Les échelles EM réalisées d'après le schéma à un seul inverseur utilisent une bascule multistable et un registre mémoire binaire commandés par les signaux au même niveau logique. Le blocage du transfert de la bascule multistable dans le registre est obtenu dans une telle EM_t grâce à l'emploi d'un inverseur supplémentaire

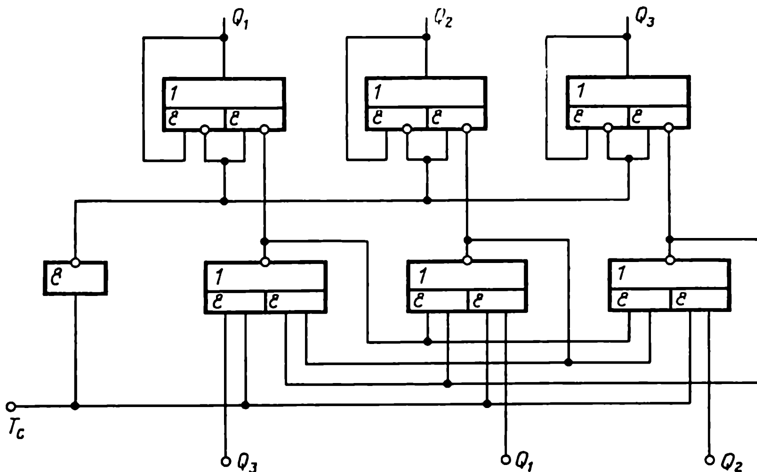


Fig. 5.76. EM réalisée selon le schéma à bascule BM et registre mémoire avec inverseur de blocage (code 1/3)

comme c'est le cas de l'échelle EM_t réalisée selon le schéma M-E à inverseur. La fig. 5.76 schématise l'une des versions de l'échelle EM_t.

Ce montage comporte une bascule multistable fonctionnant selon le code 0/3 et un registre mémoire équipé de bascules $\bar{D}$ à sortie asymétrique assurant l'inversion du code de la bascule BM de sorte que l'échelle EM_t fonctionne selon le code 1/3. Il faut noter que ce mode de réalisation des échelles EM_t présente le même inconvénient que celui des échelles EM_t selon le schéma M-E à inverseur, à savoir la nécessité de satisfaire à la condition 5.30. Pourtant, par rapport au schéma de la fig. 5.60, le schéma de la fig. 5.76 comporte un nombre de liaisons entre éléments plus petit et son paramètre $n_Q = n_c - 1$ est indépendant du module M.

Signalons que le paramètre n_Q est indépendant du module M pour toutes les échelles EM_t réalisées selon le schéma à bascule BM et à registre mémoire. Pour remédier à l'inconvénient indiqué ci-dessus du schéma de la fig. 5.76, on peut avoir recours à l'une

des versions mentionnées plus haut, par exemple à la commande par signaux de polarité différente (fig. 5.77).

L'échelle EM_t schématisée fig. 5.77 utilise une bascule multistable fonctionnant selon le code 0/3 et un registre mémoire équipé de bascules D biphasées commandées par le signal au niveau 0.

La particularité de ce montage réside dans le fait qu'il permet de fonctionner selon deux codes, à savoir le code 0/3 lorsque l'information est extraite aux sorties Q et le code 1/3 lorsque l'information est prélevée aux sorties $\bar{Q}$ du registre.

La porte B_0 est introduite dans le montage en vue d'éliminer l'influence que la dispersion des retards de commutation de l'inverseur B_1 peut exercer sur le fonctionnement du montage. Pour $T_c = 0$,

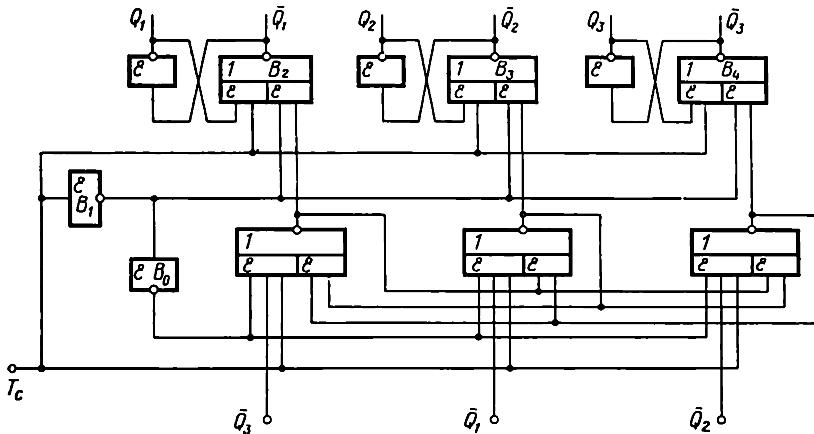


Fig. 5.77. EM réalisée selon le schéma à bascule BM et registre mémoire à commande par signaux de polarité différente (codes 1/3 ; 0/3)

la sortie de l'élément B_1 est au niveau 1 ($B_1 = 1$) et à travers les portes ET de droite des éléments B_2 à B_4 l'information est transférée de la bascule BM dans le registre. Par exemple, si la bascule BM se trouve dans l'état 011, les sorties inversées du registre sont à l'état 100 et les sorties directes à l'état 110. L'arrivée du signal d'entrée $T_c = 1$ porte tout d'abord au niveau 0 la sortie de l'élément qui bloque le transfert de l'information de la bascule BM dans le registre et ce n'est qu'après l'arrivée du niveau 1 à la sortie de l'élément B_0 qu'est autorisée la transcription de l'information dans la bascule BM, si bien que cette dernière se place dans son état suivant 101. Après la cessation du signal d'entrée, il y a tout d'abord blocage de la transcription de l'information dans la bascule BM (le signal $T_c = 0$ est appliqué aux entrées des portes ET de tous les éléments de la bascule BM) puis, après l'arrivée du signal au niveau 1 à la sortie du registre, fixation du code 010 sur les sorties Q et du code 101 sur les sorties $\bar{Q}$. L'inconvénient que présente ce mode de réali-

sation des échelles EM est la faible valeur du paramètre n_T ayant pour expression:

$$n_T = \left[\frac{n_e}{2M+1}\right]^- . \qquad (5.49)$$

On peut donc conclure que les échelles EM_t réalisées selon le schéma à bascule BM et à registre mémoire présentent, indépendamment de la version utilisée, les avantages suivants:

1. Le paramètre n_Q est indépendant du module M.
2. Le nombre de liaisons entre éléments est faible.

Les échelles EM_t de ce type réalisées en éléments ET-OU-NON ont les avantages supplémentaires suivants:

1. Faible valeur du paramètre $w \approx 2$.
2. Haute rapidité de fonctionnement.
3. Possibilité de prélever l'information aussi bien en code droit (régime EM_t) qu'en code inverse (régime EM).

5.9.4. Echelles multistables réversibles

Les échelles multistables se prêtent facilement à la réalisation de compteurs réversibles. Nous allons envisager les particularités de la synthèse de tels montages sur l'exemple des échelles EM_t

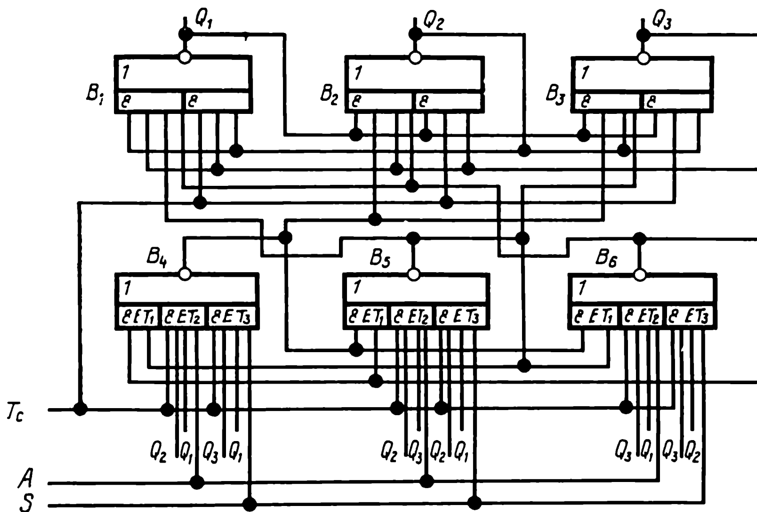


Fig. 5.78. EM réversible en éléments ET-OU-NON

monophasées et biphasées. La fig. 5.78 donne la structure d'une échelle EM_t réversible assurant le comptage modulo 3. Ce montage utilise 6 éléments ET-OU-NON montés d'après le schéma M-E à commande par signaux de polarité différente. Le régime de comptage direct est obtenu lorsque le signal d'autorisation est appliqué au fil « addition » ($A = 1$) et le régime de décomptage lorsque le

signal d'autorisation attaque le fil « soustraction » ($S = 1$). Le comptage direct se fait lorsque l'information de la bascule tristable E est recopiée dans la bascule M avec un décalage d'un état vers la droite et le comptage inversé grâce à la transcription de l'information avec un décalage de deux états vers la droite. L'état initial de l'échelle EM_t est 011 ($Q_1 = 0$, $Q_2 = Q_3 = 1$). Alors, pour $A = 1$, le circuit ET_2 de l'élément B_5 conduit par deux entrées. Il en résulte que l'arrivée de l'impulsion de comptage ($T_c = 1$) forme à la sortie de l'élément B_5 le niveau 0 et la bascule tristable passe à l'état 101. Après la cessation de l'impulsion de comptage ($T_c = 0$) les liaisons directes entre les bascules M et E se mettent en œuvre si bien que l'échelle EM_t passe au nouvel état 101. Avant l'arrivée de la deuxième impulsion de comptage, c'est le circuit ET_2 de l'élément B_6 qui est préparé au basculement en recevant les signaux $Q_1 = Q_3 = 1$.

Lorsque le montage fonctionne en comptage inversé ($B_4 = 1$) les portes de décomptage sont ouvertes et le contenu du compteur diminue à chaque nouvelle impulsion. Si, par exemple, l'échelle EM est au départ dans l'état 011, le circuit ET_3 de l'élément B_6 est le seul à être préparé au déblocage. A l'arrivée de l'impulsion de comptage, le Maître se place à l'état 110 qui est décalé vers la droite de deux bits par rapport à l'état initial. Après la première impulsion de comptage l'échelle EM_t passe du premier état au troisième 110. Après la deuxième impulsion de comptage l'échelle EM_t passe du troisième état au deuxième (101) et enfin après la troisième impulsion de comptage elle revient du deuxième état à l'état initial correspondant au code 011. Ainsi, chaque impulsion fait diminuer de 1 le contenu de l'échelle EM_t.

La fig. 5.79 donne encore une variante de l'échelle EM_t réversible utilisant le montage Maître-Esclave à commande par signaux de polarité différente. Ce montage utilise 9 éléments ET-OU-NON. En l'absence d'impulsion de comptage ($\overline{T}_c = 1$) l'information de la bascule M est recopiée dans la bascule E en cas de coïncidence des niveaux hauts sur les entrées des circuits ET de l'une des portes ET-OU-NON (B_1 à B_3). Si, par exemple, le Maître se trouve initialement dans l'état 011 ($Q'_1 = 0$, $Q'_2 = Q'_3 = 1$) c'est le circuit ET de gauche de l'élément B_1 qui se débloque. Cela veut dire que l'Esclave se trouve dans l'état 011 ($Q_1 = 0$, $Q_2 = Q_3 = 1$). A l'arrivée de l'impulsion de comptage ($\overline{T}_c = 0$) et si le signal d'autorisation est appliqué au fil « addition » ($A = 1$, $S = 0$), le niveau haut de tension est produit à la sortie de l'élément B_8. Il en résulte le transfert du code de l'Esclave au Maître. Après la cessation de l'impulsion de comptage ($\overline{T}_c = 1$), les sorties des bascules B_7 à B_9 sont aux niveaux bas et l'état du Maître est recopié dans l'Esclave. Pour $S = 1$, $A = 0$, le montage fonctionne en décomptage.

Le positionnement du montage dans n'importe quel état initial est obtenu en appliquant les signaux 0 aux entrées Y_1 à Y_3 en présence du niveau d'autorisation sur l'un des fils de commande. Le

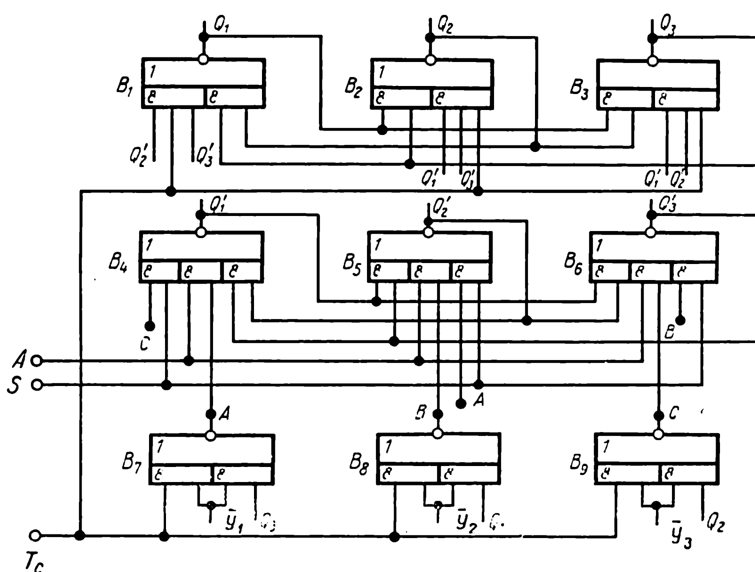


Fig. 5.79. EM réversible à entrées de positionnement en éléments ET-OU-NON

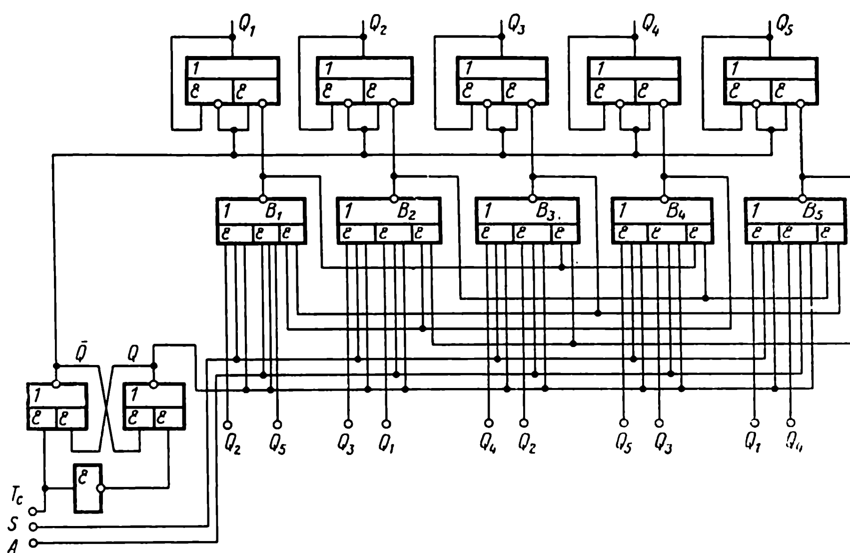


Fig. 5.80. EM réversible réalisée selon le schéma à bascule BM et registre mémoire à bascule de commutation du type *D* (code 2(1)/5)

signal $Y_1 = 0$ place le montage dans l'état 011 (assure la fermeture de la porte B_7 qui fournit le niveau 1 à sa sortie). Le signal $Y_2 = 0$ place l'échelle EM_t dans l'état 101, etc.

La fig. 5.80 donne la structure d'une échelle EM_t réalisée d'après le schéma à bascule asynchrone D qui permet de remédier presque complètement à cet inconvénient. Cette échelle EM_t fonctionne selon de code 2 (1)/5 et permet aussi bien le comptage direct que le décomptage des signaux, donc elle est une échelle réversible.

Le régime de comptage direct est obtenu lorsque le signal d'autorisation est appliqué au fil « addition » ($A = 1$) et le régime de comptage inversé lorsque le signal d'autorisation attaque le fil « soustraction » ($S = 1$). Le fonctionnement en décomptage est obtenu grâce au raccordement des sorties du registre sur les entrées de la bascule BM avec un décalage vers la gauche d'un état ou, ce qui revient au même, avec un décalage de $(N - 1) = 4$ états vers la droite, N étant le nombre d'états de la bascule BM.

Supposons qu'au départ le montage soit dans l'état 11000. Alors, en comptage direct ($A = 1$, $S = 0$) les portes ET_2 des éléments B_2 et B_3 sont ouvertes par deux entrées. A l'arrivée de l'impulsion de comptage ($T_c = 1$) la bascule de commutation prend l'état $Q = 1$, $\overline{Q} = 0$ et la bascule BM passe à l'état 10011.

Après la cessation de l'impulsion de comptage la bascule de commutation se place dans l'état $Q = 0$, $\overline{Q} = 1$ et le registre dans l'état 01100, c.-à-d. dans l'état complémentaire de celui de la bascule BM. Si le signal d'autorisation est appliqué au fil « soustraction » ($S = 1$, $A = 0$) ce sont les portes ET_1 des éléments B_1 et B_2 qui sont préparées au basculement. Il en résulte que l'arrivée du signal d'entrée ($T_c = 0$) met la bascule BM à l'état 00111. Après la cessation du signal d'entrée, l'échelle EM_t revient à l'état initial 11000 en caractérisant ainsi le fonctionnement du montage en comptage inversé.

La fig. 5.81 représente encore une variante de l'échelle EM_t réversible réalisée selon le schéma à bascule BM et à registre mémoire à commande par signaux de polarité différente et fonctionnant selon le code 2 (0)/5. Les éléments du registre sont représentés dans ce montage par des bascules D à sortie asymétrique pilotées par des signaux au niveau 0 et la bascule BM est une bascule à cinq états stables (5T) commandée par trois entrées et fonctionnant selon le code 2 (0)/5.

L'inversion du sens de comptage est obtenue dans ce montage grâce à l'introduction de deux portes supplémentaires ET_1 et ET_2. Par rapport au schéma de la fig. 5.80 cette réalisation de l'échelle EM_t réversible permet de réduire de trois à deux le nombre d'entrées des portes ET utilisées dans les éléments des bascules BM. En revanche, ce montage impose des exigences à la rapidité de fonctionnement des portes ET_1 et ET_2: il faut que le niveau 0, après la cessation du signal d'entrée, soit formé aux sorties des portes ET_1 et ET_2 avant le changement de l'information dans le registre. En

d'autres termes, il est nécessaire de satisfaire à la condition :

$$\tau_{10} < \tau_{T\ \mathrm{mini}}, \tag{5.50}$$

où $\tau_{T\ \mathrm{mini}}$ est le temps minimal de commutation d'un étage du registre.

Le montage schématisé fig. 5.81 fonctionne de la manière suivante. En comptage direct ($A = 1$, $S = 0$) c'est la porte «addition» ET_1 qui est préparée au basculement.

Le signal de comptage ($T_c = 1$) qui se présente à l'entrée du montage est transmis à travers la porte ET_1 à l'entrée de chaque porte ET_3 des éléments B_1 à B_5 et la bascule BM passe à son état suivant. Après la cessation du signal de comptage ($T_c = 0$) le registre

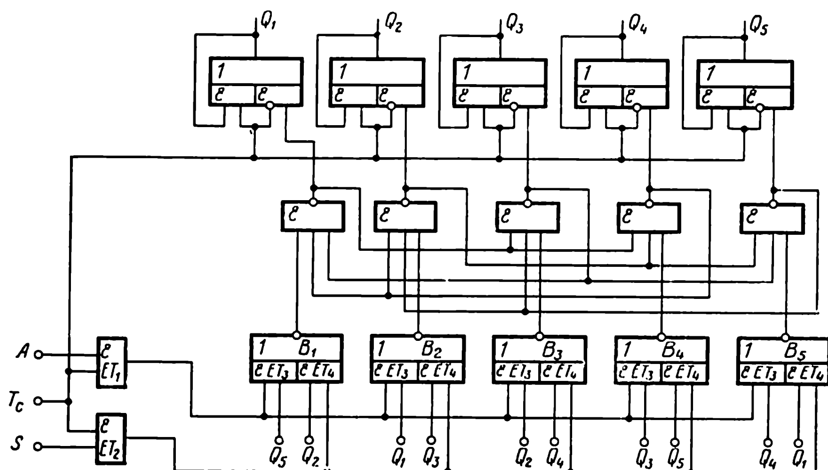


Fig. 5.81. EM réversible réalisée selon le schéma à bascule BM et registre mémoire à commande par signaux de polarité différente (code 2(0)/5)

prendra l'état de la bascule BM. Pour la combinaison des signaux $A = 0$, $S = 1$, c'est la porte ET_2 qui est préparée au basculement et le montage fonctionne en décomptage. Les échelles EM_t réalisées selon le schéma de la fig. 5.81 sont caractérisées par les paramètres suivants:

$$n_T = \left[\frac{n_e}{2}\right]^- ; \quad n_Q = n_e - 1 ; \quad w = 3 + \frac{2}{M}. \tag{5.51}$$

La fig. 5.82 représente le schéma synoptique d'un compteur réversible à registres à décalage réalisés en bascules BM. Ce montage utilise des bascules à trois états stables pilotées par une série de trois impulsions d'horloge T_1, T_2 et T_3. Le comptage inversé est obtenu grâce à la transcription de l'information du troisième étage du registre dans le premier étage avec un décalage de deux états. Etant donné que le transfert de l'information d'un étage à l'autre

se fait dans ce montage grâce aux liaisons directes, l'inversion du sens de comptage s'obtient à l'aide de portes supplémentaires introduites dans le premier étage du registre. Le montage de la fig. 5.82 comporte neuf états stables et passe dans chacun de ces états sous l'effet de l'une des impulsions T_1, T_2 ou T_3.

Supposons que le montage se trouve dans l'état initial quand toutes les trois bascules sont dans le premier état 111. Alors, la combinaison de chiffres 222, par exemple, signifiera que toutes les trois bascules tristables se trouvent dans le deuxième état et la

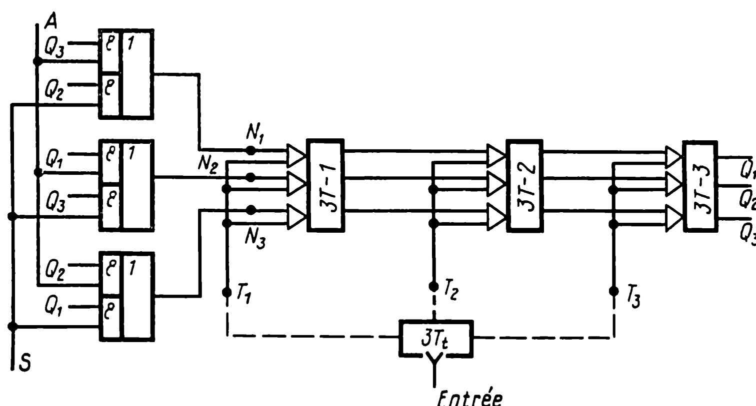


Fig. 5.82. Compteur réversible en bascules tristables

combinaison de chiffres 132, que la première bascule se trouve dans le premier état, la deuxième dans le troisième et la troisième dans le deuxième.

Lorsque le signal est appliqué à l'entrée T_1 du montage (on considère le régime de comptage direct lorsque $A = 1$ et $S = 0$) la bascule 1 prend le deuxième état à travers le circuit ET_1. Dans ce cas, les bascules tristables 2 et 3 restent dans le premier état. Cela signifie que le compteur à décalage passe à l'état suivant 211.

A l'arrivée du signal à l'entrée T_2 ($T_1 = T_3 = 0$) l'état de la première bascule est recopié dans la deuxième bascule, autrement dit le montage passe à l'état suivant 221. Pendant la troisième impulsion ($T_3 = 1$) le montage prendra l'état 222 et ainsi de suite. Les états successifs du montage sont : 322, 332, 333, 133, 113. Enfin, l'arrivée de la troisième impulsion à l'entrée T_3 ramène le montage à son état initial 111.

Le régime de comptage inversé est obtenu par la présence du signal d'autorisation sur le fil « soustraction » ($S = 1$). Si le montage se trouve, par exemple, dans l'état 333, alors l'arrivée du signal à l'entrée T_1 place la première bascule dans le deuxième état. Les deuxième et troisième bascules conservent leurs états, autrement dit, le montage passe à l'état 233 qui est d'un 1 inférieur à l'état

initial. L'arrivée du signal $T_2 = 1$ fait passer le montage dans l'état 223 et ainsi de suite.

Pour assurer le comptage des signaux sur une seule voie, il est nécessaire d'introduire dans le montage une bascule tristable supplémentaire à retard interne ou un distributeur d'impulsions à trois voies en le branchant comme il est indiqué en pointillé fig. 5.82. Dans ces conditions, l'entrée de comptage du montage sera constituée par l'entrée de comptage de la bascule supplémentaire ou par l'entrée horloge du distributeur d'impulsions. La base de tels montages aura pour expression $K_c = 3 \cdot N$, où N est le nombre de bascules dans le registre.

On peut établir des compteurs à décalage réversibles à cadence unique analogues en utilisant dans les étages du registre à décalage des bascules multistables à retard interne dont le nombre des états stables est $N = 4, 5, 6, 7$.

5.9.5. Compteurs à plusieurs positions équipés d'échelles multistables

La synthèse des compteurs à base d'échelles multistables est une orientation nouvelle et bien prometteuse dans la technique des échelles en circuits intégrés. Il est évident que de tels compteurs peuvent être utilisés dans les cas où l'exigence du comptage en code binaire n'est pas obligatoire. Parmi ces cas, il convient de citer en premier lieu l'emploi d'échelles multistables pour l'établissement de distributeurs de signaux, de diviseurs de fréquence, de circuits de synchronisation, etc. Il convient de souligner que la technique de synthèse des compteurs à partir des échelles multistables ne diffère pas en principe de celle des compteurs binaires. Dans le cas général, les échelles multistables permettent d'établir des compteurs dont la base se définit par l'expression:

$$K_{c\Sigma} = M_1^{\alpha} \cdot M_2^{\beta} \cdot \ldots \cdot M_i^{\psi} \cdot \ldots \cdot M_n^{\gamma}, \qquad (5.52)$$

où M_i est le module de la i-ième échelle EM;

$\alpha, \beta, \ldots, \gamma$ est le nombre de bits de l'échelle EM modulo $M_1, M_2, \ldots, M_n$.

En établissant un compteur à partir des échelles EM ayant le même module M, on obtient la base totale $K_{c\Sigma}$ déterminée par la formule:

$$K_{c\Sigma} = M^n, \qquad (5.53)$$

où n est la capacité de l'échelle EM.

Tout comme les bascules de comptage, les échelles EM permettent d'établir des compteurs à couplages directs, des compteurs à report à l'aide d'éléments supplémentaires et des compteurs à couplages combinés.

L'expression 5.52 montre que plus le module de l'échelle EM est grand, plus faible est le nombre d'étages nécessaires pour l'établissement du compteur de base $K_{c\Sigma}$ donnée. Or, la diminution du

nombre d'étages permet de réduire le nombre de liaisons interétages et par conséquent les dépenses matérielles tout en améliorant la rapidité de fonctionnement. Mais, en revanche, lorsqu'on augmente le module, le montage de l'échelle EM et donc du compteur tout entier devient plus délicat à mettre au point. Il en découle le problème de choix d'un module optimal de l'échelle EM, c.-à-d. d'un module permettant d'établir des compteurs avec des dépenses matérielles aussi faibles que possible. Déterminons un tel module pour les compteurs les plus répandus, c.-à-d. pour les compteurs série à couplages directs et pour les compteurs à report. Les dépenses matérielles nécessaires à l'organisation de leurs liaisons interétages sont caractérisées par le paramètre ε désignant le nombre de portes ET par bit. Ce paramètre prend les valeurs suivantes:

$\varepsilon = 0$ pour les compteurs série à couplages directs (fig. 5.83 *a*);

$\varepsilon = 1$ pour les compteurs asynchrones à report rapide (fig. 5.83 *b*);

$\varepsilon = 2$ pour les compteurs synchrones à report rapide d'après le principe potentiel (fig. 5.83 *c*).

Supposons qu'on dispose de N éléments logiques ET-NON, ET-OU-NON. Alors, si le compteur est réalisé à base d'une échelle EM modulo M, on peut écrire:

$$K_{c\Sigma} = M^{\frac{N}{wM+\varepsilon}}, \qquad (5.54)$$

où wM est le nombre d'éléments utilisés dans l'échelle EM proprement dite.

Il est évident que pour un nombre donné des éléments N le module optimal sera celui pour lequel $K_{c\Sigma}$ a sa valeur maximale. Calculant la dérivée de l'expression 5.54 par rapport au module M, on obtient

$$\frac{1}{K_{c\Sigma}} \cdot \frac{dK_c}{dM} = \frac{1}{M} \cdot \frac{N}{wM+\varepsilon} - \ln M \frac{wN}{(wM+\varepsilon)^2}$$

et annulant cette dérivée on a après une simple transformation:

$$\ln M = 1 + \frac{\varepsilon}{wM}. \qquad (5.54a)$$

Si $\varepsilon = 0$, on a $\ln M = 1$, c.-à-d. $M = 2{,}72$. Ainsi, dans le cas des compteurs asynchrones à couplages directs, les échelles EM les plus efficaces sont celles de module $M = 3$.

Le tableau 5.9 ci-dessous indique les valeurs de $K_{c\Sigma}$ calculées pour un compteur réalisé à base d'une échelle EM de $M = 3$ à 6, $N = 120$ et $w = 2$.

Ce tableau montre que la base K_c est la plus élevée pour $M = 3$. Pour $M = 4$, on obtient la même base K_c que pour $M = 2$. L'échelle EM modulo $M = 5$ occupe une position intermédiaire entre $M = 2$ et $M = 3$, tandis que l'échelle modulo $M = 6$ est caractérisée par la base K_c la plus faible. Cependant, ce dernier module assure au compteur série la plus haute rapidité de fonctionnement grâce à une brusque réduction du nombre d'étages. C'est le compteur

Tableau 5.9

Variation de $K_{c\Sigma}$ en fonction du module M

M	2	3	4	5	6
$K_{c\Sigma}$	2^{30}	3^{20}	4^{15}	5^{12}	6^{10}

binaire qui possédera la plus haute rapidité de fonctionnement. Si l'on suppose que les deux compteurs (le compteur binaire et le compteur à base de l'échelle EM) possèdent la même base K_c, le nombre d'étages dans les deux compteurs aura pour expression:

$n = [\log_2 K_c]^+$ pour les compteurs binaires;

$n_M = [\log_M K_c]^+$ pour les compteurs réalisés à base d'échelles EM.

Divisant la première expression par la deuxième, on obtient le coefficient

$$K_r = \frac{[\log_2 K_c]^+}{[\log_M K_c]^+} \qquad (5.55)$$

qui montre combien de fois la rapidité de fonctionnement d'un compteur avec l'échelle EM est supérieure à celle d'un compteur binaire.

Il découle de l'expression 5.55 que le coefficient $K_r = [\log_2 K_c]$ est maximal et, par conséquent, la rapidité de fonctionnement est la plus élevée dans le cas d'un compteur utilisant une échelle EM modulo $M = K_c$.

Ainsi, du point de vue de la réduction des dépenses matérielles nécessaires à la réalisation d'un compteur série à base d'échelles EM, il faut que le compteur de K_c voulu contienne le plus d'étages possible de $M = 3$. Toutefois, du point de vue de la rapidité de fonctionnement, il est au contraire nécessaire d'augmenter le module en vue de réduire le nombre d'étages. Or, cela signifie qu'à la différence des compteurs binaires, les échelles EM permettent de réaliser des compteurs très rapides à partir des compteurs série les plus simples à couplages directs. Si l'on veut parvenir à une haute rapidité de fonctionnement, on procède non seulement à une augmentation du module de l'échelle EM, mais aussi à la synthèse du compteur d'après le schéma d'un compteur asynchrone ($\varepsilon = 1$) ou d'un compteur synchrone ($\varepsilon = 2$) à report. Portant les valeurs correspondantes du paramètre ε dans l'expression 5.54 *a*, on obtient:

$$1 + \frac{1}{wM} = \ln M; \quad 1 + \frac{2}{wM} = \ln M. \qquad (5.56)$$

Les solutions de ces équations pour les diverses valeurs du paramètre w sont données dans le tableau 5.10. On voit de ce tableau que la valeur de M augmente lorsque celle du paramètre w diminue.

Tableau 5.10

Variation du module du compteur en fonction du mode de report

w	$\varepsilon=1$	$\varepsilon=2$
	M	M
2	3,2	3,55
3	3	3,55
$1+\frac{3}{M}$	3,3	3,70
$1+\frac{2}{M}$	3,4	3,80

Le module M a sa valeur maximale pour $w = 1 + \frac{2}{M}$ et $w = 1 + \frac{3}{M}$ et sa valeur minimale pour $w = 3$. Etant donné que le module M ne peut prendre que des valeurs exprimées par des nombres entiers, on peut conclure que pour des compteurs caractérisés par le paramètre $\varepsilon = 1$ le module le plus efficace est $M = 3$. Pour des compteurs de $\varepsilon = 2$ et pour ceux réalisés à base d'échelles EM de $w = 2$, $w = 1 + \frac{3}{M}$ et $w = 1 + \frac{2}{M}$, le module le plus efficace est $M = 4$. Déterminons la valeur du module M pour les compteurs synchrones à report simultané qui sont les plus rapides. Introduisons à cet effet la fonction:

$$f(M) = \frac{wM \log_M K_c + \varepsilon \log_M K_c}{2w \log_2 K_c + \varepsilon \log_2 K_c} \tag{5.57}$$

qui indique combien de fois les dépenses matérielles pour l'organisation d'un compteur de K_c donné à partir des échelles EM modulo M sont plus faibles que pour celle d'un compteur binaire.

Etant donné que dans ces compteurs le coefficient ε dépend du nombre d'étages, il peut être déterminé, dans le cas de réalisation du circuit de report à l'aide d'éléments ET monotypes à nombre d'entrées donné m, par l'expression suivante:

$$\varepsilon = \left[\frac{n-m}{m-1}\right]^{+} + 1, \tag{5.58}$$

où $n = \log_M K_c$ est le nombre d'étages du compteur.

Portant 5.58 dans 5.57, on obtient après transformations:

$$f(M) = \frac{\log_M K_c \left(wM + \frac{\log_M K_c - m}{m-1} + 1\right)}{2w \log_2 K_c + \varepsilon \log_2 K_c}. \tag{5.59}$$

Lorsque K_c, w et m sont donnés, la fonction $f(M)$ sera minimale pour M tel que son numérateur soit minimal. Calculant la dérivée

du numérateur de la fonction $f(M)$ par rapport à M:

$$\frac{df(M)}{dM}=\log K\left(w-\frac{1}{m-1}\cdot\frac{1}{M\ln K_c(\log_K M)^2}\right)-$$
$$-\left(wM+\frac{\log_M K-m}{m-1}+1\right)\cdot\frac{1}{M\ln K(\log_K M)^2}$$

et annulant cette dérivée, on obtient après transformations:

$$\ln K_1\cdot Mw\cdot\log_M K_1(\log_K M)^2=\frac{\log_M K}{m-1}+wM+\frac{\log_M K_c-m}{m-1}+1.$$

Etant données les égalités $\log_M K\cdot\log_K M=1$ et $\ln K_1\cdot\log_K M=$ $=\log M$ on obtient finalement:

$$(m-1)\cdot wM(\ln M-1)=2\log_M K_c-1. \qquad (5.60)$$

Il découle de l'expression 5.60 que pour des compteurs synchrones à report simultané, le module M efficace dépend de K_c et s'accroît avec l'augmentation de K_c.

Pour K_c donné, le module M augmente avec la diminution du paramètre m et atteint sa valeur maximale pour $m=2$, c.-à-d. lorsque le report est réalisé à l'aide des circuits ET à deux entrées les plus simples.

Pour des systèmes d'éléments sans portes ET, les circuits de report sont réalisés à l'aide d'éléments ET-NON. Dans ce cas, pour les compteurs réalisés suivant le schéma de la fig. 5.83 le paramètre ε prend les valeurs suivantes:

$\varepsilon=2$ pour le schéma de la fig. 5.83 *b*;

$\varepsilon=4$ pour le schéma de la fig. 5.83 *c*.

Portant ces valeurs du paramètre ε dans l'expression 5.54a, on trouve les équations suivantes:

$$1+\frac{2}{wM}=\ln M,\quad 1+\frac{4}{wM}=\ln M, \qquad (5.61)$$

dont les solutions sont réunies dans le tableau 5.11.

Tableau 5.11

w	$\varepsilon=2$	$\varepsilon=4$	w	$\varepsilon=2$	$\varepsilon=4$
	M	M		M	M
2	3,55	4,36	$1+3/M$	3,70	4,75
3	3,35	3,8	$1+2/M$	3,80	4,85
$1+4/M$	3,60	4,65			

L'analyse des résultats réunis dans ce tableau permet de conclure que pour les compteurs ayant le coefficient de report $\varepsilon=4$ et réalisés à l'aide d'échelles EM avec le paramètre $w=2$ et 3 le module $M=4$

et avec $w = 1 + 2/M$ et $1 + 3/M$ il est $M = 5$. Il découle de ce qui précède que pour réduire le nombre d'éléments nécessaires, la base voulue des compteurs caractérisés par des valeurs constantes des coefficients de report $\varepsilon = 0, 1, 2, 4$ doit être décomposée en plusieurs multiplicateurs dont chacun est une puissance entière de 3, 4 et 5 et, si nécessaire, de 2.

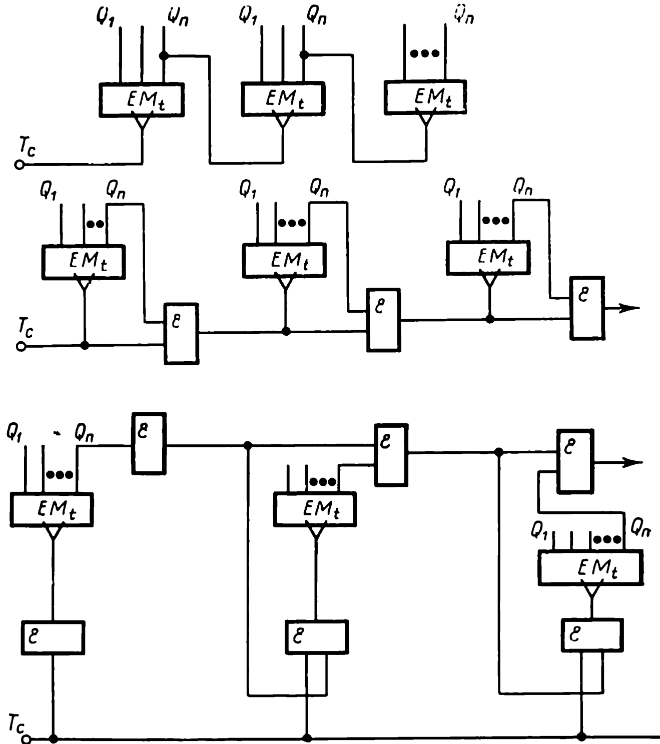


Fig. 5.83. Compteurs à plusieurs étages réalisés à partir des échelles EM

Dans ce cas, on obtient le gain maximal d'éléments (R) qui, lorsque le compteur est réalisé à l'aide d'échelles EM monotypes, a pour expression:

$$R \approx \frac{2w\,[\log_2 K_c] + \varepsilon_{pr}\,[\log_2 K_c]}{Mw\,[\log_M K_c] + \varepsilon_{pr}\,[\log_M K_c]} \approx \frac{(2w + \varepsilon_{pr})\,[\log_2 K_c]}{(Mw + \varepsilon_{pr})\,[\log_M K_c]}, \quad (5.62)$$

où $w\,[\log_2 K_c]$ et $w\,[\log_M K_c]$ sont les nombres d'éléments nécessaires à l'organisation respectivement d'un compteur binaire et d'un compteur à base d'échelles EM; $\varepsilon_{pr}\,[\log_2 K_c]$ et $\varepsilon_{pr}\,[\log_M K_c]$ sont les nombres d'éléments nécessaires à l'organisation des circuits de report respectivement dans les deux compteurs.

L'avantage des compteurs réalisés à partir des échelles EM se fait sentir surtout dans le cas où il est nécessaire de décoder les

Schémas	Versions	Caractéristiques des échelles EM
Maître-Esclave	A couplages inhibitifs	Sont les plus efficaces en cas d'emploi des éléments de logique à niveau unique ET-NON, OU-NON. Permettent d'établir des échelles EM en éléments au nombre d'entrées $m = 2$ et $m = 3$ pour M impairs et $m = 2$ et $m = 4$ pour M pairs. Peuvent fonctionner en EM_t et EM
	A commande par signaux de polarité différente	Sont les plus efficaces en cas d'emploi des éléments de logique à double niveau ET-OU-NON. Possèdent une faible valeur du paramètre $w = 2$ et une haute rapidité. Peuvent fonctionner en régime EM_t et EM en codes droit et inversé
	A bascule asynchrone	Possèdent le paramètre n_T indépendant du module M. N'imposent pas d'exigences sévères aux fronts des signaux de déclenchement. Peuvent fonctionner en régime EM_t et EM. Permettent de prélever l'information en code droit et en code inversé
	A transistors de commutation	Sont les plus efficaces en cas d'emploi des circuits à très grande intégration. Possèdent une haute rapidité de fonctionnement et une faible valeur du paramètre $w = 2$
Bascule BM asynchrone et éléments de commutation	A bascule R-S de commutation	Sont les plus efficaces en cas d'emploi des EM à module impair. Permettent de réaliser des EM à module impair en éléments ET-NON, OU-NON au nombre d'entrées $m = 2$, $m = 3$, $m = 4$. Le paramètre $w = 3$
	A bascule D de commutation	Possèdent une haute rapidité de fonctionnement, une faible valeur du paramètre $w = 2$ et un petit nombre de liaisons entre éléments. Sont les plus efficaces en cas de leur réalisation en bascules D à sortie asymétrique
	A élément de commutation du type EDC	Possèdent un nombre minimal de liaisons entre éléments et une faible valeur du paramètre $w = 2$
Anneau compteur à deux cadences et et élément de commutation	Bascule ou élément de commutation du type EDC	Sont les plus efficaces en cas de leur réalisation en éléments ET-OU-NON en circuits à très grande intégration. Possèdent une valeur minimale du paramètre $w < 2$ et une haute rapidité de fonctionnement
Bascule BM et registre mémoire	A inverseur, à bascule de commutation, à commande par signaux de polarité différente	Sont les plus efficaces en cas de réalisation en éléments ET-OU-NON et en bascule D à sortie asymétrique. Possèdent une faible valeur du paramètre $w \approx 2$, une haute rapidité de fonctionnement et un nombre petit de liaisons entre éléments. Le paramètre n_Q est indépendant du module M. Permettent de prélever l'information en code droit (régime EM_t) et en code inversé (régime EM)

états du compteur et quand celui-ci est conçu en échelles EM monophasées. En effet, pour pouvoir décoder un état du compteur, il faudra utiliser un circuit de coïncidence ayant un nombre d'entrées $m = \Phi\,[\log_M K_c]$, où Φ est le nombre de phases de l'échelle EM par rapport au nombre d'entrées $m = [\log_2 K_c]$ dans le compteur binaire. Pour $\Phi = 1$, le gain total d'entrées (Δm) par chaque élément du montage décodeur aura pour expression:

$$\Delta m = [\log_2 K_c]^+ - [\log_M K_c]^+. \qquad (5.63)$$

L'emploi dans le décodeur des éléments comportant un nombre d'entrées plus petit est équivalent à la réduction des dépenses matérielles et énergétiques. Les échelles EM permettent de réaliser une économie de puissance consommée non seulement grâce à la réduction du nombre d'éléments, mais aussi grâce au fait que l'élément se trouvant dans l'état 0 ou 1 logiques consomme des puissances différentes. Cela concerne surtout les éléments ET-NON en logique *TTL* qui consomment dans l'état 1 une puissance deux à trois fois inférieure à celle qu'ils consomment dans l'état 0. Un nombre bien plus petit d'éléments commutés est également considéré comme une source supplémentaire permettant de réduire la consommation de tels compteurs. Or, puisque les éléments consomment, pendant la commutation, une puissance plus élevée (3 à 4 fois) que dans l'état statique, le gain de puissance peut atteindre une valeur considérable surtout pour de fortes fréquences de répétition des signaux d'entrée. Aussi l'établissement des compteurs à partir des échelles ET et des dispositifs utilisant ces compteurs doit-il être recommandé surtout pour des systèmes à haute rapidité de fonctionnement et comportant des contraintes sur la consommation d'énergie.

Pour conclure ce paragraphe, nous donnons le tableau 5.12 qui illustre les principaux avantages des échelles EM réalisées selon divers schémas.

CHAPITRE VI

Distributeurs

Introduction

Les distributeurs de signaux font partie intégrante de tout système de traitement numérique de l'information. Leur but principal est de produire des signaux destinés à la commande d'autres dispositifs du système numérique. Le schéma synoptique d'un distributeur est montré fig. 6.1. Les sorties du distributeur sont généralement appelées « voies » et ses entrées qui, lorsqu'un signal leur a été appliqué, valident une nouvelle « voie » du distributeur, entrées de commutation. Selon leur fonction, les distributeurs peuvent posséder un nombre différent d'entrées de commutation et de « voies », et former des signaux variables en durée, en ordre de succession et en fréquence de répétition. Dans ce qui suit, les distributeurs à une seule entrée de commutation seront dits distributeurs à cadence unique et ceux qui en ont plusieurs, distributeurs à plusieurs cadences. Parmi ces derniers, nous allons ranger également les distributeurs dont le fonctionnement nécessite, en plus d'impulsions de commutation, des impulsions supplémentaires, appelées de service, qui préparent le distributeur à la réception d'une impulsion de commutation suivante.

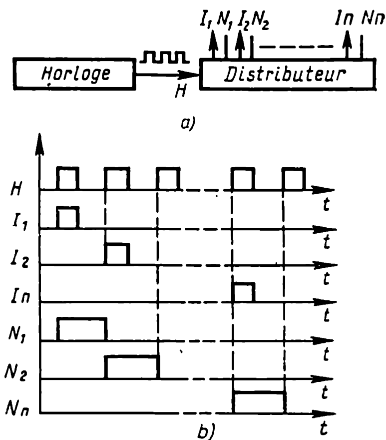


Fig. 6.1. Distributeur de signaux : *a* — schéma synoptique ; *b* — diagramme des signaux

D'une manière générale, les distributeurs à plusieurs cadences comportent un formateur d'impulsions de service qui peut, de lui-même, servir de distributeur pour une petite quantité de « voies ». De tels distributeurs se révèlent parfois plus économiques que leurs homologues à cadence unique.

Selon la nature des signaux qu'ils délivrent, les distributeurs existants peuvent se classer :

— en distributeurs d'impulsions (DI),

— en distributeurs de potentiels ou de niveaux (DN),
— en distributeurs mixtes.

Les distributeurs d'impulsions ont pour caractère de ne former un signal utile au niveau 1 ou 0 dans l'une de leurs « voies » que pendant le temps d'impulsion de commutation ou celui d'une impulsion de sélection spéciale. La durée du signal produit par le distributeur d'impulsions est d'habitude égale à celle de l'impulsion de sélection.

Les distributeurs de niveaux se caractérisent par le fait que le signal utile existe en permanence sur la sortie de l'une de leurs « voies », c.-à-d. même en l'absence d'impulsions de commutation. Lorsque l'entrée de commutation du DN reçoit des impulsions de fréquence f_c, la durée des signaux délivrés par chacune de ses N « voies » est généralement égale à la période des impulsions de commutation. L'établissement du niveau utile dans une « voie » du DN s'effectue soit pendant l'impulsion de commutation, soit après sa disparition (dans les montages à «retard interne »).

Les distributeurs du type mixte disposent des sorties à impulsions comme à niveaux. Il faut noter que les distributeurs d'impulsions et mixtes sont réalisés à partir des distributeurs de niveaux. C'est ainsi qu'un distributeur d'impulsions peut être dérivé de celui de niveaux par l'adjonction d'un décodeur supplémentaire dont les entrées sont en liaison avec les sorties du distributeur de niveaux et le fil de transfert de l'impulsion de sélection. Nous allons présenter dans ce qui suit diverses versions des distributeurs de niveaux tout en montrant dans chaque cas à part la manière d'en dériver un distributeur d'impulsions.

Les distributeurs peuvent être à base:
des registres;
des échelles;
des montages multistables.

6.1. Distributeurs à registres

Ce genre de distributeurs est réalisable avec les registres à décalage en anneau ou les registres à couplages croisés.

6.1.1. Distributeurs à registres en anneau

De tels distributeurs utilisent les registres à décalage dont le « poids le plus faible » a sa sortie raccordée à l'entrée du « poids le plus fort » (réaction annulaire). Dans ces conditions, un 1 logique, une fois introduit, est transféré consécutivement d'un « bit » à l'autre. Il en résulte qu'à tout moment le niveau d'autorisation 1 n'est délivré que par un seul de tous les « bits ».

Une variante des plus simples du distributeur à registres à décalage en anneau peut être réalisée avec un registre à décalage à plusieurs cadences conçu en bascules D à deux cadences. L'exemple

d'un tel distributeur à trois sorties est donné fig. 6.2. Le distributeur reçoit en permanence une suite d'impulsions de décalage T_1 à T_6. Le déclenchement du distributeur se fait sur une impulsion de commande T_c qui place dans l'état 1 la bascule-bit la plus significative ($Q_3 = 1$) du registre en anneau. A cet effet, la bascule D_3 est dotée d'une seconde entrée en ET spéciale, reliée à un générateur de niveau de 1 logique (+1). En règle générale, l'impulsion T_c est synchrone avec l'impulsion d'horloge T_6 et la dépasse en durée pour permettre l'écriture de 1 en toute sécurité. Une suite d'impulsions (T_1 à T_6) produit cycliquement le transfert de l'état $Q = 1$ de « bit » en « bit ».

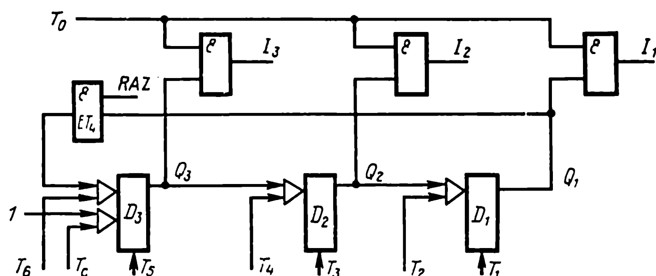


Fig. 6.2. Distributeur d'impulsions à registre en anneau à plusieurs cadences

Il est pratiquement impossible d'obtenir une information univoque sur les sorties à niveaux du distributeur schématisé fig. 6.2 du fait qu'à tout moment deux sur trois de ses sorties sont au niveau 1. Cette ambiguïté n'est plus dans le distributeur d'impulsions que l'on peut déduire du montage considéré en lui associant trois circuits ET supplémentaires à deux entrées. Les premières entrées des circuits ET sont raccordées aux sorties à niveaux Q_1 à Q_3 et les secondes entrées, réunies à un fil unique, reçoivent une impulsion de sélection T_0 servant à la scrutation du distributeur. L'impulsion T_0 doit venir entre deux des impulsions consécutives T_1 et T_2; T_3 et T_4 ou T_5 et T_6, ce qui entraîne la formation de l'impulsion 1 sur l'une des trois sorties du distributeur d'impulsions.

Pour la remise à 0 du distributeur, en plus du procédé classique qui consiste à forcer la totalité des bascules par action sur l'entrée R_d, on utilise souvent un quatrième circuit ET_4 placé dans la boucle de réaction. Le circuit ET_4 reçoit sur l'une de ses deux entrées le signal RAZ et sur l'autre, le signal de réaction. Pendant la marche du distributeur en anneau, l'entrée RAZ est au niveau d'autorisation (RAZ=1) qui maintient en conduction le circuit ET_4. Au moment du signal RAZ (RAZ=0) le circuit ET_4 se bloque et la boucle de réaction dans le distributeur s'ouvre. Cela étant, l'application successive d'une suite d'impulsions d'horloge T_1 à T_6 n'aura plus pour effet le transfert du code $Q_1 = 1$ vers le « bit » le plus significatif et tous les « bits » du registre passeront à l'état 0. Avec sa boucle

de réaction ouverte, le distributeur devient un circuit redéclenchable, c.-à-d. qu'il doit être redémarré à chaque nouveau cycle. De tels distributeurs à registres trouvent de nombreuses applications pour la synthèse des dispositifs à microprogrammes. Le montage schématisé fig. 6.2 représente un distributeur du type mixte car il possède des sorties à niveaux et à impulsions.

Le distributeur à plusieurs cadences que nous venons de considérer et ses versions modifiées éventuelles en bascules pilotées de type D et R-S sont cependant d'un usage pratique limité, leur fonctionnement faisant intervenir des trains de nombreuses impulsions d'horloge.

D'un emploi plus large sont les distributeurs à registres en anneau à cadence unique, c.-à-d. faits en bascules D_t et R-S_t, étant donné qu'ils sont à l'abri des inconvénients des montages à plusieurs cadences dont il a été question ci-dessus.

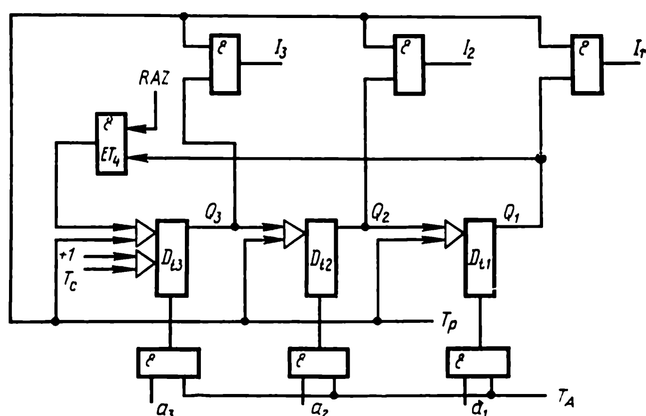


Fig. 6.3. Distributeur à entrée d'adresse

A la fig. 6.3 on trouve le schéma d'un distributeur à trois sorties utilisant les bascules D_t. De même que pour le montage de la fig. 6.2, le déclenchement s'effectue ici par la mise du « poids le plus fort » dans l'état $Q_3 = 1$ sur une impulsion $T_c = 1$ décalée dans le temps par rapport à l'impulsion T_p apparaissant à l'entrée de commutation du distributeur. Grâce au retard introduit par chaque « bit » du registre, l'ambiguïté des sorties à niveaux (Q_3, Q_2 et Q_1) lors du transfert de 1 d'un « bit » à l'autre n'est plus à craindre. De cette façon, ce montage est fiable en « mode DN » et peut servir en « mode DI ». A cet effet, les entrées des circuits supplémentaires ET_1 à ET_3 sont bouclées sur les sorties Q_3, Q_2, Q_1 des « bits », le rôle d'impulsion de sélection étant rempli par la T_p. Les circuits ET_1 à ET_3 établissent en succession à leurs sorties les impulsions 1 dont la durée est celle de l'impulsion T_p.

Si l'on fait cesser les impulsions de commutation T_p, l'une des sorties Q du distributeur restera au niveau 1 aussi longtemps que

possible. La totalité des sorties à impulsions du distributeur aura le niveau 0. La remise à 0 du distributeur s'opère de la même manière que dans les cas du montage traité ci-avant.

La réalisation des distributeurs à N sorties implique l'emploi d'un registre en anneau à N bits.

Il arrive que l'on a besoin d'un distributeur dont les « voies » sont commutables dans le « double sens ». Un pareil distributeur peut être construit avec un registre bidirectionnel en anneaux.

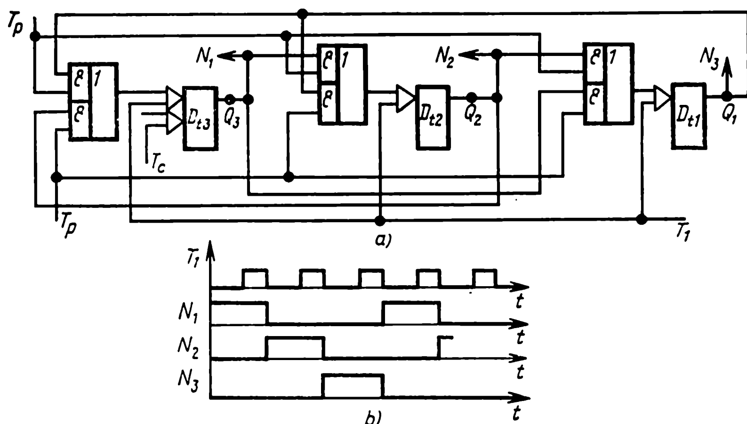


Fig. 6.4. Distributeur de niveaux bidirectionnel à registre en anneau: *a* — schéma fonctionnel; *b* — diagramme des signaux

L'exemple d'un tel distributeur « bidirectionnel » à trois voies est donné fig. 6.4. Il se compose de bascules D_t et fonctionne en « mode DN ». Le fonctionnement bidirectionnel du distributeur est rendu possible grâce à trois circuits ET-OU supplémentaires montés aux entrées d'informations des bascules D_t. Les trois premiers circuits ET assurent le bouclage direct entre les « bits » $Q_3 \to Q_2 \to Q_1 \to Q_3$ et les trois autres, le bouclage en retour $Q_1 \to Q_2 \to Q_3 \to Q_1$. Les premiers circuits ET sont raccordés à l'entrée d'autorisation du décalage vers la droite (T_d) et les seconds, à l'entrée d'autorisation du décalage vers la gauche (T_g). Le déclenchement du distributeur à registre en anneau s'effectue à l'aide du signal $T_c = 1$ mettant le « bit » le plus significatif dans l'état $Q_3 = 1$. Ensuite, lorsqu'un potentiel d'autorisation $T_d = 1$ ($T_g = 0$) est appliqué, la « succession » de « voies » du distributeur au cours du fonctionnement sera directe. Or, si le potentiel d'autorisation incident est $T_g = 1$ ($T_d = 0$), le distributeur verra ses voies « se succéder » en sens inverse.

Dans les distributeurs à registres en anneau, il est facile de réaliser l'appel d'une voie par son adresse. A cet effet, on utilise les registres en série-parallèle à décalage annulaire. Le « bit » dont la « voie »

est à valider reçoit sur son entrée parallèle le code d'adresse de la « voie » sous forme de niveau 1. On peut arriver au même but en agissant sur les entrées de forçage à 1 (S_d) des bascules-bits.

L'appel d'une « voie » du distributeur par son adresse s'opère comme suit. On commence par mettre à 0 le distributeur à l'aide d'un signal RAZ = 0 dont la durée (temps d'ouverture de la boucle de réaction) ne doit pas être inférieure au produit $N \cdot t_1$ (où t_1 est la période des impulsions de commutation ou des trains d'impulsions; N est la capacité du registre en anneau) (cf. fig. 6.3). Après que le distributeur a pris l'état 0 ($Q_1 = \ldots = Q_n = 0$) la boucle de réaction se rétablit (RAZ = 1) et l'impulsion d'écriture en parallèle du code d'adresse apparaît ($T_A = 1$). L'appel de la deuxième « voie » se fait par application d'un code d'adresse $a_3a_2a_1 = 010$; celui de la première « voie », d'un code d'adresse 001, etc. L'impulsion d'écriture du code d'adresse ne doit pas être simultanée avec l'impulsion de commutation principale. Le mode de connexion des portes pour l'écriture en parallèle du code d'adresse est schématisé fig. 6.3.

Les distributeurs à registres en anneau que nous venons de considérer ont les désavantages suivants:

1) ils ne sont pas économiques en ce qui concerne le nombre d'éléments logiques par « voie », chaque « voie » nécessitant une bascule de type D, R-S, D_t ou R-S_t;

2) la réalisation d'un DI impose l'emploi d'un décodeur supplémentaire;

3) un signal de commande spécial est nécessaire pour déclencher le distributeur;

4) en cas d'incident, c.-à-d. à l'apparition de fausses informations dans le registre (1 ou 0 en excès) il n'y a pas de retour au fonctionnement normal.

Pour parer aux incidents, on fait appel aux circuits correcteurs supplémentaires. C'est ainsi que le redressement des erreurs dans un DN à trois sorties (fig. 6.3) comportant cinq états interdits 110, 011, 101, 111 et 000 demande à titre supplémentaire au minimum 3 portes (cf. fig. 6.5). Supposons le distributeur prendre un état interdit 111. Dans ce cas, les portes B_2 et B_3 établissent à leurs sorties le niveau 0 qui vient sur l'entrée D des deuxième et troisième « bits » pour les mettre à 0 et sur l'entrée de la porte B_1 pour positionner sur 1 le premier « bit » après la cessation de l'impulsion de commutation. De cette manière, au moment de l'impulsion de commutation suivante, le distributeur reprendra son état de régime (le code 100). A la remise à 0 de la totalité des bascules-bits, c'est la porte B_1 qui sera le seule à avoir un niveau haut à sa sortie. Il en résulte que la première bascule-bit se trouve préparée à passer dans l'état 1 et les deuxième et troisième dans l'état 0. Après la disparition de l'impulsion de commutation, le DN rétablit le code de régime 100.

En associant au distributeur de niveaux de la fig. 6.5 un décodeur, nous obtiendrons un distributeur mixte. Pendant les impulsions

de commutation, les sorties ET_1, ET_2 et ET_3 du décodeur fourniront des signaux sous forme d'impulsions et les sorties Q des bascules, des signaux sous forme de niveaux.

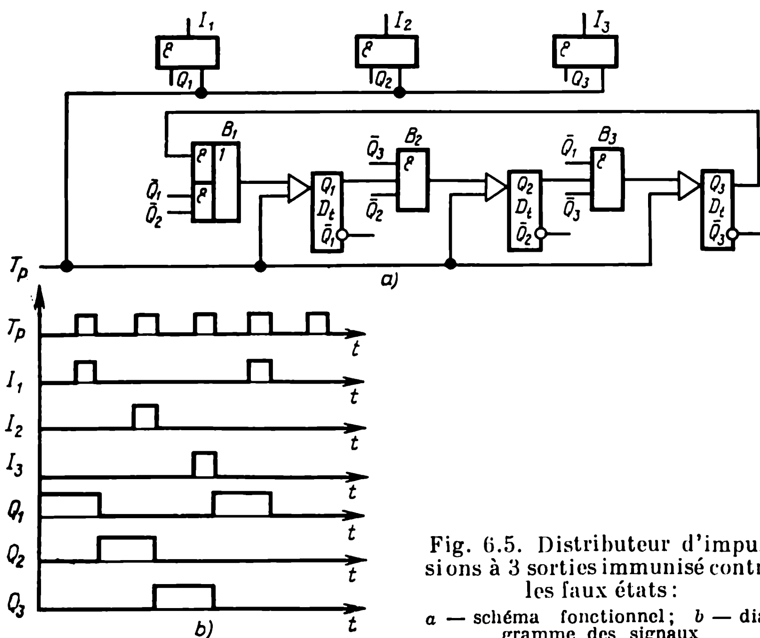


Fig. 6.5. Distributeur d'impulsions à 3 sorties immunisé contre les faux états:
a — schéma fonctionnel; *b* — diagramme des signaux

Par le nombre des éléments logiques par « voie », les distributeurs à base des registres à couplages croisés se révèlent plus économiques.

6.1.2. Distributeurs à registres à couplages croisés

Comme il a été indiqué à propos des compteurs à registres à décalage munis de couplages croisés, de tels registres permettent la création des dispositifs à $2N$ états stables, N étant la capacité du registre. La réalisation d'un distributeur à leur base est d'autant un problème du décodeur d'états. Suivant le mode de décalage de l'information dans le registre, on distingue les distributeurs à plusieurs cadences et à cadence unique. Ces derniers, qui utilisent les bascules D_t, $R\text{-}S_t$ et $J\text{-}K_t$, sont les plus répandus.

A la fig. 6.6 on trouve le schéma d'un distributeur de niveaux à cadence unique, doté de six sorties. Le distributeur a la forme d'un registre à trois « bits » en bascules D_t dans lequel la sortie $\bar{Q}_1$ est en couplage croisé avec l'entrée de la bascule-bit D_{t_3}. A l'apparition des impulsions de commutation T_p, le montage prend un par un six états stables (cf. tabl. 6.1). Comme le registre est en bascules D_t, chaque état consécutif est formé à la fin de l'impulsion de commutation. On voit du tabl. 6.1 que, pour identifier chacun

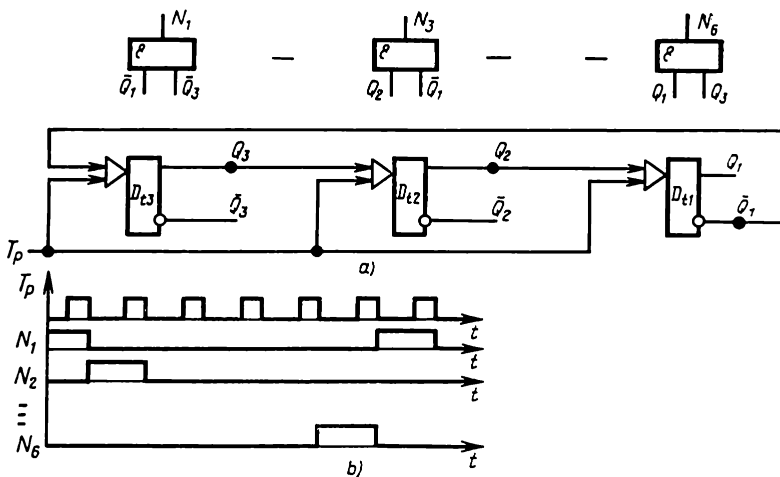


Fig. 6.6. Distributeur de niveaux à cadence unique réalisé en registre à décalage à couplage croisé:

a — schéma fonctionnel; *b* — diagramme des signaux

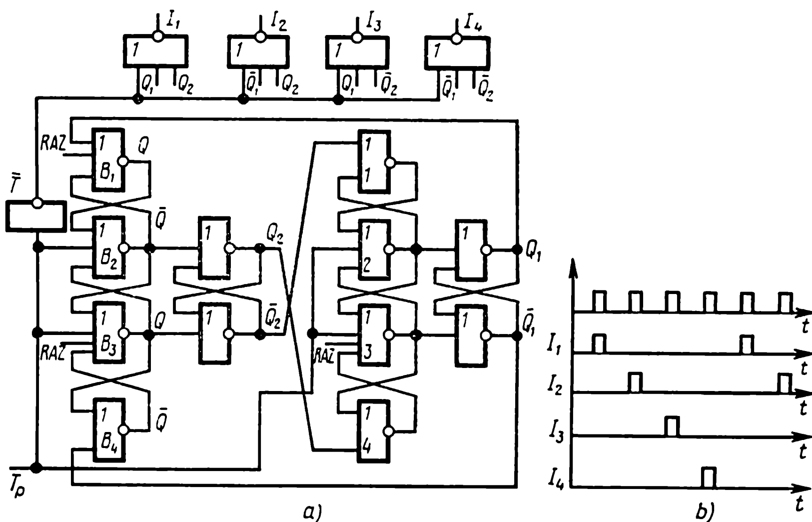


Fig. 6.7. Distributeur d'impulsions à quatre sorties à couplage croisé:

a — schéma fonctionnel; *b* — diagramme des signaux

Tableau 6.1

Etats du registre à couplages croisés

Numéro de l'état	Horloge	Bascules		
	T_p	Q_3	Q_2	Q_1
6	0	0	0	0
1	1 0	0 1	0 0	0 0
2	1 0	1 1	0 1	0 0
3	1 0	1 1	1 1	0 1
4	1 0	1 0	1 1	1 1
5	1 0	0 0	1 0	1 1
6	1 0	0 0	0 0	1 0

de ces états, il suffit de connaître le code en sortie de deux « bits ».

Le décodage des états se fait à partir du système d'équations suivant facile à établir pour 6 voies du distributeur:

$$\begin{aligned} N_1 &= \overline{Q}_1 \cdot \overline{Q}_3, \\ N_2 &= Q_3 \cdot \overline{Q}_2, \\ N_3 &= Q_2 \cdot \overline{Q}_1; \\ N_4 &= Q_1 \cdot Q_3, \\ N_5 &= \overline{Q}_3 \cdot Q_2, \\ N_6 &= \overline{Q}_2 \cdot Q_1. \end{aligned} \tag{6.1}$$

Leur réalisation physique s'opère par six portes ET connectées au registre. Le mode de décodage est constant avec la croissance du nombre de bits. Pour déduire un distributeur de niveaux à $2N$ sorties d'un registre à N bits, il faut $2N$ portes ET à deux entrées. La transformation d'un distributeur de niveaux à registre à couplages croisés en distributeur d'impulsions implique l'adjonction à toutes les portes de décodage d'une troisième entrée à impulsions qui reçoit l'impulsion d'horloge. Comme le registre en bascules D_t change d'état après la cessation de l'impulsion d'horloge, en présence de celle-ci une impulsion de durée égale à celle de l'impulsion d'horloge n'aura lieu qu'à la sortie d'une seule porte de décodage.

La fig. 6.7 donne à titre d'exemple le schéma d'un distributeur d'impulsions à cadence unique, doté de quatre sorties, qui utilise deux bascules R-S_t. Les bascules sont réalisées avec les éléments

logiques OU-NON reliés en mode « trois bascules ». Les portes de décodage des états des sorties à impulsions du distributeur étant, elles aussi, en éléments OU-NON, l'impulsion d'horloge (T) qui vient sur la troisième entrée de chacune d'elles passe par un inverseur supplémentaire. La fonction réalisée en sortie de chacune des portes I_1 à I_4 s'écrit sous la forme:

$$\begin{aligned} I_1 &= T\cdot\bar{Q}\cdot\bar{Q}_2 = \overline{\bar{T} + Q_1 + Q_2}\,; \\ I_2 &= T\cdot Q_2\cdot\bar{Q}_1 = \overline{T + \bar{Q}_2 + Q_1}\,; \\ I_3 &= T\cdot Q_2\cdot Q_1 = \overline{\bar{T} + \bar{Q}_2 + \bar{Q}_1}\,; \\ I_4 &= T\cdot\bar{Q}_2\cdot Q_1 = \overline{\bar{T} + Q_2 + \bar{Q}_1}. \end{aligned} \tag{6.2}$$

Les expressions résultantes pour les fonctions ET_1 à ET_4 sont mises sous une forme favorisant leur matérialisation par les circuits OU-NON à trois entrées. Le délai de décodage constitue τ_{moy}. En cas de décodeurs composés de circuits ET-NON, il faudra placer à la sortie de chaque « voie » du distributeur un inverseur supplémentaire pour pouvoir produire une suite des impulsions I_1 à I_4 au niveau 1. Le délai de décodage se trouve alors porté à 2 τ_{moy}.

Au stade de l'étude des distributeurs à base des registres à couplages croisés, on doit être conscient du caractère particulier de sa remise à 0. Le signal RAZ (RAZ=1) s'applique simultanément aux entrées des côtés Q des bascules de commande droites de la totalité des « bits » (réalisées en éléments 3 et 4) et au côté Q de la bascule de commande gauche du « bit » le plus significatif (qui est en éléments 1 et 2). Examinons le processus de remise à 0 du distributeur sur l'exemple du montage schématisé fig. 6.7. Supposons qu'au repos $Q_1 = 1$ et $Q_2=1$. Au moment du signal RAZ=1, les sorties des éléments 1 et 3 du « bit » le plus significatif seront au niveau 0, ce qui aura pour effet le niveau 1 à la sortie de l'élément 2 et le passage de la bascule-bit du poids le plus fort dans l'état $Q_2 = 0$. Cela étant, dans le « poids le plus faible », le niveau 0 sera établi à la sortie des éléments 1 (car $Q_2=1$) et 3 (car RAZ=1), ce qui provoquera la formation du niveau 1 à la sortie de l'élément 2 et la transition de la bascule-bit du poids le plus faible dans l'état $Q_1 = 0$. Après la disparition du signal (RAZ = 0) les états des « bits » ne changent pas.

Dans un registre à N bits, la remise à 0 sur un signal RAZ incident (RAZ=1) se fait par progression de « bit » en « bit » du code $Q_i = 0$ (dans le cas où tous les « bits » affichaient le code $Q = 1$). La durée de l'impulsion de remise à zéro du distributeur (τ_{RAZ}) doit vérifier l'inégalité

$$\tau_{RAZ} \geqslant N\cdot\tau_{r.b.}, \tag{6.3}$$

où $\tau_{r.b.}$ est le retard de basculement d'une bascule-bit.

Plus économiques en nombre d'éléments par « voie » sont les distributeurs construits avec les registres à couplages croisés à deux cadences. Un exemple de pareil distributeur de niveaux à bascules *R-S* est apparent à la fig. 6.8. Les distributeurs à deux cadences ne sont constitués que par un nombre pair de bascules, ce qui permet la réalisation des distributeurs à $2N$ sorties. Le fonctionnement à cadence unique s'obtient à l'aide d'une bascule de comptage supplémentaire dont les sorties Q et $\bar{Q}$ ou les sorties « report » et « emprunt » sont bouclées sur les entrées T_{p1} et T_{p2}.

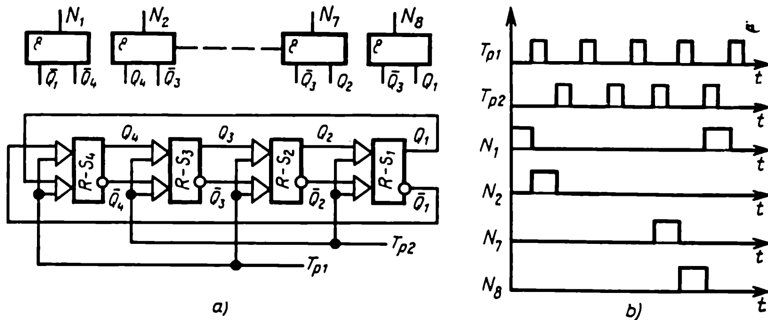


Fig. 6.8. Distributeur de niveaux à 8 sorties et deux entrées de commutation

Un distributeur à 8 sorties est capable de la reprise après les incidents. Supposons un code interdit 1001 apparaître en sortie du distributeur. Alors, au moment de l'impulsion T_{p1} ce code sera changé en code de régime 1100. Or, si c'est l'impulsion T_{p2} qui arrive la première, le code de régime nouvellement établi aura la forme 0001. Cependant, il n'y a pas de rétablissement du code de régime dans les distributeurs dont les «voies » sont au nombre supérieur à 8 ($N > 8$). La suppression des codes interdits dans les distributeurs à plusieurs cadences et à cadence unique impose l'emploi à titre supplémentaire de portes correctrices.

Comparés aux distributeurs à registres en anneau, ceux à registres à couplages croisés ont l'avantage de demander moins de portes supplémentaires pour la rectification des erreurs. Cela tient au fait que pour les distributeurs à couplages croisés le nombre d'états interdits fait la moitié de celui des distributeurs en anneau. Les bonnes qualités des distributeurs à registres à couplages croisés encore à noter sont les suivantes:

— rapidité de fonctionnement élevée due à la commande à cadence unique;

— simplicité du décodeur dont la structure reste inchangée quel que soit le nombre de « voies »;

— « reproduction » fidèle et régularité de la topologie des « bits », ce qui rend le distributeur parfaitement adapté à la technologie LSI.

6.1.3. Distributeurs à organisation « combinée »

La réalisation d'un distributeur de niveaux à $2K$ sorties (K étant un nombre pair) suivant le schéma combiné nécessitera un registre à N bits ($N = K/2$) et une bascule de comptage. Le décodeur de niveaux se compose de circuits ET à trois entrées. Il a deux de ses entrées raccordées aux « bits » du registre et la troisième, à l'une des sorties Q ou $\overline{Q}$ de la bascule de comptage. La fig. 6.9 fait voir un distributeur de niveaux à huit sorties réalisé avec un registre à couplages croisés d'une capacité de deux bits et une bascule T_t. L'entrée de comptage de la bascule T_t est commandée par la sortie Q_1 du « bit » le moins significatif du registre.

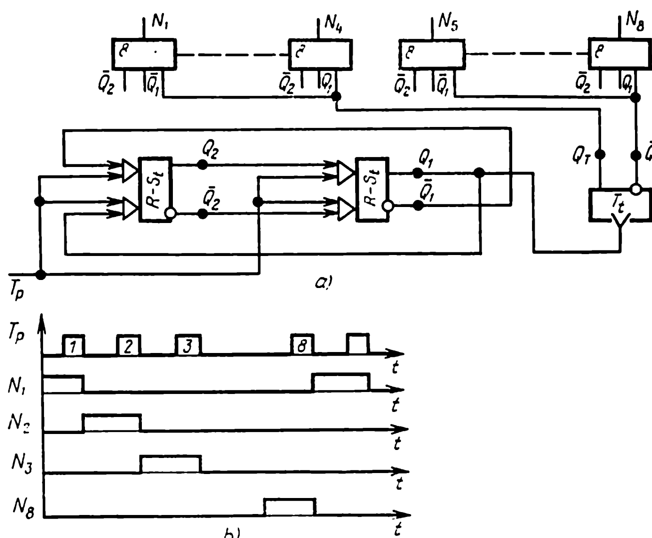


Fig. 6.9. Distributeur de niveaux à 8 sorties conçu suivant le schéma combiné : *a* — schéma fonctionnel ; *b* — diagramme des signaux

A l'apparition d'une impulsion de commutation il y a déclenchement consécutif des voies N_1 à N_4 ($\overline{Q}_T = 1$) et ensuite, des voies N_5 à N_8 (pour $Q_T = 1$). Dans le cas du distributeur d'impulsions, les décodeurs sont constitués par des circuits ET à quatre entrées ayant leur quatrième entrée réunie au fil de transfert de l'impulsion de commutation du distributeur. Les distributeurs à organisation combinée sont plus économiques que ceux qui ne comportent que des registres à couplages croisés.

Les formules pour la détermination du nombre de bascules (P) permettant de construire les distributeurs à nombre pair de « voies» ont la forme :

— cas du distributeur à organisation « combinée » :

$$P_1 = N/4 + 1 ; \qquad (6.4)$$

— cas du distributeur à registres à couplages croisés:

$$P_2 = N/2, \qquad (6.5)$$

où N est le nombre de voies.

Pour $N = 24$, les bascules contenues dans un distributeur conçu suivant le schéma combiné seront au nombre de 7, tandis qu'un distributeur à base d'un registre à couplages croisés en aura 12.

L'augmentation d'une unité du nombre d'entrées dans les circuits ET des décodeurs, dans le cas des distributeurs à organisation combinée, est négligeable devant la réduction de la quantité de bascules. L'emploi de distributeurs à organisation combinée devient courant dans les dispositifs à programme temporel, dans les commutateurs et autres.

6.2. *Distributeurs à compteurs*

Pratiquement, tous les types de compteurs trouvent de nombreuses applications pour la synthèse des distributeurs utilisés dans l'électronique digitale. Dans les distributeurs à base des compteurs, les impulsions de comptage font fonction de celles de commutation, les états de sortie des compteurs étant identifiés à l'aide de décodeurs de « voies ». Etant donnée la similitude des principes d'organisation des distributeurs conçus en compteurs de type différent, l'exposé suivant sera consacré plus particulièrement aux distributeurs à base des compteurs binaires.

6.2.1. Distributeurs à compteurs binaires

Comme les compteurs binaires représentent des dispositifs dotés de 2^N états stables dont chacun se traduit par un code à N bits, la réalisation d'un distributeur nécessite généralement l'adjonction au compteur d'un décodeur à 2^N sorties. Le décodeur comporte 2^N circuits ET délivrant chacun le niveau 1 dans l'un des états du compteur. Les entrées du décodeur reçoivent l'information en provenance des bascules-bits. Chaque circuit ET a un nombre d'entrées égal à celui de « bits » du compteur. Lorsqu'il s'agit d'un distributeur d'impulsions, le décodeur doit posséder une entrée supplémentaire, destinée à l'impulsion de sélection. Les compteurs commandés par plusieurs impulsions d'horloge servent de base aux distributeurs à plusieurs cadences et les compteurs dont la commande se fait par une impulsion d'horloge unique, aux distributeurs à cadence unique qui sont les plus rapides.

Dans le cas général, les distributeurs sont réalisables avec les compteurs à couplages directs de types série, série-parallèle et parallèle tout comme avec les compteurs à report série, partiel par groupes et parallèle.

Toutefois, les compteurs à cadence unique de types série et série-parallèle ainsi que les compteurs utilisant les mêmes modes de report ont pour caractère de cumuler le retard au cours du trans-

fert de l'information, ce qui s'oppose à leur emploi dans les distributeurs. Cela conduit à une fausse validation de courte durée des « voies » du distributeur de niveaux. En effet, dans le cas d'un DN réalisé, par exemple, avec un compteur à trois bits du type série, le code 111 valide la « voie » N_8 = 111. Une impulsion de commutation incidente mettra à 0 d'abord le premier « bit » (N_7 = = 100), ensuite le deuxième (N_5 = 100) et seulement après le troisième, c.-à-d. la « voie » requise sera validée: N_1 = 000.

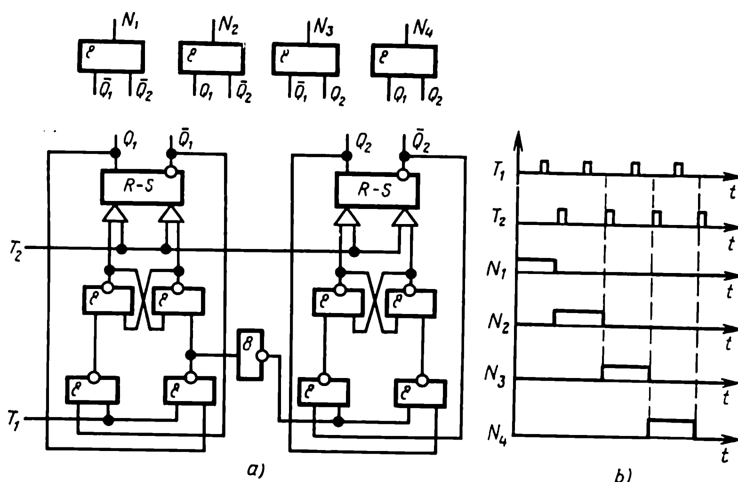


Fig. 6.10. Distributeur de niveaux à 4 sorties réalisé en compteur à deux cadences à report série:

a — schéma fonctionnel; *b* — diagramme des signaux

Les compteurs à plusieurs cadences, dans lesquels le positionnement des bascules d'information de tous les « bits » s'effectue simultanément sur le signal de transfert des bascules principales vers les bascules auxiliaires, peuvent, quel que soit leur type, servir de base aux distributeurs. La fig. 6.10 donne à titre d'exemple le schéma d'un distributeur de niveaux à quatre sorties utilisant un compteur à deux cadences à report série. Les bascules-bits du compteur et le décodeur sont réalisés en éléments ET-NON. Le niveau de l'impulsion de report du premier « bit » ($R = 0$) étant autre que celui de l'impulsion de comptage ($T_1 = 1$), le circuit de report contient un inverseur supplémentaire. Chaque impulsion de comptage T_1, accompagnée de l'impulsion T_2, fait augmenter le contenu du compteur d'une unité de manière à former aux sorties de ses « bits » une suite des codes 00, 10, 01, 11, 00, etc. L'effet en est que les « voies » du distributeur de niveaux sont validées en succession nécessaire:

$$N_1 = \bar{Q}_1 \cdot \bar{Q}_2\,; \quad N_2 = Q_1 \cdot \bar{Q}_2\,;$$
$$N_3 = \bar{Q}_1 \cdot Q_2\,; \quad N_4 = Q_1 \cdot Q_2.$$

Les plus indiqués pour les distributeurs sont les compteurs à cadence unique du type parallèle et les compteurs à report parallèle qui sont les plus rapides et n'entraînent pas de fausses validations des « voies » lors des changements d'état des « bits » du distributeur. A la fig. 6.11 on trouve le schéma d'un distributeur à huit sorties à cadence unique, réalisé avec un compteur parallèle à trois bits.

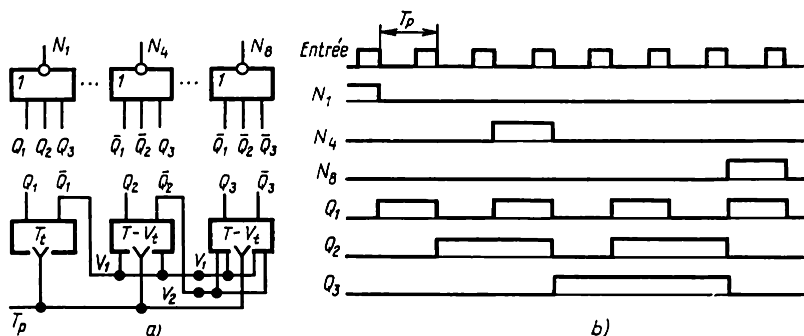


Fig. 6.11. Distributeur de niveaux à 8 sorties réalisé en compteur parallèle: *a* — schéma fonctionnel; *b* — diagramme des signaux

Le compteur emploie les bascules du type $T\text{-}V_t$. Les décodeurs de signaux du distributeur sont faits en éléments logiques OU-NON. Le nombre de « voies » du distributeur est égal à celui d'états du compteur à 3 bits. Chacun des huit décodeurs a pour fonction de valider une seule « voie »:

$$\left.\begin{aligned} N_1 &= \bar{Q}_1\cdot\bar{Q}_2\cdot\bar{Q}_3 = \overline{Q_1+Q_2+Q_3},\\ &\vdots\\ N_8 &= Q_1\cdot Q_2\cdot Q_3 = \overline{\bar{Q}_1+\bar{Q}_2+\bar{Q}_3}. \end{aligned}\right\} \qquad (6.6)$$

Ainsi qu'il est apparent sur le diagramme des signaux du distributeur (fig. 6.11 *b*), lorsque les impulsions de commutation s'appliquent à l'entrée avec une fréquence f_c, la durée du signal en sortie de chaque « voie » est égale à la période des impulsions de commutation.

Le rôle de sorties du distributeur peut être rempli par les sorties d'information des « bits » Q_1, Q_2 et Q_3 dont les signaux figurent, eux aussi, sur le diagramme. De cette façon, le distributeur à compteur de forte capacité digitale peut fournir des trains des signaux de fréquence et de durée différentes.

Le montage schématisé à la fig. 6.11 est transformé en distributeur d'impulsions en complétant tous les décodeurs de « voies » par une sortie qui reçoit les impulsions de sélection. Comme le compteur se compose de bascules à « retard interne », son état demeure inchangé pendant l'impulsion de commutation et en conformité du code du compteur l'une des « voies » délivre une impulsion représentative de 1 logique. La durée de cette impulsion est celle de l'impulsion de commutation à l'entrée du distributeur (T_p).

6.2.2. Distributeurs d'impulsions en bascules de comptage à « report » et « emprunt »

Les sorties de report et d'emprunt de la bascule de comptage constituent en même temps les sorties du distributeur d'impulsions à cadence unique lorsque celui-ci n'a que deux « voies ». Le chapitre 3 traite avec assez de détails des bascules de comptage capables de formation « intrinsèque » des signaux de report et d'emprunt. Chacune de ces bascules (du type T_t) représente un distributeur d'impulsions à deux sorties, car la première impulsion appliquée à son entrée de comptage engendre à sa sortie un signal « emprunt » E (au repos, l'état de la bascule est $Q = 0$) et la seconde impulsion, un signal « report » R. Lorsque les sorties R et E de la première bascule T_t se trouvent réunies aux entrées de comptage de deux autres bascules

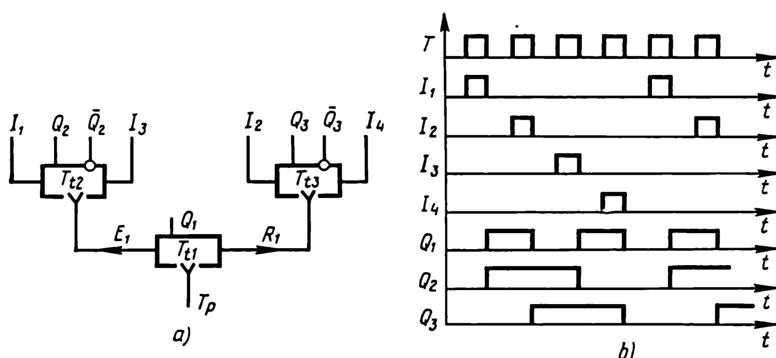


Fig. 6.12. Distributeur d'impulsions à 4 sorties réalisé en bascules T_t montées en « bifurcation »:

a — schéma fonctionnel; *b* — diagramme des signaux

T_t, on obtient un distributeur d'impulsions à quatre sorties. Ainsi, en branchant « en bifurcation » sur chaque bascule T_t les deux autres, on peut réaliser un distributeur doté d'un nombre pair de sorties. Le nombre de sorties du DI sera égal à

$$N = 2^k, \tag{6.7}$$

où N est le nombre de sorties du DI et k, le nombre d'étages du montage en bifurcation. Les bascules de comptage dont on aura besoin à cet effet seront en nombre de $(2^k - 1)$.

Examinons le comportement d'un distributeur d'impulsions à quatre sorties qui est un montage en bifurcation (fig. 6.12) comportant deux étages de bascules T_t. Au repos, les bascules de tous les étages sont en état 0 (cette condition est réalisable par application d'une impulsion RAZ spéciale à toutes les bascules avant le déclenchement du DI). La première impulsion de commutation apparue à l'entrée T_{t1} engendre une impulsion $E_1 = 1$ qui vient sur l'entrée T_{t2} former la deuxième impulsion « emprunt » ($E_2 = 1$). Après

la disparition de la première impulsion de commutation ($T = 0$) la première bascule passe à l'état $Q_1 = 1$; la deuxième bascule à l'état $Q_2 = 1$ et la troisième bascule garde son état premier $Q_3 = 0$. La deuxième impulsion de commutation incidente ($T = 1$) produit un signal à la sortie R_1 ($R_1 = 1$) qui, arrivé sur l'entrée de la bascule T_{t3}, établit une impulsion « emprunt » ($E_3 = I_2 = 1$). Après la cessation de la deuxième impulsion de commutation ($T = 0$) les bascules ont les états suivants: $Q_1 = 0$, $Q_2 = 1$ et $Q_3 = 1$. La troisième impulsion de commutation incidente ($T = 1$) engendre $E_1 = 1$, ce qui conduit à la formation de l'impulsion de report dans la bascule T_{t2} ($R_2 = I_3 = 1$). A la fin de la troisième impulsion de commutation ($T = 0$) les bascules se trouvent dans les états suivants: $Q_1 = 1$, $Q_2 = 0$ et $Q_3 = 1$. Au moment de la quatrième impulsion de commutation ($T = 1$) une impulsion R_1 apparaît ($R_1 = 1$), ce qui produit une impulsion de report dans la bascule T_{t3} ($R_3 = I_4 = 1$). Après la cessation de la quatrième impulsion de commutation, toutes les bascules retombent en état de départ: $Q_1 = Q_2 = Q_3 = 0$.

Les quatre impulsions de commutation du cycle suivant feront apparaître une nouvelle suite d'impulsions aux entrées I_1, I_2, I_3 et I_4. Le délai des impulsions aux sorties du DI constitue

$$\tau_{d.v.} = K \cdot \tau_R, \tag{6.8}$$

où $\tau_{d.\,v.}$ est le délai d'une impulsion « voie » dans le DI ; τ_R est le délai de report dans la bascule de comptage.

La durée des impulsions en sorties du DI est égale à celle de l'impulsion se présentant à l'entrée de commutation du montage:

$$\tau_i = \tau_{iT} \tag{6.9a}$$

dans le cas des bascules T_t du type M-E;

$$\tau_i = \tau_{iT} + K2\tau_{moy} \tag{6.9b}$$

dans le cas des bascules T_t réalisées suivant le « schéma à trois bascules ».

Le caractère intéressant du distributeur d'impulsions monté en bifurcation est l'absence du décodeur de signaux « voie » et l'identité des bascules utilisées, ce qui permet de réaliser les DI avec les seules bascules T_t. Dans certains cas, cela constitue un avantage important rendant possible la simplification de l'étude et de la normalisation du matériel numérique. Il faut cependant noter que la synthèse des distributeurs d'impulsions à plusieurs voies à partir des montages en bifurcation n'est pas économique. C'est ainsi que la réalisation d'un DI à 16 sorties sous forme du montage en bifurcation implique l'emploi de 15 bascules T_t regroupées en quatre étages ($K = 4$). Le même DI à 16 sorties, réalisé avec un compteur à report parallèle et un décodeur, ne demande que quatre bascules T-V_t, trois portes ET assurant le report parallèle et 16 portes ET à cinq entrées destinées au décodage des impulsions « voie ».

Les sorties Q et $\bar{Q}$ des bascules peuvent servir à la formation d'un certain nombre de niveaux. Comme il ressort du diagramme des signaux du DI, celui-ci peut fonctionner en diviseur de fréquence et en compteur-décompteur. Le comptage des impulsions se fait par les bascules interconnectées par les circuits de report et le décomptage des impulsions, par les bascules interconnectées par les circuits d'emprunt.

Dans les versions des distributeurs que nous venons de considérer, les impulsions « voie » sont séparées les unes des autres par un temps égal à la période des impulsions de commutation.

Le distributeur d'impulsions fournissant une suite de quatre impulsions, dont les fronts avant sont en coïncidence avec ceux

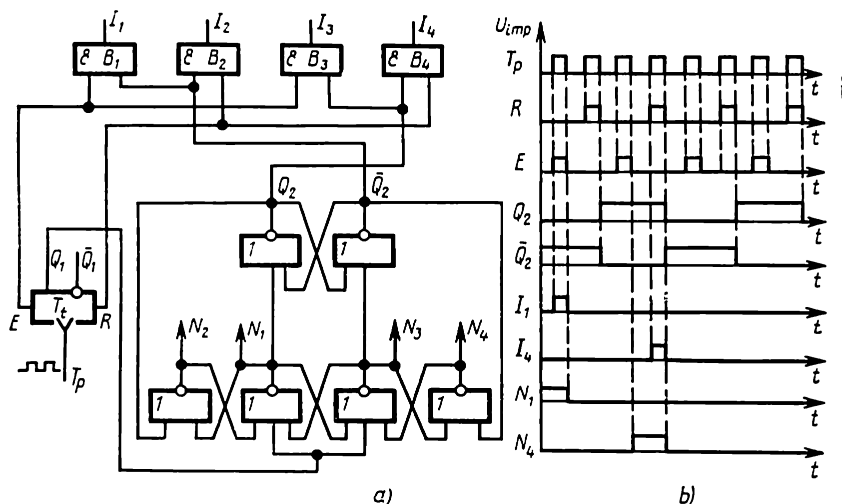


Fig. 6.13. Distributeur mixte à 4 sorties « niveaux » et 4 sorties « impulsions », réalisé en bascules T_t et commandé par un signal en créneau:
a — schéma fonctionnel; *b* — diagramme des signaux

des impulsions d'horloge, représente une bascule de comptage à report et emprunt réalisée selon le « schéma » à trois bascules (cf. ch. 3). Ce montage nécessite, pour fonctionner en DI à quatre sorties, l'application à son entrée des impulsions de commutation en créneaux. En se basant sur cette propriété des bascules de comptage à report et emprunt, on peut construire divers distributeurs économiques du type mixte.

La fig. 6.13 donne le schéma d'un distributeur mixte comportant quatre sorties à niveaux et quatre sorties à impulsions. Le distributeur utilise deux bascules de comptage à report et emprunt (circuit OU-NON) et quatre portes ET à deux entrées servant à la mise en forme des signaux de sortie du DI. Les impulsions de commutation arrivent sur l'entrée de comptage de la première bascule dont la

sortie Q_1 délivre les signaux assurant l'inversion de la seconde bascule. Les sorties à niveaux du distributeur (N_1 à N_4) sont formées par les sorties des bascules de commande de la seconde bascule de comptage, les sorties à impulsions I_1 à I_4 étant constituées par les portes ET à deux entrées qui effectuent les fonctions:

$$I_1 = \bar{Q}_2 \cdot E; \qquad I_2 = \bar{Q}_2 \cdot R;$$
$$I_3 = Q_2 \cdot E; \qquad I_4 = Q_2 \cdot R, \tag{6.10}$$

où E et R sont respectivement les impulsions d'emprunt et de report de la première bascule de comptage. Comme l'indique le diagramme

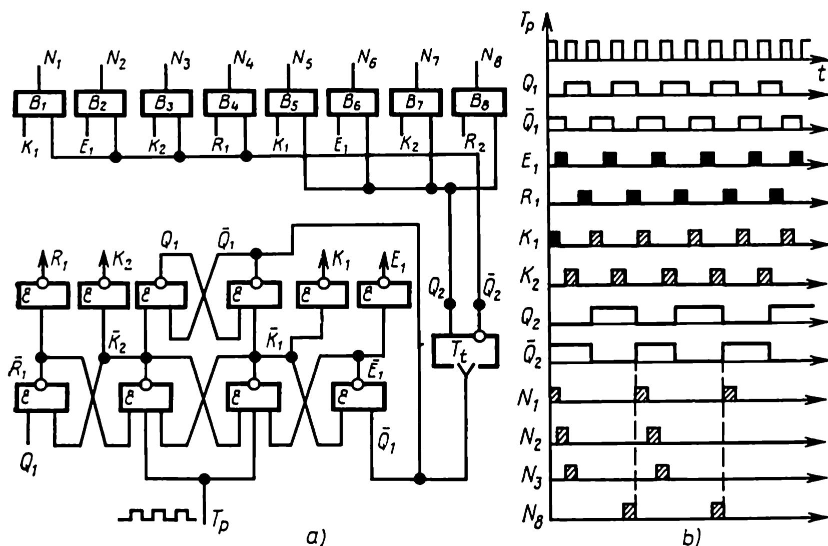


Fig. 6.14. Distributeur du type mixte en bascules T_t à « report » et « emprunt »: *a* — schéma fonctionnel; *b* — diagramme des signaux

des signaux du distributeur, si la fréquence des impulsions de commutation appliquées à l'entrée du distributeur est f_c, les niveaux sur chacune des sorties à niveaux existent pendant un temps $T_N = 1/f_c$. La durée des impulsions I_1 à I_4 est celle de l'impulsion de commutation.

Comparé au distributeur classique à base du compteur avec décodeur d'états, celui que nous venons d'étudier présente l'avantage significatif de ne pas comporter le décodeur de niveaux et d'utiliser dans les « voies » à impulsions I_1 à I_4 des portes ET à deux entrées au lieu de celles à trois entrées. Encore un exemple du distributeur de niveaux économique à 8 sorties réalisé à partir de deux bascules T_t à report et emprunt est donné fig. 6.14. Comme dans le schéma de la fig. 6.14, l'entrée de commutation reçoit un signal en créneaux. Les distributeurs ayant un nombre quelconque de sorties sont réalisés

en compteurs à capacité arbitraire (CCA). La génération des signaux « voie » s'effectue dans ce cas à l'aide de portes ET connectées au compteur à capacité arbitraire en nombre égal à celui d'états du compteur.

6.2.3. Distributeurs à plusieurs sorties à base des compteurs de forte capacité digitale

Pour pouvoir réaliser des distributeurs à décodeurs à échelon unique à partir des compteurs de forte capacité digitale, on doit faire appel à des portes à plusieurs entrées. Par exemple, un distributeur d'impulsions à 128 sorties, réalisé avec un compteur à 7 bits,

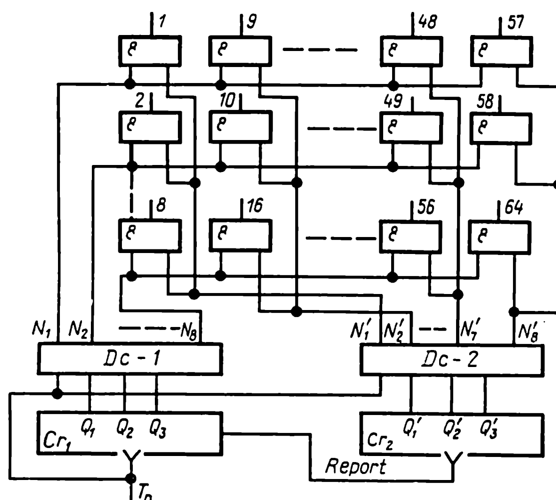


Fig. 6.15. Distributeur d'impulsions à 64 sorties doté d'un décodeur à deux échelons:
a — schéma fonctionnel; *b* — diagramme des signaux

nécessite pour le décodage 128 C.L.I. dont le facteur de charge d'entrée m est égal à 8. Or, dans certaines familles de C.L.I., de telles portes peuvent manquer. Alors, on se sert de décodeurs de « voies » à plusieurs échelons. A cet effet, le compteur de forte capacité digitale du distributeur est divisé en plusieurs groupes. Le nombre de groupes et celui de « bits » dans chaque groupe sont choisis compte tenu du paramètre m et avec le souci d'occuper uniformément les « bits » du compteur. Un exemple du DI à 64 sorties doté d'un décodeur de « voies » à deux échelons est montré fig. 6.15.

Le compteur du distributeur (qui a une capacité de comptage $K_c = 64$) se répartit en deux groupes de trois « bits » chacun. A chaque groupe de « bits » du compteur est associé un décodeur

individuel « premier échelon » à 8 « voies », composé de circuits logiques avec $m = 4$ (une sortie est réservée à l'impulsion de sélection). Le « second échelon » de décodage (principal) à 8 « voies » est réalisé sous forme d'une matrice à circuits logiques à deux entrées. Une telle organisation a permis de simplifier le distributeur, étant donné que sa partie principale est en éléments à deux entrées très rustiques et que le paramètre m des circuits logiques est limité à 4. Pour un distributeur d'impulsions à 64 sorties similaire, mais pourvu d'un décodeur à échelon unique, on aurait besoin de 64 portes avec $m = 7$.

Le distributeur schématisé fig. 6.15 fonctionne de la façon suivante. Supposons qu'au repos les « demi-compteurs » soient l'un et l'autre en état 0. Dans ce cas, aucun décodeur ne fournit de signal utile à sa sortie. La première impulsion de commutation, appliquée à l'entrée du 1-er demi-compteur, valide les premières « voies » des décodeurs Dc. 1 et Dc. 2, ce qui fait apparaître un signal de commande à la sortie de la 1-re « voie » du distributeur. Après la disparition de la première impulsion de commutation, le compteur Cr_1 passe à l'état 001 et le compteur Cr_2 garde son état premier 000, car il est lancé par les signaux de report en provenance du compteur Cr_1. La deuxième impulsion de commutation a pour effet la validation de la deuxième « voie » du décodeur Dc_2 et à nouveau de la première « voie » du décodeur Dc_1, le signal de commande apparaissant dans la deuxième « voie » du distributeur. Au moment de la troisième impulsion de commutation, c'est la troisième « voie » du distributeur qui délivre un signal de commande et ainsi de suite.

La huitième impulsion de commutation engendre un signal de commande dans la huitième « voie » du distributeur et prépare en même temps la transition du compteur Cr_2 vers l'état 1 à l'aide du signal de report. A la fin de la huitième impulsion de commutation, le compteur Cr_1 retourne à 0 et le compteur Cr_2 prend l'état 001 en préparant ainsi la validation de la « rangée » suivante de « voies », de la 9e à la 16e. Par conséquent, la 9e impulsion de commutation incidente aura pour effet la validation de la première « voie » du décodeur Dc_1 et la deuxième « voie » du décodeur Dc_2, c'est-à-dire que le signal de commande sera délivré par la 9e « voie » du distributeur.

L'emploi de décodeurs à plusieurs échelons permet d'utiliser à titre de groupes de différents types de compteurs. Par exemple, le compteur du premier groupe est réalisable avec un registre à couplages croisés et le deuxième avec une échelle multistable ou bien le premier groupe peut être équipé d'un compteur binaire et le deuxième, d'un compteur polynomial, etc. Il faut noter à ce propos que dans tous les cas il est possible d'optimaliser le schéma des décodeurs et de l'adapter parfaitement bien à la réalisation avec les familles de circuits logiques ET-NON, OU-NON, ET-OU, etc., dont dispose éventuellement le concepteur.

6.3. *Distributeurs à échelles multistables*

Les échelles multistables (EMS) sont souvent utilisées en distributeurs.

En conformité du principe de codage de leurs états (dans chaque état stable il n'y a de signal utile qu'à une seule de N sorties), les échelles multistables monophasées représentent des distributeurs de niveaux à N sorties. L'entrée de comptage d'une telle échelle multistable sert d'entrée de commutation du DN. La réalisation d'un distributeur d'impulsions à N sorties avec une échelle monophasée à N états stables nécessite généralement le raccordement de chaque sortie de EMS monophasée à l'une des entrées d'une porte ET à deux entrées qui reçoit sur sa seconde entrée les impulsions de sélection décalées dans le temps par rapport aux impulsions de commutation.

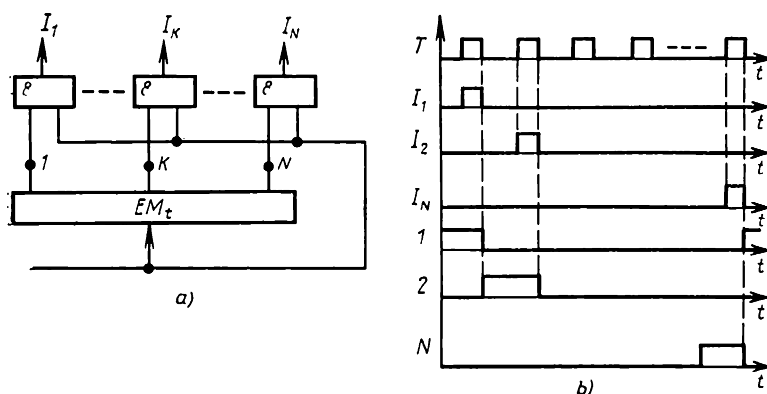


Fig. 6.16. Distributeur d'impulsions à échelle multistable monophasée: *a* — schéma synoptique; *b* — diagramme des signaux

Dans le cas des échelles multistables monophasées comportant le « retard interne », le rôle d'impulsion de sélection dans le DI peut être tenu par l'impulsion de commutation.

A la fig. 6.16 on trouve le schéma synoptique d'un distributeur réalisé en EMS_t monophasée à cadence unique. Cette échelle fait fonction d'un distributeur mixte car ses sorties 1, . . ., N constituent les « voies » à niveaux (N_1 à N_n) et ses sorties I_1 . . . I_n, les « voies » à impulsions du distributeur. La durée des impulsions aux sorties I_1 à I_n est celle de l'impulsion de commutation, la durée des signaux aux sorties N_1 à N_n étant égale à la période des impulsions de commutation.

Les EMS_f utilisant les éléments logiques ET-NON, OU-NON du type *M-E* fonctionnent en distributeurs mixtes (cf. chapitre 5) car elles possèdent des sorties à niveaux comme à impulsions.

L'exemple d'un tel distributeur mixte fait l'objet de la fig. 6.17 qui représente une échelle à deux cadences dotée de trois états stables.

Lorsque cette EMS fonctionne en distributeur d'impulsions à 6 sorties, les entrées T_1 et T_2 constituent respectivement la première et la seconde entrées de commutation du distributeur. Les sorties des portes B_1, B_3 et B_5 servent de « voies » impaires du DI et celles des portes B_2, B_4 et B_6, de « voies » paires du DI. Au moment de l'impulsion incidente $T_1 = 1$ le signal utile apparaît dans l'une des « voies » impaires et l'état de la bascule tristable « maître »

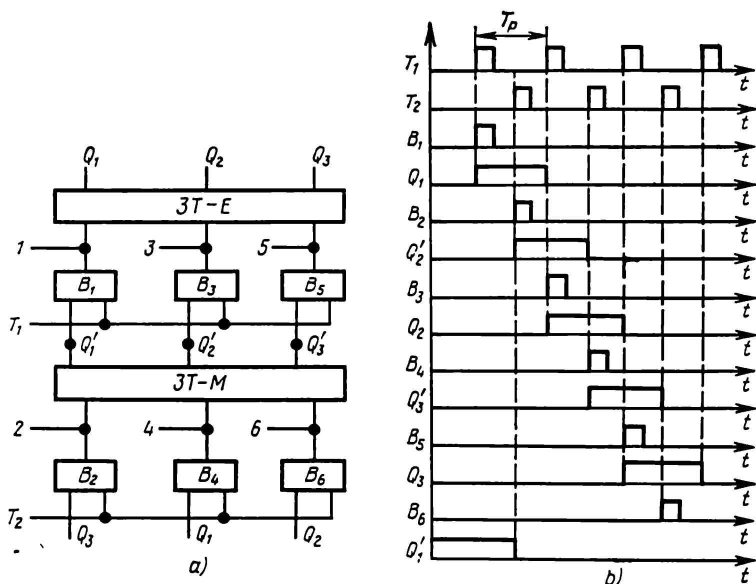


Fig. 6.17. Distributeur du type mixte à échelle multistable à deux cadences: *a* — schéma fonctionnel; *b* — diagramme des signaux

est imposé à la bascule « esclave ». L'arrivée de l'impulsion $T_2 = 1$ produit le signal utile dans l'une des « voies » paires du DI et l'état de la bascule tristable « esclave » se transmet à la bascule « maître ». Comme indiqué sur le diagramme des signaux, les sorties des bascules tristables « maître » et « esclave » de EMS représentent les sorties du distributeur de niveaux.

Les impulsions de commutation de fréquence f_c engendrent aux sorties Q et Q' des signaux utiles de durée $T_c = 1/f_c$ décalés l'un par rapport à l'autre d'une demi-période de la fréquence mère. Comme on l'a vu au chapitre 5, le distributeur considéré se transforme du montage à deux cadences en celui à cadence unique, si l'on place à son entrée une bascule de comptage, servant de déclencheur, qui a sa sortie « report » réunie au fil T_1 et sa sortie « emprunt », au fil T_2.

La fig. 6.18 *a* donne le schéma d'un distributeur de niveaux à 15 sorties utilisant deux EMS_t monophasées et une matrice de décodage.

Le nombre d'états des EMS_t est égal respectivement à 3 et à 5 ; la matrice de décodage comporte $3 \times 5 = 15$ portes ET. L'impulsion de commutation s'applique simultanément aux entrées de comptage des deux EMS_t. Si initialement les états des EMS_t se traduisent par les codes 100 et 10 000, c'est la première « voie » du DN qui

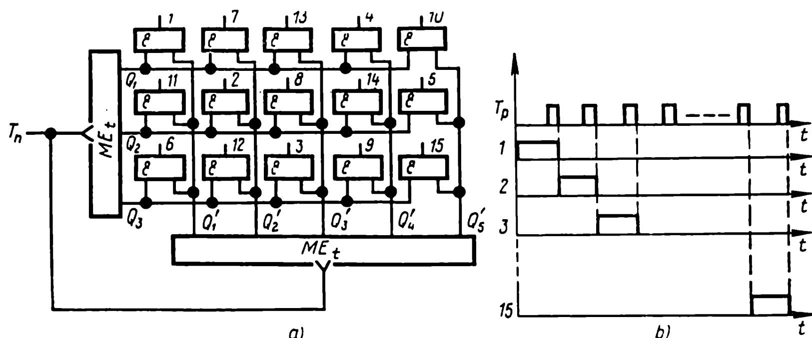


Fig. 6.18. Distributeur de niveaux à 15 sorties réalisé en échelle multistable avec matrice de décodage :

a — schéma fonctionnel ; *b* — diagramme des signaux

est effective. Après la première impulsion de commutation, les échelles passent respectivement dans les états 010 et 01000 pour valider la deuxième « voie » du DN. Après la troisième impulsion de commutation, les états respectifs des échelles deviennent 001

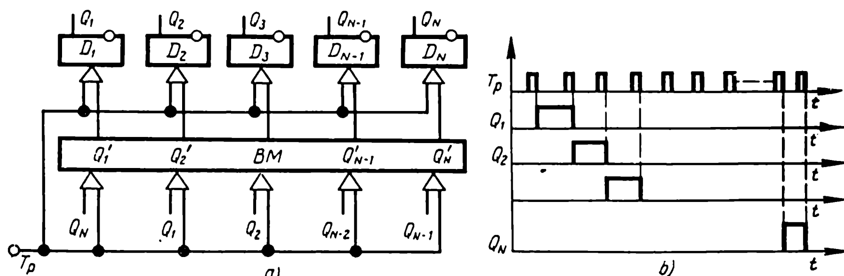


Fig. 6.19. Distributeur de niveaux utilisant un circuit multistable et un registre de mémoire :

a — schéma fonctionnel ; *b* — diagramme des signaux

et 00100, ce qui « lance » la troisième « voie » du DN et ainsi de suite. Le diagramme des signaux du DN fait l'objet de la fig. 6.18, *b*. Dans le cas du distributeur d'impulsions, chaque porte de la matrice de décodage doit avoir trois entrées dont l'une réservée à l'impulsion de commutation.

La fig. 6.19 *a* montre le schéma d'un distributeur de niveaux réalisé avec une bascule multistable et un registre de mémoire (cf. chapitre 5). Dans ce distributeur, les signaux au niveau 1 et

au niveau 0 sont formés respectivement aux sorties Q et $\bar{Q}$ des bascules-bits du registre de mémoire. A la figure 6.20 on trouve le schéma d'un distributeur de niveaux à 3 sorties qui se compose d'une bascule multistable et d'un registre de mémoire conçus en éléments ET-OU-NON et NON, ET-OU; la commande du DN se fait par

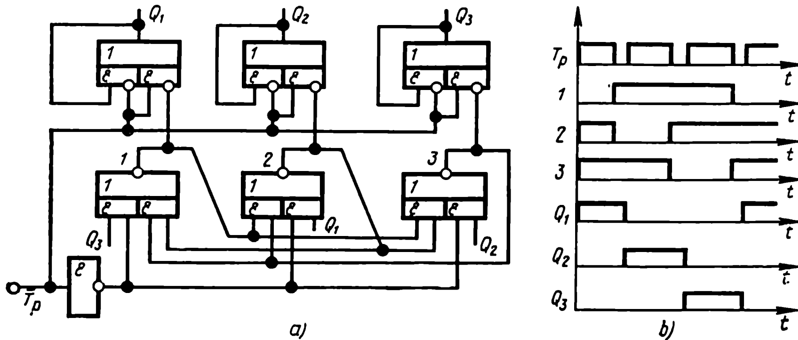


Fig. 6.20. Distributeur de niveaux à 3 sorties (*a*) et son diagramme des signaux (*b*)

les signaux de commutation au niveau 0 ($T_p = 0$). La réalisation d'un distributeur d'impulsions à base de ces circuits implique l'emploi d'un décodeur supplémentaire en circuits ET à deux entrées.

6.4. Distributeurs à circuits spéciaux à décalage en anneau

Ces distributeurs se distinguent par le décalage annulaire du signal utile. On peut les rapporter également à la famille des compteurs à décalage. Cependant, comme ces circuits sont le plus souvent utilisés sous forme de distributeurs, nous en traitons donc dans le présent chapitre.

6.4.1. Distributeurs à cadence unique

Une des versions les plus connues des distributeurs à compteurs à décalage en anneau est schématisée à la figure 6.21. Considérons, pour fixer les idées, un distributeur d'impulsions à trois sorties, réalisé en circuits logiques ET-NON.

Avec un système analogue de liaisons entre les bascules-bits, il est facile de construire un distributeur à un nombre quelconque de sorties. Pour commencer le travail, on doit agir sur l'entrée « positionnement repos » du DI et le placer en état initial correspondant au code 100 ($Q_1 = 1$, $Q_2 = Q_3 = 0$). Dans ce cas, la porte B_1 est préparée à l'ouverture grâce aux signaux appliqués à ses deux entrées et les portes B_2 et B_3 le sont également sous l'effet du signal

existant sur une seule entrée de chacune d'elles. Il en résulte qu'au moment de l'impulsion de commutation la porte B_1 établit à sa sortie un signal au niveau 0 et une durée égale à celle de l'impulsion de commutation ou impulsion de la première « voie » du DI. En même temps, arrivé sur les entrées des portes B_2, B_6 et B_7, ce signal met la deuxième bascule-bit en état 1 ($Q_2 = 1$) et maintient bloquées les portes B_2 et B_6. Après la disparition de l'impulsion de commuta-

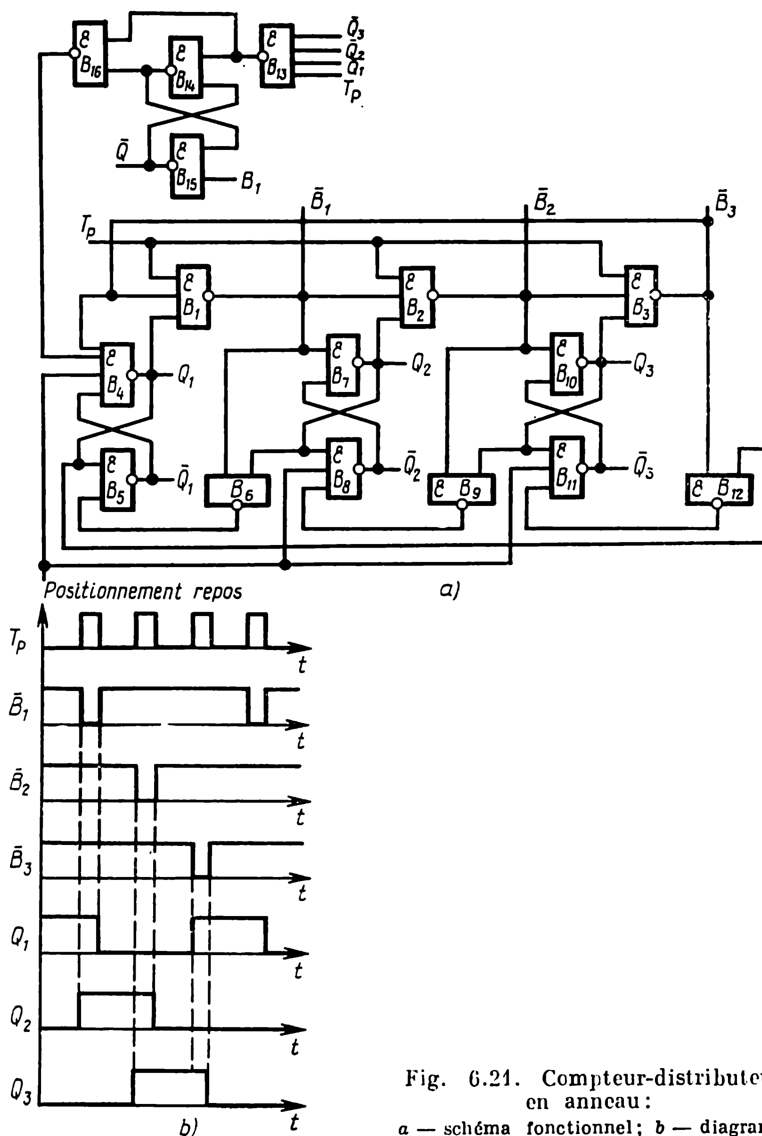


Fig. 6.21. Compteur-distributeur en anneau:

a — schéma fonctionnel; *b* — diagramme des signaux

tion ($T_p = 0$) la porte B_6 s'ouvre (elle a 0 en sortie, car $B_1 = B_7 = 1$) et, grâce à la porte B_5, la première bascule-bit se place dans l'état 0 ($Q_1 = 0$).

De cette façon, après la cessation de la première impulsion de commutation, le distributeur affiche un code 010 qui prépare l'ouverture de la porte B_2 dont la sortie constitue la deuxième « voie » du distributeur. Sur la deuxième impulsion de commutation, le signal de commande apparaît à la sortie de la porte B_2 et, après sa disparition, l'état du distributeur se traduit par un code 001. Enfin, la troisième impulsion de commutation fait intervenir la troisième « voie » du distributeur (porte B_3), et sa cessation remet le DI en état de repos 100. Le distributeur est organisé de façon à avoir 4 portes par « voie ».

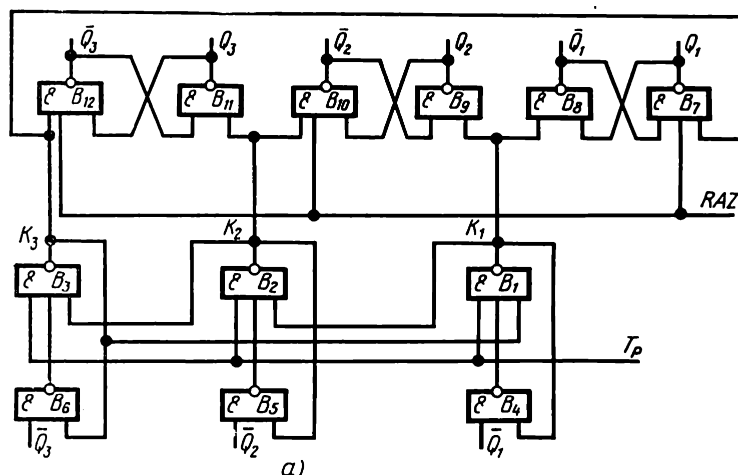
Cette organisation devient particulièrement efficace dans le cas des distributeurs possédant un nombre impair de « voies » (3, 5, 7, 9) où l'on réalise un gain d'éléments par « voie » par rapport aux versions des DI considérées plus haut.

Parmi les désavantages du distributeur en question, il faut noter essentiellement les dérangements dus à l'apparition de faux 1 ou 0. Pour supprimer les faux uns, il est nécessaire de boucler la sortie Q de chaque « bit » sur les entrées du reste des éléments formant les sorties $\overline{Q}$ des bascules-bits du distributeur. Les faux zéros apparus dans le distributeur sont récupérés, comme l'indique la fig. 6.21, par une porte de décodage de l'état 0 et une bascule supplémentaire.

Supposons le distributeur prendre un état interdit 000. Dans ce cas, à l'apparition de l'impulsion de commutation, la sortie de la porte B_{13} passe au niveau 0 qui met en état 1 la bascule composée de portes B_{15} et B_{14} et bloque la porte B_{16}. A la fin de l'impulsion de commutation, la porte B_{16} ramène sa sortie au niveau 0 qui, appliqué à l'entrée de la porte B_4, impose au distributeur un état de régime 100. Au moment de l'impulsion de commutation suivante, le signal provenant de la porte B_1 vient sur l'entrée de la porte B_{15} pour placer la bascule correctrice dans son état premier. Du chronogramme du montage il est aisé de déduire qu'il peut fonctionner en compteur modulo 3, c.-à-d. que ce montage peut se ranger parmi les compteurs à décalage en anneau.

La fig. 6.22 donne une autre variante du distributeur d'impulsions analogue dont chaque « voie » contient 4 éléments ET-NON (OU-NON) [27]. Comme dans le cas du montage précédent, pour simplifier la description du mode opératoire, l'étude porte sur un distributeur d'impulsions à 3 sorties. Au début, un signal de 0 logique, appliqué à l'entrée « RAZ », met les bascules en état de repos: 100 ($Q_1 = 1$; $Q_2 = Q_3 = 0$). Avant l'arrivée de l'impulsion de commutation ($T_p = 0$) la porte B_1 (dont la sortie constitue la première « voie » du distributeur) est préparée à l'ouverture par ses deux entrées (car $B_3 = B_4 = 1$) et les portes B_2 et B_3 sont fermées. Au moment de l'impulsion de commutation incidente ($T_p = 1$) la porte B_1 établit à sa sortie le niveau 0 qui place en état 1 la deuxième bascule-

bit (portes B_9 et B_{10}) du distributeur et en état 0 la première bascule-bit. Parallèlement, pendant l'impulsion de commutation le changement d'état de sortie des portes B_2 et B_4 se trouve empêché. Ainsi, la première impulsion de commutation positionne les bascules de manière que le code du distributeur devienne 010, ce qui prépare l'ouverture de la porte B_2 de la deuxième « voie » du distributeur. A l'arrivée de la deuxième impulsion de commutation le signal utile au niveau 0 apparaît dans la deuxième « voie » du distributeur et les bascules de celui-ci prennent les états correspondant à un code



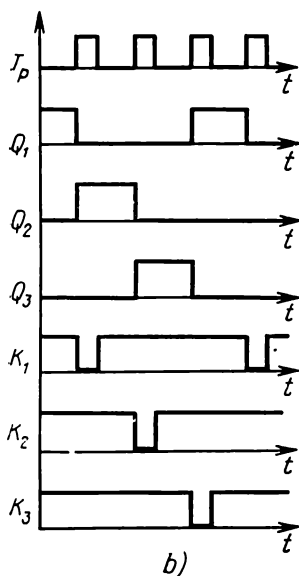


Fig. 6.22. Distributeur d'impulsions à 3 sorties:
a — schéma fonctionnel; *b* — diagramme des signaux

001 et ainsi de suite. Comparé au distributeur de la fig. 6.21, ce montage présente une rapidité de fonctionnement plus élevée résultant de la simultanéité de positionnement sur 1 de la bascule-bit suivante et de remise à 0 de la bascule-bit précédente ; or, dans le distributeur schématisé à la fig. 6.21, pendant l'impulsion de commutation et un certain temps après sa cessation, deux bascules consécutives se trouvent en état 1.

Parmi les désavantages du distributeur (fig. 6.22) il convient de noter les perturbations dues aux erreurs aléatoires.

Les deux schémas que nous venons d'étudier sont relativement peu économiques en ce qui concerne le nombre d'éléments par « voie » (chaque « voie » demande 4 portes), aussi ont-ils des applications dans les distributeurs dont le nombre de sorties est compris entre 3 et 10. Moins onéreux en nombre d'éléments par « voie » sont les distributeurs à deux cadences.

6.4.2. Distributeurs à deux cadences

L'un des plus répandus parmi les dispositifs de ce genre est le distributeur à deux cadences réalisé à l'aide d'un montage en anneau doté de boucles de réaction.

Une variante de tel distributeur utilisant les éléments ET-NON est montrée fig. 6.23. Chaque « bit » du distributeur représente une bascule D à deux cadences composée de trois éléments ET-NON. La réaction se fait entre la sortie de la porte (B_1, B_2, B_3, B_4) de chaque « bit » aval et l'entrée RAZ de la bascule D de chaque « bit » amont. Les réactions assurent la remise à 0 des bascules-bits du distributeur pendant les impulsions de commutation T_{p1} ou T_{p2} qui sont décalées entre elles dans le temps. Le déclenchement du distributeur s'opère par application d'une impulsion de commande ($T_c = 1$) produisant l'ouverture de la porte B_{13} et la mise dans l'état 1 ($Q_1 = 1$) du premier « bit ». L'impulsion $T_c = 1$ doit être simultanée avec l'impulsion de commutation $T_{p2} = 1$. Les impulsions de commutation $T_{p1} = 1$ ouvrent l'une des portes (B_2, . . ., B_4) des bascules D paires et transfèrent 1 de la bascule D impaire dans la bascule D paire suivante. En même temps, le niveau 0 émis par la porte B_2 ou B_4 (les sorties de ces portes constituent les « voies » impaires du DI) remet à 0 la bascule D précédente commandée par l'impulsion de commutation T_{p2}.

Chaque impulsion de commutation $T_{p2} = 1$ rend passante l'une des portes des bascules D impaires (B_1 ou B_3) et produit le transfert de 1 de l'une des bascules D impaires dans la bascule paire suivante. Simultanément, le niveau 0 en sortie de l'une des portes B_1 et B_3 (leurs sorties forment les « voies » paires du DI) remet à 0 la bascule D précédente. Le processus d'écriture de 1 et de remise à 0 des bascules précédentes est illustré dans le tableau 6.2.

Ce montage fait fonction de distributeur mixte. Les sorties des bascules constituent les sorties à niveaux et celles des portes B_1 à B_4,

les sorties à impulsions du distributeur. Les sorties à impulsions I_2, I_1, I'_2, I'_1 délivrent une suite des impulsions au niveau 0 espacées entre elles dans le temps et dont la durée est celle des impulsions de commutation. Il est ainsi possible de déduire du montage considéré un distributeur de niveaux dont le nombre de sorties n_N est égal à celui de « bits » du registre N et un distributeur d'impulsions

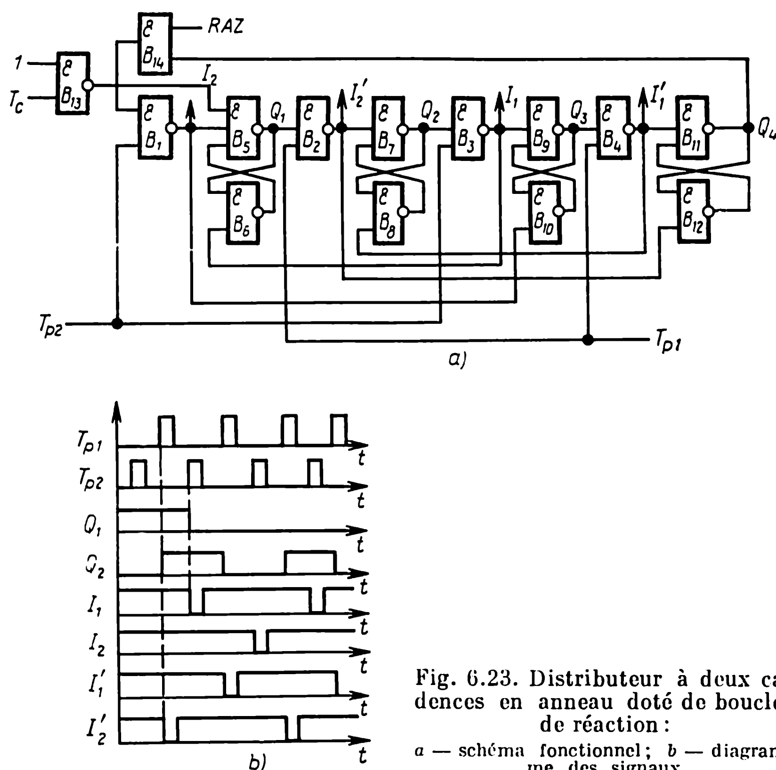


Fig. 6.23. Distributeur à deux cadences en anneau doté de boucles de réaction:

a — schéma fonctionnel; *b* — diagramme des signaux

ayant le même nombre de sorties n_I. Ce montage se prête bien à la réalisation d'un distributeur d'impulsions à nombre de sorties pair.

Un distributeur d'impulsions doté d'un nombre impair de sorties $(2n - 1)$ est dérivable d'un DI à $2n$ sorties dont l'une n'est pas utilisée. Toutefois, ce distributeur n'est pas toujours commode puisqu'il demande un signal de commutation supplémentaire, ce qui conduit à un cycle de fonctionnement plus long.

Le désavantage du distributeur d'impulsions de la fig. 6.23 consiste dans la possibilité des défaillances à cause des erreurs aléatoires. La manière de remédier à ce désavantage a été décrite plus haut. Il faut noter à ce propos que dans le présent DI la récupération des 1 en excès est devenue une opération plus simple. Cela tient au fait que l'apparition d'un 1 supplémentaire dans une bascule sera

Tableau 6.2

Etats du distributeur à 4 sorties

Impulsions d'horloge		Principales		Auxiliaires		Sorties à impulsions			
T_{p1}	T_{p2}	Q_1	Q_3	Q_2	Q_4	B_1	B_3	B_2	B_4
0	$T_c=1$	1	0	0	0	0	0	0	0
1	0	1	0	1	0	0	0	1	0
0	1	0	1	1	0	0	1	0	0
1	0	0	1	0	1	0	0	0	1
0	1	1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0	1	0
0	1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	0	1
0	1	1	0	0	1	1	0	0	0

ignorée par la bascule voisine car la commande des bascules-bits s'effectue par les signaux de commutation différents. L'effet en est que les états interdits sont moins nombreux et, partant, plus faciles à supprimer. Le distributeur de la fig. 6.23 implique l'emploi de trois portes par « voie ». Le DI à effet cyclique peut être transformé en DI monocoup en rompant la boucle entre la sortie du « poids plus fort » et l'entrée de porte du « poids plus faible ».

Le changement de la nature des couplages dans le DI permet d'en dériver un distributeur de niveaux « monocoup ». A cet effet, il faut éliminer les couplages allant des sorties des portes faisant partie des bascules-bits du poids i aux entrées RAZ des bascules-bits du poids $(i-2)$. On aboutit à un registre à décalage à deux cadences dont la particularité est de fonctionner uniquement au régime de transfert des 1 (fig. 6.24). Par analogie avec les DN à registres à couplages croisés le décodage des niveaux dans le présent distributeur doit se faire à l'aide de portes à deux entrées. La raison en est que chaque impulsion de décalage des 1 engendre une nouvelle combinaison unique des états 1 et 0 de deux « bits » consécutifs. A l'application successive des impulsions de commutation T_{p1} et T_{p2} au niveau 1, le montage, initialement dans l'état 0000 ($Q_1 = Q_2 = Q_3 = Q_4 = 0$), prend un par un les états 1000, 1100, 1110 et 1111. Le nombre de portes nécessaire à chaque « voie » est ici égal à 4. Pour que le distributeur de la figure 6.24 puisse fonctionner « en anneau », les sorties des portes paires B_2 et B_4 doivent être bouclées sur les entrées des côtés $\bar{Q}$ des bascules impaires.

Il est intéressant de considérer le distributeur à deux cadences conçu en registre en anneau doté de couplages croisés et de couplages

inhibitifs biphasés. Un tel distributeur à 8 sorties est schématisé fig. 6.25.

La commande du distributeur s'effectue par deux impulsions de commutation T_{p1} et T_{p2} au niveau 1, les « voies » du distributeur sont constituées par les sorties des portes appartenant aux bascules-bits. Les sorties des portes aux numéros impairs (B_1, B_3, B_5 et B_7) assurant le transfert de l'état 1 d'un « bit » à l'autre représentent les « voies » impaires du distributeur et les sorties des portes paires (B_2, B_4, B_6 et B_8), ses « voies » paires. La sortie Q du k^e « bit »

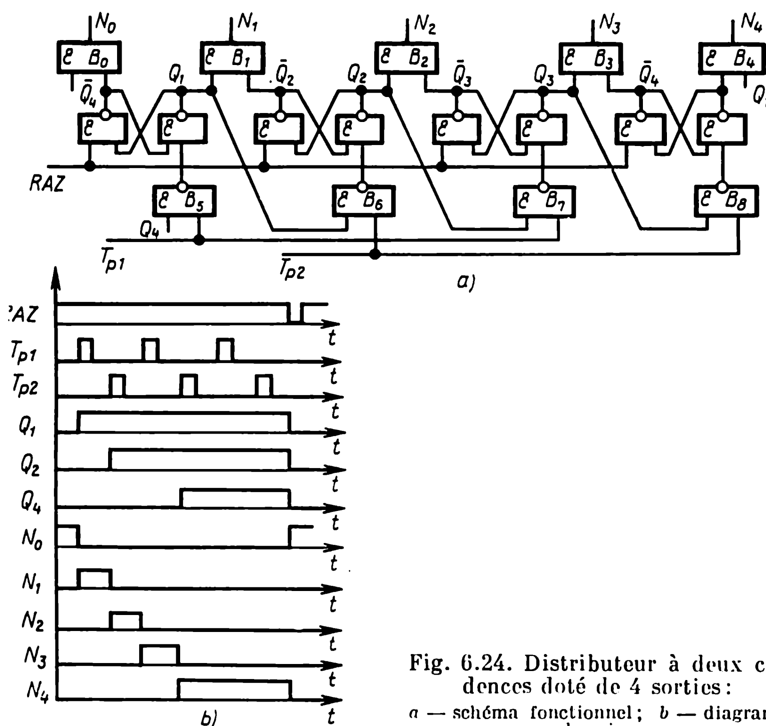


Fig. 6.24. Distributeur à deux cadences doté de 4 sorties:
a — schéma fonctionnel; *b* — diagramme des signaux

est reliée à la porte d'écriture de 0 du $(k - 1)^e$ « bit » et la sortie $\overline{Q}$ du k^e « bit », à la porte d'écriture de 1 du $(k - 1)^e$ « bit ». Font exception les liaisons entre la sortie Q_1 du premier « bit » et la porte d'écriture de 1 du dernier « bit » et entre la sortie $\overline{Q_1}$ et la porte d'écriture de 0 du dernier « bit ». Ces couplages biphasés supplémentaires permettent l'ouverture de chaque porte dans le registre une fois par cycle composé de $2N$ impulsions de commutation (N est la capacité du registre).

Selon la nature des signaux de commutation, le montage dela fig. 6.25 peut fonctionner soit en DI, soit en DN. Déclenché par une bascule de comptage du type T_t à report et emprunt, il se trans-

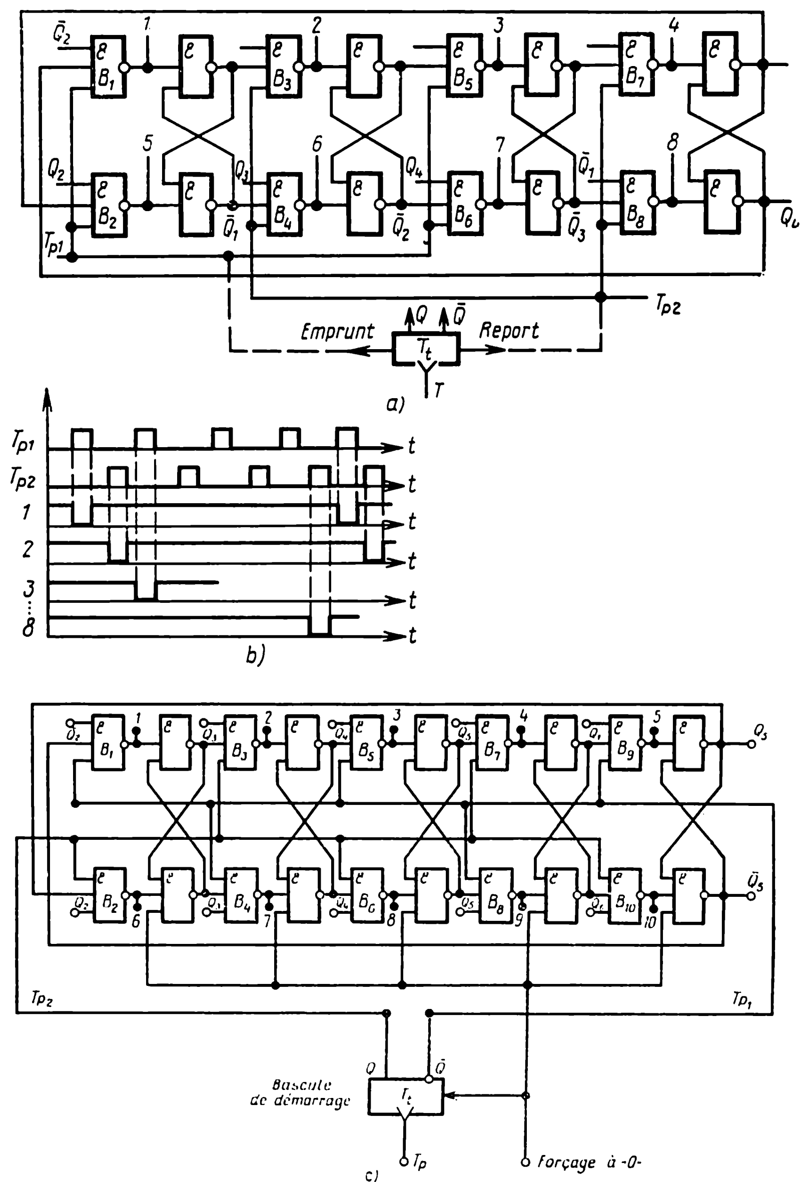


Fig. 6.25. Distributeur à registre à couplages inhibitifs biphasés :
a — schéma fonctionnel; *b* — diagramme des signaux; *c* — distributeur à 10 voies

forme en distributeur à cadence unique car c'est l'entrée de comptage de la bascule T_t qui reçoit les impulsions de commutation. Lorsque la commande des bascules-bits s'effectue par les impulsions provenant des côtés Q et $\overline{Q}$ de la bascule de comptage T_t, on obtient un distributeur de niveaux et lorsque ces impulsions de commande viennent des sorties « report » et « emprunt », un distributeur d'impulsions.

Tout comme le distributeur de la fig. 6.22, celui que nous venons d'étudier n'a pas besoin de décodeur.

Les distributeurs réalisés avec des registres dotés de couplages croisés et de couplages inhibitifs biphasés ont ceci de particulier que le nombre de leurs «voies» doit toujours être multiple de deux ou de quatre. Cependant il faut remarquer à cette occasion que l'organisation des distributeurs avec un nombre de « voies » multiple de deux et non de quatre présente une différence importante par rapport au distributeur schématisé fig. 6.25. Cette différence consiste dans le fait que les fils horloge des distributeurs dont les « voies » sont en nombre de 6, de 10, de 14, etc., se trouvent raccordés non pas à deux portes d'une même bascule-bit de manière à piloter chacun soit tous les « bits » impairs, soit tous les « bits » pairs du distributeur, mais aux portes de « nom contraire » de deux « bits » voisins, c.-à-d. de manière à piloter les portes de « nom contraire » de la totalité des bascules-bits du distributeur. La nature des couplages croisés comme celle des couplages inhibitifs biphasés entre les « bits » reste inchangée et la fonction de sorties du distributeur est faite, dans ce cas aussi, par les portes des bascules-bits.

La fig. 6.25 *c* donne le schéma d'un distributeur de niveaux à 10 sorties, réalisé avec un registre en anneau pourvu de couplages croisés et de couplages inhibitifs biphasés où l'on voit la spécificité du pilotage des bascules-bits. La bascule de démarrage du type T_t qui a ses sorties $\overline{Q}$ et Q raccordées respectivement aux fils T_{p1} et T_{p2} permet d'imposer au distributeur un fonctionnement à cadence unique.

Dans l'état de repos du DN, toutes les bascules du registre et celle de démarrage doivent être mises à 0 dont l'effet est l'ouverture de la porte B_1 et l'apparition à sa sortie d'un signal utile au niveau 0 (car les portes sont ici en éléments ET-NON). Le comportement du distributeur à l'arrivée des impulsions de commutation est facile à suivre par le lecteur lui-même.

La mise au repos du distributeur de niveaux se fait à l'aide d'une entrée RAZ spéciale qui sert également au rappel du distributeur à l'état de régime après les incidents, les distributeurs considérés étant incapables de « reprise après incident » spontanée.

La fréquence des signaux utiles en sortie de chaque « voie » du distributeur (f_v) se détermine comme:

$$f_v = \frac{f_p}{K},$$

où f_0 est la fréquence des impulsions de commutation, K étant le nombre de « voies » du distributeur.

La durée du signal utile à la sortie du DN correspond à $T_p = 1/f_p$. Comme il a été signalé à propos du schéma de la fig. 6.25, la réalisation d'un DI nécessite que le fil T_{p1} soit réuni à la sortie « emprunt » et le fil T_{p2}, à la sortie « report » de la bascule de démarrage.

Les distributeurs conçus en registres à couplages croisés et couplages inhibitifs biphasés permettent une économie notable des circuits intégrés par rapport aux distributeurs à base du compteur de Johnson (cf. § 6.1.2). Le nombre de portes requis pour un distributeur (B_Σ) est calculable au moyen des formules simples ci-dessous:

— cas du distributeur de Johnson à deux cadences:

$$B_\Sigma = 3K + 6;$$

— cas du distributeur de Johnson à cadence unique:

$$B_\Sigma = 4K;$$

— cas du distributeur à registre à couplages inhibitifs:

$$B_\Sigma = 2K + 6,$$

où 6 est le nombre de portes nécessaire pour la bascule de démarrage.

Pour les distributeurs les plus courants avec $K = 8$; 10; 16; 20 et 32, le gain de portes réalisé avec le schéma à couplages inhibitifs atteint 20 à 30 % par rapport au distributeur à compteur de Johnson. Il est facile d'envisager également l'économie de puissance que l'on peut faire dans les dispositifs mettant en application les distributeurs à base des registres à couplages inhibitifs. La moyenne de portes par « voie » dans les DI et DN à couplages inhibitifs examinés sans compter la bascule de démarrage est égale à 2.

6.4.3. Quelques procédés de synthèse des distributeurs d'impulsions économiques

La quantité de circuits nécessaire pour constituer une « voie » représente l'une des caractéristiques fondamentales du distributeur. La solution optimale serait un dispositif dans lequel chaque signal de sortie serait formé par un seul circuit logique avec, si possible, le moins d'entrées. La meilleure approche de l'optimum est donnée par le montage schématisé fig. 6.25 où chaque signal de sortie est produit au moyen de deux éléments logiques. On peut considérer comme économiques les distributeurs d'impulsions utilisant des compteurs à matrices de décodage.

Dans le présent paragraphe, nous allons présenter quelques procédés permettant de réaliser les distributeurs d'impulsions encore plus économiques. Il faut remarquer cependant que ces procédés deviennent les plus efficaces pour les distributeurs dont le nombre de « voies » est supérieur à 12. Or, pour un nombre de « voies »

plus petit, ce sont les distributeurs à cadence unique ou à plusieurs cadences dans lesquels le nombre de circuits logiques par «voie » est égal à 2, à 3 ou à 4 qui se distinguent par leurs qualités économiques (fig. 6.21 à 6.25).

Dans les schémas économiques, un même distributeur de base sert à commander plusieurs portes formant la « voie ». L'un de ces procédés, applicable à des distributeurs produisant des impulsions sans décodage supplémentaire, consiste à associer au distributeur un décodeur dont le nombre de sorties est celui d'états utiles du distributeur. Ainsi, en complétant le distributeur de la fig. 6.22 par un décodeur dont les portes sont pilotées par une impulsion de commutation supplémentaire T'_p nous obtiendrons un distributeur

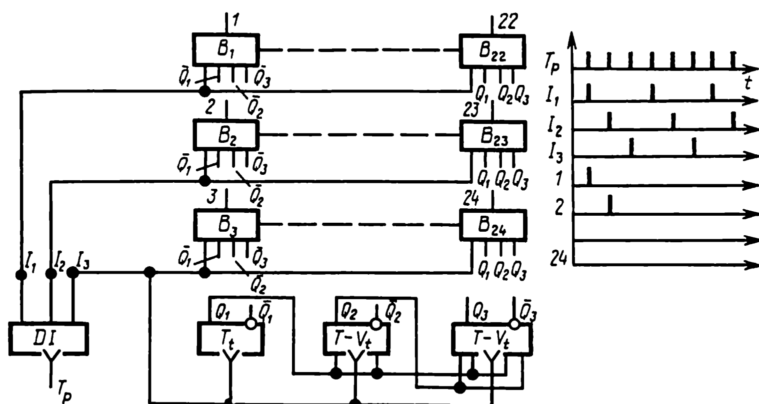


Fig. 6.26. Distributeur d'impulsions à 24 sorties

d'impulsions à 6 sorties. Dans ce cas, il faut veiller à ce que l'ordre de succession des impulsions de commutation soit d'abord le signal T'_p, ensuite T_p, etc.

A la fig. 6.26 on trouve un distributeur d'impulsions à 24 sorties en compteur binaire réalisable par adjonction au distributeur de base à 8 sorties de deux décodeurs supplémentaires à 8 « voies » chacun et d'un circuit de commande sous forme d'un DI à 3 sorties. Le DI à 3 sorties s'adaptant le mieux au circuit de commande est celui à base d'une EMS_t monophasée.

Supposons qu'au repos le compteur se trouve en état 0 ($Q_1 = Q_2 = Q_3 = 0$). Dans ce cas, les «voies » 1, 2, 3 sont prêtes à débiter. A l'apparition de la 1[re] impulsion de commutation, la 1[re] « voie » du distributeur du circuit de commande intervient ($I_1 = 1$) faisant suite à la validation de la 1[re] « voie » du distributeur de base (porte B_1). La deuxième impulsion de commutation valide la 2[e] « voie » du DI du circuit de commande et par le fait même, la 2[e] « voie » du DI de base (porte B_2). La troisième impulsion de commutation, appliquée simultanément à l'entrée du compteur et aux portes de la 3[e] rangée de décodeurs, met en débit la 3[e] « voie » du DI de base

(porte B_3). Après sa disparition, le compteur passe à l'état suivant correspondant au code 001.

L'effet en est la mise « en attente » de la rangée suivante de « voies » du distributeur constituée par les portes B_4, B_5 et B_6. En prenant pour circuit de commande un DI avec un nombre plus grand de sorties, on peut obtenir un distributeur d'impulsions dont

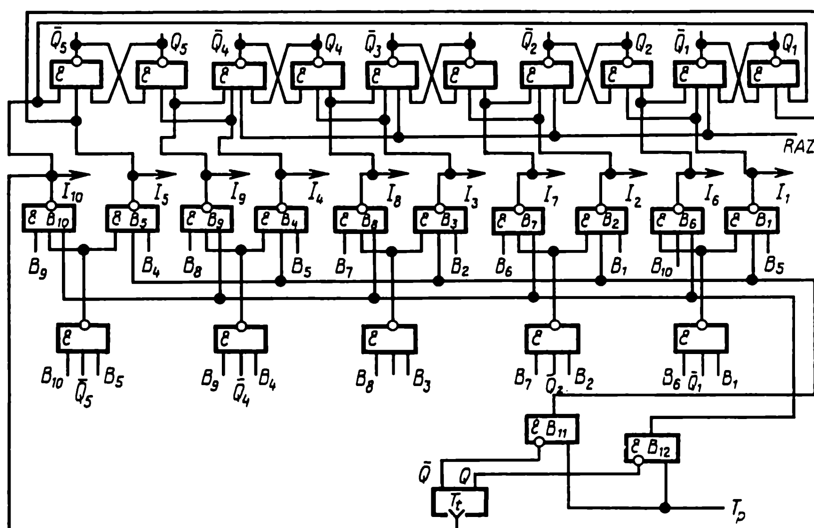


Fig. 6.27. Distributeur d'impulsions à 10 sorties

le nombre de sorties est 4, 5, etc. fois supérieur à celui d'un distributeur de base. L'avantage fondamental de ce procédé est la possibilité de multiplier les « voies » d'un distributeur d'impulsions à base d'un seul compteur sans avoir recours, pour le décodage, à des portes à plus grand nombre d'entrées.

Le procédé de synthèse des DI en question porte remède à l'inconvénient majeur des distributeurs d'impulsions à base des compteurs avec décodeurs, qui est la nécessité d'employer, pour le décodage, des portes dont le nombre d'entrées est $m = N + 1$, N étant le nombre de « bits » du compteur. Un DI analogue, conçu en compteur avec décodeur, demandera l'utilisation d'un compteur à cinq bits et de 24 portes à 6 entrées chacune. La fonction de distributeur de base peut être faite par n'importe lequel des distributeurs étudiés ci-dessus. L'organisation similaire peut en particulier être adoptée pour les DI à base des compteurs avec matrices de décodage ou des compteurs multistables, etc.

La fig. 6.27 montre un autre procédé possible de synthèse des distributeurs à petite quantité de portes par « voie ». Comme dans le cas précédent, la réduction du nombre de portes résulte ici de

l'emploi du DI de base pour la commande de plusieurs portes de formation des impulsions.

Le distributeur a pour base le montage schématisé fig. 6.22 auquel sont associés, à titre complémentaire, des portes de formation des impulsions (en nombre correspondant à celui des bascules du DI de base) et un circuit de commande servant à aiguiller d'abord les premières cinq impulsions de commutation vers les portes B_1, B_2, B_3, B_4 et B_5, ensuite les cinq suivantes, vers les portes B_6, B_7, B_8, B_9 et B_{10}. L'aiguillage des impulsions de commutation s'opère comme suit. Si au repos la bascule T_t supplémentaire se trouve en état $Q = 0$, la porte B_{11} et «préouverte » par l'une de ses entrées et la porte B_{12}, bloquée par les deux entrées. Dans ces conditions, les premières cinq impulsions de commutation ont pour effet de valider une par une les « voies » constituées par les portes B_1, B_2, B_3, B_4 et B_5. En même temps, les portes du reste des « voies » B_6 à B_{10} sont bloquées par le niveau 0 provenant de la porte B_{12}. La cinquième impulsion de commutation établit le signal de commande à la sortie de la porte B_5 qui vient sur l'entrée de la bascule T_t du circuit de commande pour la placer dans l'état $Q = 1$. Maintenant, c'est la porte B_{12} qui se trouve «programmée » pour l'ouverture, la sortie de la porte B_{11} étant à 0. Le résultat en est que les cinq impulsions suivantes feront successivement débiter les « voies » 6 à 10 (portes B_6 à B_{10}). Après la cessation de la 10e impulsion de commutation, la bascule de commande sera de nouveau mise en état $Q = 0$ par son entrée T.

Le distributeur d'impulsions de la fig. 6.27 comporte 10 « voies ». Or, la réalisation d'un DI doté d'un nombre plus grand de « voies » [16, 20] exigerait un supplément de portes de formation des impulsions et une modification appropriée du circuit de commande.

6.5. Distributeurs «multiprogrammes»

Les distributeurs fonctionnant suivant plusieurs programmes sont destinés aux dispositifs à commande par microprogrammes qui se généralisent aujourd'hui en Automatique, dans la Technique des calculs et en Télémesure.

En plus des entrées de commutation, chaque distributeur « multiprogramme » possède des entrées supplémentaires servant à commander les régimes de son fonctionnement (entrées CR). Les signaux arrivant sur les entrées de commande d'un distributeur « multiprogramme » déterminent l'ordre de validation de ses « voies » qui change avec le numéro du programme.

Le fonctionnement en « multiprogrammation » est réalisable avec n'importe quel distributeur. Dans le cas général, ceci devient possible par introduction dans le montage DI ou DN de circuits logiques supplémentaires qui assurent la modification de l'ordre de succession des signaux échangés entre les éléments du distributeur (bascules,

bascules de comptage, etc.) en fonction du niveau de commande existant à l'entrée CR.

Considérons quelques exemples concrets des distributeurs « multi-programmes » (DMP) conçus à partir des compteurs et des échelles multistables. La fig. 6.28 montre le schéma synoptique d'un distributeur « quatre programmes » à 32 sorties utilisant un compteur à cinq bits à report série, auquel est réuni un décodeur à 32 sorties. Chaque « bit » du compteur représente une bascule T_t dotée de sorties « report » et « emprunt »; les trois « bits » du poids fort ont de plus les entrées V. En accord avec le principe d'organisation du compteur à report série, les sorties « report » (R) de chaque « bit » sont raccordées à l'entrée de comptage du « bit » immédiatement

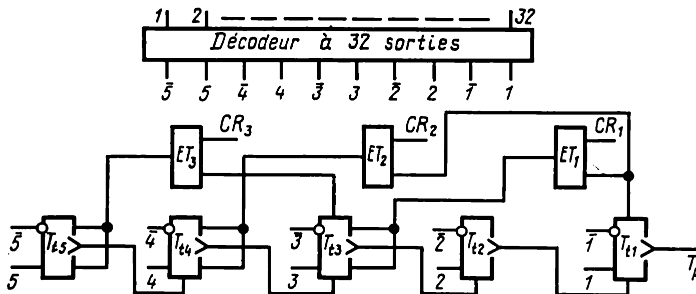


Fig. 6.28. Distributeur « quatre programmes » à 32 sorties réalisé en compteur

supérieur. Cela assure au compteur un ordre « naturel » de comptage et une validation consécutive des « voies » du distributeur de 1 (le compteur affiche le code 00001) à 32 (le code du compteur est 00000) à l'apparition des impulsions de commutation à l'entrée du distributeur (à l'entrée du premier « bit » du compteur). Les trois autres régimes de fonctionnement du distributeur sont rendus possibles par la présence de trois circuits ET supplémentaires à deux entrées chacun. Les premier et deuxième circuits (ET_1 et ET_2) ont l'une de leurs entrées connectée à la sortie « emprunt » du « bit » le moins significatif du compteur, leurs sorties étant réunies à l'entrée V respectivement des troisième et quatrième « bits » du compteur. L'une des entrées du troisième circuit (ET_3) est raccordée à la sortie « emprunt » du troisième « bit » du compteur; la sortie de ET_3 est, à son tour, reliée à l'entrée V du « bit » le plus significatif du compteur. Il est à noter qu'en raison de l'identité fonctionnelle des entrées T et V dans les bascules de comptage (cf. chapitre 2) l'impulsion appliquée à l'une quelconque de ces entrées provoque l'inversion de la bascule. En d'autres termes, les entrées T et V peuvent s'utiliser l'une et l'autre en entrées de comptage. Il faut remarquer à ce propos que cette particularité des bascules T-V permet de réaliser à leur base les compteurs de capacité (K_c) arbitraire sans avoir recours à des éléments supplémentaires.

Les secondes entrées des circuits ET reçoivent les signaux de commande des régimes de fonctionnement du distributeur CR_1, CR_2 et CR_3.

Au premier régime, toutes les trois entrées de commande sont au niveau 0 et les circuits ET sont bloqués, c.-à-d. que le comptage devient naturel. Pour que le distributeur passe au deuxième régime de fonctionnement, il faut appliquer le signal $CR_1 = 1$ (dans ce cas $CR_2 = CR_3 = 0$) qui mettra en conduction le circuit ET_1. L'effet en est qu'à l'arrivée de la première impulsion de commutation le compteur tombe du même coup de l'état 00000 en état 00101. Cela conduit à la validation de la 5[e] « voie » du distributeur au lieu de la première, comme c'était le cas du premier régime de fonctionnement.

Après la deuxième impulsion de commutation, c'est la 6[e] « voie » qui sera validée (le code du compteur sera 00110), alors qu'après la troisième on verra de nouveau débiter la « voie » dont le numéro dépasse de cinq celui de la précédente, c.-à-d. en l'occurrence la 11[e] « voie » du distributeur (le compteur affichera le code 01011). La quatrième impulsion de commutation fera intervenir la 12[e] « voie » (le code du compteur sera 01100) et ainsi de suite. De cette façon, chaque impulsion de commutation impaire valide la $(i + 5)^e$ « voie » du distributeur et chaque impulsion de commutation paire, la « voie » qui la suit immédiatement. La succession de validation de toutes les 32 « voies » se résume dans le tableau 6.3 qui fait voir

Tableau 6.3

Régimes de fonctionnement du distributeur à 4 programmes

Régimes	Ordre de succession des sorties (numéro de la sortie validée)
Régime 1 $CR_1=CR_2=$ $=CR_3=0$	32 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32
Régime 2 $CR_1 = 1$	32 5 6 11 12 17 18 23 24 29 30 3 4 9 10 15 16 21 22 27 28 1 2 7 8 13 14 19 20 25 26 31 32
Régime 3 $CR_2 = 1$	32 9 10 19 20 29 30 7 8 17 18 27 28 5 6 15 16 25 26 3 4 13 14 23 24 1 2 11 12 21 22 31 32
Régime 4 $CR_3 = 1$	32 1 2 3 20 21 22 23 24 25 26 27 12 13 14 15 16 17 18 19 4 5 6 7 8 9 10 11 28 29 30 31 32

qu'au troisième régime du distributeur ($CR_2 = 1$), lorsque le circuit ET_2 entre en conduction et que l'impulsion « emprunt » se transmet du premier « bit » au quatrième, l'ordre de « succession » des « voies » change. Chaque impulsion de commutation impaire met en débit la $(i + 9)^e$ « voie », et chaque impulsion de commutation paire, la « voie » qui vient immédiatement après.

Au quatrième régime de fonctionnement du distributeur ($CR_3 = 1$) l'ordre de validation des « voies » subit une modification

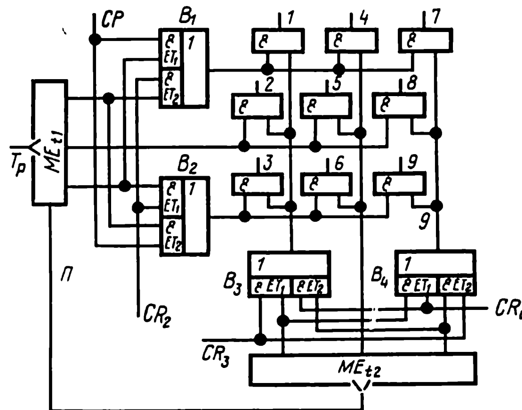


Fig. 6.29. Distributeur de niveaux « quatre programmes » à 9 sorties

significative. A partir des 20e, 12e, 4e et 28e « voies » interviennent une par une les 8 « voies » suivantes après quoi le numéro de la « voie » validée augmente de 17.

En jouant sur la nature des liaisons entre les sorties « emprunt » des « bits » du poids faible et les entrées V des « bits » du poids fort du compteur, il est possible d'obtenir d'autres régimes de fonctionnement du distributeur.

L'un des principes traditionnels d'organisation des distributeurs multiprogrammes consiste dans la complexification du décodage. Dans ce cas, on n'a pas besoin d'introduire dans le compteur des éléments supplémentaires, le décodage de chaque « voie » se faisant à l'aide d'un circuit ET-OU dont le nombre d'entrées en OU correspond à celui de régimes de fonctionnement du distributeur. Chacun des signaux de commande du régime agit sur son groupe d'entrées des circuits ET de la totalité des éléments du décodeur. Cette organisation est largement utilisée aussi bien pour les DMP à base des EMS avec matrice de décodage.

La fig. 6.29 donne un exemple du DN « quatre programmes » réalisé avec deux EMS tristables auxquelles est associée une matrice de décodage à 9 « voies ». Ce distributeur a ceci de particulier que ses régimes de fonctionnement sont commandés par les signaux d'autorisation qui viennent simultanément sur deux fils. La pre-

mière suite de 9 niveaux (premier programme) est validée par la présence de signaux d'aut risation sur les fils CR_1 et CR_3 ($CR_1 = CR_3 = 1$). Le lancement des IIe, IIIe et IVe programmes s'effectue par les combinaisons de signaux $CR_2 \cdot CR_4 = 1$, $CR_1 \cdot CR_4 = 1$ et $CR_2 \cdot CR_3 = 1$ respectivement. Considérons l'ordre de « succession » des « voies » dans chacun des programmes en posant qu'au repos les deux EMS ont l'état 100. Alors, pour $CR_1 \cdot CR_2 = 1$, la 3e « voie » du DN est en débit, les portes ET_2 et ET_1 des éléments B_2 et B_3 étant passantes. Au bout de la première impulsion de commutation ($T_p = 0$) la EMS_{t_1} prend l'état 010 et l'état de la EMS_{t_2} ne change pas. L'effet en est la validation de la deuxième « voie » du DN. A la fin de la deuxième impulsion de commutation, les portes ET_1 des éléments B_1 et B_3 s'ouvrent pour valider la première « voie » du DN. Après la troisième impulsion de commutation, la EMS_{t_1} passe à l'état 100 et l'impulsion de report qu'elle délivre ($R = 1$) met la EMS_{t_2} en état 010, ce qui produit la validation de la 6e « voie » du DN, etc. Dans la suite du premier programme, les « voies » vont se succéder comme suit : 5, 4, 9, 8, 7. La succession des « voies » validées selon les Ier, IIe, IIIe et IVe programmes est représentée dans le tableau 6.4.

Tableau 6.4

Régimes de fonctionnement du distributeur à 4 programmes

Impulsions de commutation	Programmes			
	I	II	III	IV
	$CR_1 \cdot CR_2 = 1$	$CR_2 \cdot CR_4 = 1$	$CR_1 \cdot CR_4 = 1$	$CR_2 \cdot CR_3 = 1$
	3	7	9	1
1	2	8	8	2
2	1	9	7	3
3	6	4	6	4
4	5	5	5	5
5	4	6	4	6
6	9	1	3	7
7	8	2	2	8
8	7	3	1	9
9	3	7	9	1

La réalisation d'un DN avec plus de programmes demandera l'emploi d'éléments ET-OU supplémentaires. A la fig. 6.30 on voit un distributeur d'impulsions « trois programmes » à 8 sorties utilisant deux bascules pilotées quadristables $4T_1$ et $4T_2$ et un circuit de commande supplémentaire. Les sorties du DI sont constituées par celle des portes de transfert de l'information B_1 à B_8. Le changement de programme s'obtient ici par la connexion des sorties de la bascule $4T_2$ aux portes des « voies » de la bascule

$4T_1$ avec un décalage différent. Les premier et deuxième programmes résultent du décalage des sorties de la bascule $4T_2$ d'un état, respectivement vers la droite et vers la gauche. Le troisième programme est dû au raccordement des sorties de la bascule $4T_2$ (Q_2, Q_4, Q_1, Q_3) aux portes ET_3 des éléments B_7, B_1, B_3 et B_5 respectivement. Le déclenchement de la première succession des « voies » s'effectue par application du signal d'autorisation au fil CR_1. Alors, la première impulsion de commutation incidente ($T_{p1} = 1$) rend passante la porte ET_1 de l'élément B_1 ($B_1 = 1$) et la bascule $4T_1$ prend l'état 0100 (l'état de repos de bascules est 1000). La deuxième impulsion

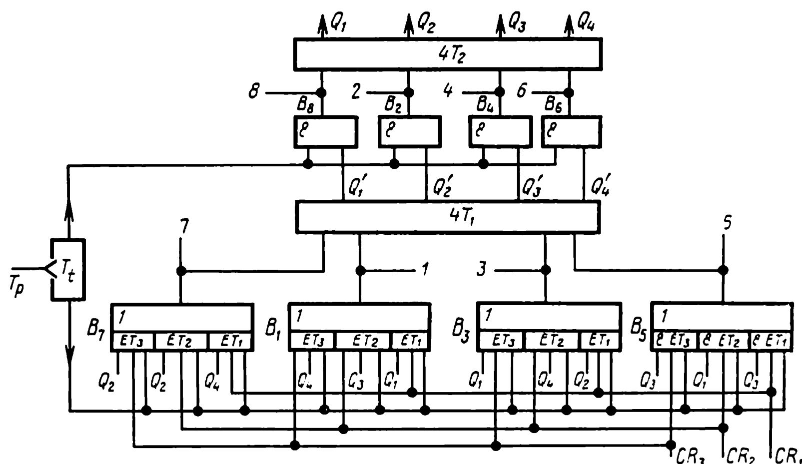


Fig. 6.30. Distributeur d'impulsions « trois programmes » à 8 sorties réalisé en échelle multistable

de commutation incidente ($T_{p1} = 1$) met en débit la deuxième « voie » du DI ($B_2 = 1$) et la bascule $4T_2$ passe au deuxième état et ainsi de suite. Donc, pour $CR_1 = 1$, il y a une succession directe des « voies » validées: 1, 2, 3, 4, 5, 6, 7, 8. Lorsque le signal d'autorisation a été appliqué au fil CR_2 ($CR_2 = 1$) et que le code des bascules était initialement 1000, la première impulsion de commutation (T_{p1}) produit la validation de la cinquième « voie » du DI et la bascule $4T_2$ se met en état 0001. La deuxième impulsion de commutation valide la sixième « voie » du DI ($B_6 = 1$) et l'état de la bascule $4T_2$ devient 0001. L'effet en est que la deuxième succession des « voies » validées se présente comme suit: 5, 6, 3, 4, 1, 2, 7, 8. L'apparition du signal d'autorisation sur le fil CR_3 ($CR_3 = 1$) donne la troisième succession des « voies » validées: 3, 4, 5, 6, 1, 2, 7, 8.

La fig. 6.30 montre l'organisation du DI « trois programmes ». Dans le cas général, par le jeu des connexions entre les sorties de la bascule $4T_2$ et les portes d'entrée de la bascule $4T_1$, on peut arriver

à d'autres modes de succession des « voies » du DI, c.-à-d. augmenter le nombre de programmes. A condition de lire l'information en sortie des deux bascules on obtient des suites des signaux différemment combinés et se recoupant dans le temps.

6.6. Certains aspects d'évaluation de facteurs représentatifs de la consommation de puissance et de la qualité d'organisation des distributeurs

Comme nous l'avons signalé à propos des C.L.I. standards la plupart d'entre eux ont pour caractère assez significatif de consommer plus de puissance au régime dynamique, c.-à-d. au cours de la commutation, qu'au régime statique. Il en est ainsi en premier lieu des C.L.I. « en vogue » tels que les familles *TTL*, C/MOST, MOSTP à effet dynamique et quasi statique [12, 5]; à noter également que pour la majeure partie des familles de C.L.I. il existe une différence essentielle entre la puissance absorbée par un élément logique standard en état 1 (P_1) et celle qu'il consomme en état 0 (P_0). Les distributeurs de signaux qui sont des dispositifs cycliques, dans lesquels le changement d'état d'un groupe d'éléments est récurrent à une certaine fréquence, manifestent de façon spectaculaire la croissance de consommation sous l'effet de l'augmentation de la puissance absorbée par les C.L.I. au régime dynamique.

On dégage généralement deux facteurs caractéristiques de la puissance consommée par un dispositif:

— puissance statique (P_s);

— puissance dynamique (P_d).

La grandeur P_s se détermine souvent par le paramètre P_{moy} par porte. Une évaluation plus précise de la puissance statique est possible à partir de l'expression:

$$P_s = \sum_{i=1}^{B_0} P_{0i} + \sum_{j=1}^{B_1} P_{1j},$$

où P_{0i} est la puissance consommée par le i-ième élément logique en état 0;

P_{1j} est la puissance consommée par le j-ième élément logique en état 1;

B_0 est le nombre d'éléments (de portes) en état 0 pendant le temps séparant deux impulsions de commutation consécutives;

B_1 est le nombre d'éléments (de portes) en état 1 pendant le temps séparant deux impulsions de commutation consécutives.

Les divers éléments (ET-NON, OU-NON, ET-OU-NON) d'une même famille de C.L.I. possèdent les P_0 et P_1 de valeur différente. Par exemple, certains auteurs [11] montrent que pour les éléments *TTL* exécutant la fonction ET-NON, on a la relation:

$$P_0 \approx 2,5 \ P_1.$$

Pour un élément réalisant la fonction ET-OU-NON cette relation devient

$$P_0 \approx 1{,}5\ P_1.$$

On voit de ces relations que l'un des moyens de réduire la consommation d'un dispositif réalisé en C.L.I. *TTL* consiste à l'organiser de manière que les portes dans l'état 1 soient en excès sur celles dans l'état 0 ($B_0 < B_1$). Cependant, dans le cas des distributeurs, il faut tenir compte de la proportion de la puissance consommée par les C.L.I. au régime dynamique dans la consommation globale du dispositif qui peut devenir décisive pour le choix de son organisation.

La consommation des C.L.I. *TTL* au régime dynamique est 2 à 4 fois celle au régime statique et dépend grandement de la fréquence d'emploi des C.L.I. Dans le cas des C.L.I. MOS à transistors complémentaires la puissance consommée au régime dynamique est 10 à 10^3 fois supérieure à celle au régime statique. La consommation de puissance au régime dynamique a pour expression:

$$P_d = P_s + \sum_{K=1}^{B_d} \Delta P_{d_k},$$

où B_d est le nombre de portes dans le dispositif qui changent d'état pendant la période de travail;

ΔP_{dk} est l'accroissement de la puissance consommée par une porte au régime dynamique.

Le paramètre ΔP_d figure souvent à titre indicatif dans le cahier des charges d'une famille de C.L.I. De l'examen de l'expression pour P_d émerge un autre moyen de réduire la consommation de puissance qui consiste à diminuer le paramètre P en jouant cette fois encore sur l'organisation du dispositif.

Analysons quelques versions répandues des distributeurs, considérées dans le présent chapitre, sur l'exemple de la famille de C.L.I. *TTL*. Les rapports entre les paramètres P_0, P_1, P_{moy} et ΔP_d caractéristiques de divers C.L.I. *TTL* standards sont donnés dans le tableau 6.5 où la puissance consommée par un élément ET-NON en état de 1 logique est prise conventionnellement pour puissance de référence (P_r). Certaines familles de C.L.I. *TTL* à faible consommation ont la valeur de P_r égale à 1 mW. Considérons les qualités en puissance des distributeurs de niveaux à 3, 4 et 5 sorties ($N_s = 3$, 4 et 5) réalisés selon les schémas suivants:

— compteur de Johnson avec décodeur (cf. § 6.1.2.);
— compteur binaire avec décodeur (cf. § 6.2.1);
— échelle multistable (cf. § 6.3).

Pour la synthèse du compteur de Johnson et du compteur binaire, on peut envisager l'emploi de bascules du type *J-K*. Le décodage des états du compteur en vue d'obtenir les signaux au niveau 1 en sortie des « voies » se fait par les éléments *TTL* ET-OU-NON

Tableau 6.5

Paramètres de la puissance consommée par les éléments *TTL* standards

Paramètre	Fonction réalisée par l'élément standard		
	ET-NON	ET-OU-NON	Bascule *J-K*
P_0	2,5	3	8
P_I	1 *)	2	8
P_{moy}	1,75	2,5	8
ΔP_d pour 1 MHz	2	2,5	8

*) Puissance de référence (P_r).

Pour fixer les idées, mettons que le distributeur à EMS_t est organisé comme dans le schéma de la fig. 5.29 et qu'il comporte une bascule multistable et un registre de mémoire.

Le tableau 6.6 présente les frais des éléments et de la puissance pour les distributeurs à 3, 4 et 5 sorties. Le choix pour l'étude comparative des distributeurs de signaux (DS) avec un tel nombre de sorties s'explique par le fait qu'ils sont suffisamment caractéristiques et peuvent servir de base à des distributeurs dotés de sorties plus nombreuses. Par exemple, un DS avec $N_s = 8$ est réalisable à partir d'un DS avec $N_s = 4$ et d'une bascule de comptage binaire; un DS avec $N_s = 10$, à partir d'un DS avec $N_s = 5$ et d'une bascule de comptage binaire; un DS avec $N_s = 15$, à partir d'un DS avec $N_s = 3$ et d'un DS avec $N_s = 5$, etc. Pour chaque cas à part le tableau indique:

— nombre d'éléments en état 0 (B_0);

— nombre d'éléments en état 1 (B_1);

— nombre d'éléments qui changent d'état pendant la période (B_d);

— puissance statique moyenne, calculée à partir de la puissance moyenne des éléments constituant le distributeur; la puissance statique moyenne des éléments est annoncée par le constructeur pour chaque famille de C.L.I. et sert souvent de base au calcul de la puissance des organes numériques;

— puissance statique (pratique) calculée compte tenu des paramètres P_0 et P_1 des éléments concrets des C.L.I. ($P_{st.\ pr.}$);

— puissance dynamique d'un DS.

Du tableau 6.6 nous pouvons tirer les conclusions suivantes:

1. Il existe une distinction apparente entre la valeur de la puissance statique pratiquement consommée par un organe numérique

Tableau 6.6

Frais des éléments et de la consommation propres aux distributeurs

Nombre de sorties		3 sorties			4 sorties			5 sorties		
Éléments et consommation \ Version		I	II	III	I	II	III	I	II	III
1. B_0	ET-NON	1		1			1	1		1
	ET-OU-NON	2	2	3	3	3	4	4	4	5
	J-K	1	1		1	1		2	2	
2. B_1	ET-NON	1		3			4	1		5
	ET-OU-NON	1	1	3	1	1	4	1	1	5
	J-K	1	1		1	1		1	1	
3. B_d	ET-NON	1		3			3	1		3
	ET-OU-NON	2	2	4	2	2	4	2	2	4
	J-K	1	1		1	1		1	2	
4. P_{moy} théorique en mW		27,0	23,5	23,0	26,0	26,0	30,0	40,5	36,5	36,0
5. P_{st} pratique en mW		28,0	24,0	20,5	27,0	27,0	26,5	42,0	38,0	32,5
6. $P_{dyn.}$ en mW		43,0	37,0	36,5	40,0	40,0	42,5	57,0	59,0	48,5
7. $\eta_{org.}$		0,65	0,65	0,57	0,67	0,67	0,6	0,7	0,6	0,7

Numérotation des versions des distributeurs dans le tableau 6.6:
I — distributeur à compteur de Johnson,
II — distributeur à compteur binaire,
III — distributeur à circuit multistable.

($P_{st.\ pr.}$) et celle de la puissance statique moyenne ($P_{st.\ moy}$). Cette distinction peut aller jusqu'à 15 % dans les DS.

2. L'évaluation des caractéristiques d'un dispositif faite à partir du paramètre $P_{st.\ pr.}$ fournit des données plus exactes pour le calcul des régimes thermiques des composants et des sources d'alimentation de l'appareillage.

3. Le choix du principe d'organisation des dispositifs numériques à effet cyclique, réalisés à base des C.L.I., doit être guidé essentiellement par la puissance consommée au régime dynamique qui dépend du nombre d'éléments dont l'état change pendant la période de travail.

4. Pour évaluer la qualité des schémas à adopter au cours de l'étude des organes numériques à base de C.L.I. à différente consommation aux régimes statique et dynamique, on peut faire appel au soi-disant « rendement d'organisation » ($\eta_{org.}$) défini comme le rapport de $P_{st.\ pr.}$ à $P_{dyn.}$ Le paramètre $\eta_{org.}$ peut être d'une grande utilité pour évaluer les schémas des organes conçus à partir des C.L.I. C/MOS ayant $P_d \gg P_{st}$.

5. Il faut noter l'efficacité d'emploi des bascules multistables (BMS) pour la synthèse des distributeurs de signaux à faible consommation de puissance au régime dynamique. La particularité des distributeurs de signaux utilisant les BMS est que le nombre de C.L.I. dont l'état change pendant la période de travail est constant avec l'augmentation du nombre de sorties du distributeur.

6. Les distributeurs de signaux à bascules multistables se caractérisent par la croissance continue du paramètre $\eta_{org.}$ avec le nombre de sorties du distributeur.

CHAPITRE VII

Décodeurs

Introduction

On appelle décodeurs les structures de logique combinatoire qui traduisent le code de nombre, appliqué à leurs entrées, en un signal d'excitation délivré sur une, et une seule, des sorties. Si les entrées du décodeur réçoivent un nombre en code binaire, le fonctionnement d'un tel décodeur binaire peut être décrit à l'aide des expressions suivantes:

$$\begin{aligned} d_0 &= \overline{X}_m \cdot \overline{X}_{m-1} \cdot \ldots \cdot \overline{X}_2 \cdot \overline{X}_1; \\ d_1 &= \overline{X}_m \cdot \overline{X}_{m-1} \cdot \ldots \cdot \overline{X}_2 \cdot X_1; \\ &\cdots\cdots\cdots\cdots \\ d_N &= X_m \cdot X_{m-1} \cdot \ldots \cdot X_2 \cdot X_1; \end{aligned} \tag{7.1}$$

où $X_1, X_2, \ldots, X_m$ sont les signaux agissant aux entrées du décodeur;

$d_0, d_1, \ldots, d_N$ sont les signaux délivrés aux sorties du décodeur.

Ainsi, le décodeur représente un ensemble des circuits de coïncidence formant un signal de commande (signal de travail) seulement sur l'une des sorties, sur les autres sorties le signal de commande étant absent. C'est pour cette raison que les décodeurs sont souvent appelés circuits de sélection ou sélecteurs [30, 31].

Quand il s'agit d'interpréter un code binaire à M positions et de réaliser toutes les combinaisons de ce code, le nombre de sorties du décodeur est donc $N = 2^M$. Le nombre d'entrées m_d du décodeur dépend de la forme sous laquelle se présente le mot d'entrée:

$$\begin{aligned} m_d &= M, \text{ lorsque le code d'entrée est monophasé,} \\ m_d &= 2M, \text{ lorsque le code d'entrée est biphasé.} \end{aligned} \tag{7.2}$$

Suivant le nombre de chiffres du code à interpréter et les possibilités d'emploi des circuits intégrés logiques dont dispose le concepteur, le décodeur peut être réalisé d'après l'un des schémas suivants:

— le schéma de décodage à un étage ou linéaire;

— le schéma de décodage à plusieurs étages.

Parmi les schémas de décodage à plusieurs étages on distingue les décodeurs rectangulaires (matriciels) et les décodeurs pyramidaux.

7.1. Décodeurs linéaires

Les décodeurs linéaires sont obtenus par réalisation directe des expressions de la forme 7.1 sans leur faire subir aucune transformation logique. Autrement dit, les décodeurs de ce type représentent l'ensemble de N portes comportant chacune M entrées et dont les sorties sont indépendantes l'une de l'autre. La fig. 7.1 donne le montage le plus simple d'un décodeur linéaire (DL_4) à quatre sorties pour le décodage des mots à deux chiffres ($M = 2$; $N = 4$). Les fonctions des quatre sorties, décrivant le fonctionnement du décodeur DL_4, ont pour expression:

$$d_0 = \overline{X}_1 \cdot \overline{X}_2 ; \qquad d_1 = X_1 \cdot \overline{X}_2 ;$$
$$d_2 = \overline{X}_1 \cdot X_2 ; \qquad d_3 = X_1 \cdot X_2 . \tag{7.3}$$

Les décodeurs linéaires sont les plus efficaces quand le nombre de chiffres M du code d'entrée ne dépasse pas celui des entrées (m_e) du circuit ET d'un élément standard du circuit CI. Il en résulte que la rapidité de leur fonctionnement est maximale par rapport à d'autres schémas de décodage et égale au retard moyen de l'élément standard du circuit CI (τ_{moy}). Etant donné que la fonction de chacune des sorties du décodeur linéaire est matérialisée par une seule porte, le nombre total de portes nécessaires à la réalisation d'un décodeur linéaire est égal à celui de ses sorties:

$$B = 2^M. \tag{7.4}$$

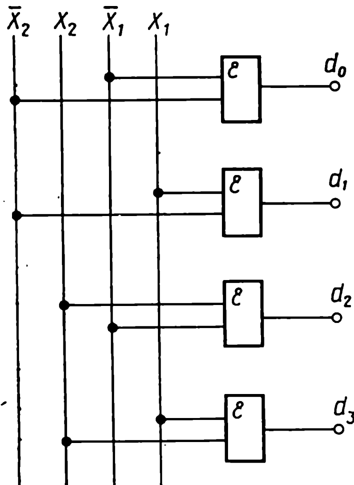


Fig. 7.1. Décodeur linéaire à 4 sorties

Lorsque les décodeurs sont réalisés en circuits intégrés, on préfère, en vue de réduire le nombre de leurs sorties, utiliser des CI à entrées monophasées (X_1, X_2, . . ., X_M), l'inversion du signal d'entrée s'effectuant à l'aide d'inverseurs supplémentaires placés à l'intérieur du cristal du circuit intégré. L'un des circuits intégrés les plus répandus, dont les décodeurs linéaires sont équipés, est le circuit SN7445 de la société « Texas Instruments » (Etats-Unis) possédant quatre entrées et dix sorties et assurant le décodage linéaire d'un code binaire à 4 positions. Le schéma fonctionnel d'un décodeur en circuit intégré à 10 sorties est représenté fig. 7.2. La formation de signaux biphasés à l'intérieur du circuit intégré a permis aussi bien de réduire de moitié le nombre d'entrées du décodeur, que d'obtenir une charge équivalente, égale à l'unité, sur chacune de

ses entrées (Q_1 à Q_4). Cela permet l'emploi d'un décodeur en association avec les registres et les compteurs en circuits intégrés dont les sorties sont à couplage direct avec les entrées du décodeur sans avoir recours aux éléments tampons pour adapter le facteur de charge de sortie des registres ou des compteurs aux entrées du décodeur. Dans le cas où le décodeur schématisé fig. 7.2 n'est utilisé qu'en décodeur à 8 sorties, sa sortie Q_4 doit être connectée au niveau logique 0, ce qui assure la fermeture permanente des portes aux sorties de $\overline{d}_8$ et $\overline{d}_9$ et l'ouverture permanente des portes $\overline{d}_0$ à d_7 par l'entrée 4. Le circuit intégré SN7445 (fig. 7.2) se prête facilement à la réalisation d'un décodeur linéaire à 16 sorties. A cet effet, il est nécessaire d'utiliser deux cristaux *CI* en réunissant leurs entrées de même nom Q_1 à Q_3 et en appliquant à l'entrée Q_4 du premier cristal la valeur directe du quatrième chiffre du code à interpréter et à l'entrée Q_4 du deuxième cristal la valeur inversée du quatrième chiffre du code à interpréter ($\overline{Q}_4$).

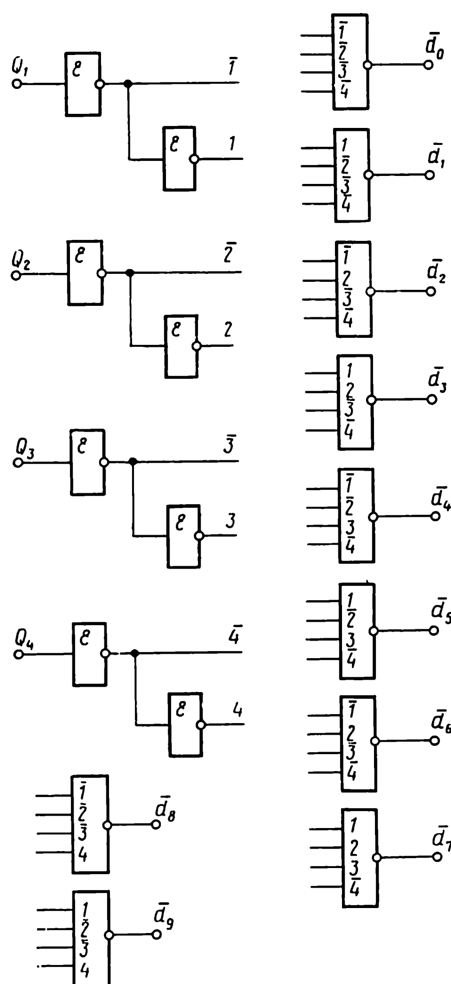


Fig. 7.2. Schéma fonctionnel d'un décodeur linéaire à 10 sorties, CI du type SN7445

Les sorties $\overline{d}_0$ à $\overline{d}_7$ du premier cristal et $\overline{d}_0$ ($\overline{d}_8$) à $\overline{d}_7$ ($\overline{d}_{15}$) du deuxième cristal du circuit intégré serviront de celles du décodeur linéaire à 16 voies. L'analyse du circuit de la fig. 7.2 permet de constater que les sorties $\overline{d}_8$ et $\overline{d}_9$ du premier circuit intégré répètent les états des sorties $\overline{d}_0$ et $\overline{d}_1$ du deuxième circuit intégré, tandis que les sorties $\overline{d}_8$ et $\overline{d}_9$ de celui-ci répètent les états des sorties $\overline{d}_0$ et $\overline{d}_1$ de celui-là.

Dans les cas où le nombre de chiffres (M) du code à interpréter dépasse le nombre maximal d'entrées (m_e) du circuit ET de l'élément standard du circuit intégré, il convient de faire appel à une

cascade de plusieurs circuits ET, car la réalisation directe du décodeur linéaire s'avère impossible. Le nombre de portes à $m_e < M$ entrées nécessaires pour réaliser la fonction ET comportant M entrées peut se définir par l'expression:

$$B = \left[\frac{M - m_e}{m_e - 1}\right]^+ + 1. \qquad (7.5)$$

Le nombre total de portes nécessaires pour réaliser un décodeur à N sorties a pour expression:

$$\Sigma B = N\left[\frac{M - m_e}{m_e - 1}\right]^+ + 1. \qquad (7.6)$$

Si le décodeur est conçu en portes ET-NON, celles-ci seront complétées par le même nombre d'inverseurs nécessaires à la réalisation des fonctions des circuits ET.

7.2. Décodeurs rectangulaires ou matriciels

Le premier étage d'un décodeur rectangulaire comporte plusieurs décodeurs linéaires permettant chacun de décoder un groupe de chiffres du mot d'entrée. Le nombre de décodeurs linéaires est déterminé par le nombre de groupes Z qui s'obtient par division du mot à plusieurs chiffres M.

Le deuxième étage du décodeur rectangulaire assure, à l'aide d'un schéma matriciel, la coïncidence des signaux de sortie des couples de décodeurs linéaires en portes à deux entrées. Si le nombre de décodeurs linéaires constituant le premier étage est impair, $Z = 3$ par exemple, les sorties du décodeur linéaire du premier étage resté sans couple, sont réunies en portes à deux entrées aux sorties du deuxième étage de manière à former un troisième étage du décodeur rectangulaire. Illustrons par un calcul analytique simple le principe de réalisation d'un décodeur rectangulaire. Soit un mot à M chiffres divisé en trois groupes de chiffres: M_1, M_2 et M_3 de manière que $M = M_1 + M_2 + M_3$. Alors, trois décodeurs linéaires du premier étage auront respectivement 2^{M_1}, 2^{M_2} et 2^{M_3} sorties.

Les sorties de deux décodeurs linéaires sont réunies dans le deuxième étage du décodeur rectangulaire à l'aide de circuits ET à deux entrées. Le deuxième étage aura donc $2^{M_1} \cdot 2^{M_2} = 2^{M_1+M_2}$ sorties. Les sorties du deuxième étage et du troisième décodeur linéaire du premier étage sont réunies à l'aide de circuits de coïncidence du troisième étage qui aura $2^{M_1+M_2+M_3} = 2^M$ sorties.

La fig. 7.3 représente le schéma synoptique d'un décodeur matriciel à 256 sorties. Le premier étage est constitué par deux décodeurs linéaires à 8 sorties chacun (DL_1 et DL_2) et un décodeur linéaire à 4 sorties (DL_3). Le deuxième étage comporte un décodeur à 64 sorties (DM64) en circuits ET à deux entrées. Sur 16 entrées de ce décodeur viennent se connecter les sorties des décodeurs linéaires DL_1 et DL_2 du premier étage. La coïncidence des signaux dans le

décodeur DM64 est obtenue d'après un schéma matriciel, lorsque chacune des 8 sorties du décodeur DL_1 et chacune des 8 sorties du décodeur DL_2 sont introduites dans les circuits ET, ce qui donne $8 \times 8 = 64$ sorties du décodeur matriciel DM64.

Le troisième étage représente un décodeur matriciel à 256 sorties réalisé en circuits ET. Sur 68 entrées de ce décodeur sont connectées 64 sorties du décodeur matriciel DM64 et 4 sorties du décodeur linéaire DL_3. Les sorties du décodeur rectangulaire sont les 256 sorties du DM256. Pour les décodeurs de tous les étages réalisés en

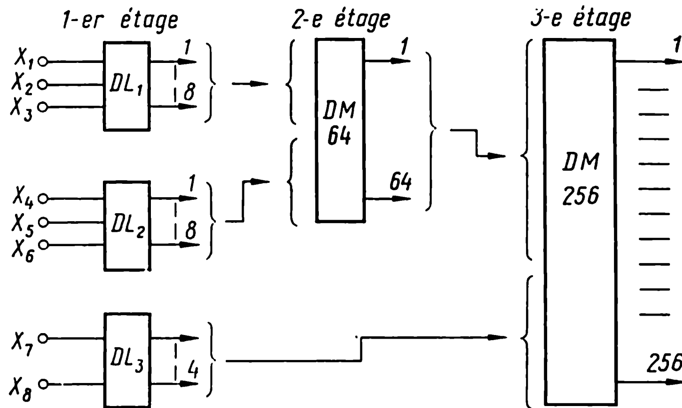


Fig. 7.3. Schéma synoptique d'un décodeur rectangulaire à 256 sorties

circuits ET, le retard de transmission du signal de l'entrée à la sortie du décodeur rectangulaire de la fig. 7.3 est égal à $3\tau_{moy}$ en cas des entrées biphasées des décodeurs linéaires DL_1 et DL_2 et à $4\tau_{moy}$ si les entrées de ceux-ci sont monophasées (les signaux X sont obtenus à l'aide des inverseurs prévus dans les décodeurs DL_1 et DL_2). La réalisation d'un décodeur linéaire DL_3 à entrées biphasées, comme à entrées monophasées n'influe pas sur la rapidité de fonctionnement du décodeur rectangulaire, puisque le retard dû à l'inversion du signal dans le décodeur linéaire DL_3 sera compensé par le retard introduit par les portes du décodeur DM64.

Déduisons la relation déterminant la séparation optimale du mot à M chiffres en vue de réaliser un décodeur rectangulaire à deux étages dont le nombre de portes (ΣB) est minimal. Le nombre total de portes nécessaires pour réaliser un décodeur à deux étages a pour expression:

$$\Sigma B = 2^M + 2^X + 2^{M-X}, \tag{7.7}$$

où 2^M est le nombre de portes à deux entrées pour un décodeur matriciel du deuxième étage;

2^X est le nombre de portes à X entrées pour le premier décodeur linéaire du premier étage;

2^{M-X} est le nombre de portes à $(M-X)$ entrées pour le deuxième décodeur linéaire du premier étage.

Calculant la dérivée de la fonction ΣB en X et annulant cette dérivée, on trouve la valeur de X pour laquelle la somme ΣB est minimale:

$$\frac{d\Sigma B}{dX} = 2^X \cdot \ln 2 - 2^{M-X} \cdot \ln 2;$$
$$2^X = 2^{M-X}; \quad 2 \cdot X = M; \quad X = \frac{M}{2}. \qquad (7.8)$$

On voit donc qu'en réalisant un décodeur à deux étages, il convient de le diviser en deux groupes égaux en nombre d'entrées ($M/2$) lorsque M est pair ou en deux groupes dont le nombre d'entrées diffère d'une unité $\left(\frac{M-1}{2}\right.$ et $\left.\frac{M+1}{2}\right)$ pour M impair.

Ainsi, le nombre total de portes pour les décodeurs rectangulaires à deux étages réalisés avec une division optimale en groupes peut se déduire des expressions:

$$\Sigma B = 2^M + 2 \cdot 2^{\frac{M}{2}} \text{ pour } M \text{ pair,}$$
$$\Sigma B = 2^M + 2^{\frac{M-1}{2}} + 2^{\frac{M+1}{2}} \text{ pour } M \text{ impair.} \qquad (7.9)$$

L'emploi de circuits intégrés standards à transistors bipolaires et à transistors MOS, réalisant les fonctions logiques ET, ET-NON, OU-NON, permet de construire, compte tenu des principes généraux de synthèse des décodeurs rectangulaires, des décodeurs à un nombre de sorties arbitraire. Cependant, les avantages qu'offrent les circuits intégrés à transistors MOS permettent, grâce à la spécificité de leur montage, d'obtenir des schémas suffisamment économiques des décodeurs rectangulaires. Sur la fig. 7.4 on voit l'un des schémas économiques d'un décodeur rectangulaire à 8 sorties à transistors MOS complémentaires. Dans ce schéma, les décodeurs linéaires du premier étage sont à transistors C/MOS-PB (cf. § 1.3) et le décodeur matriciel du deuxième étage à transistors en portes. Ce schéma a ceci de particulier que la présence d'une quatrième entrée (Q_4) permet, tout comme dans le schéma de la fig. 7.2, la synthèse d'un décodeur à 16 sorties à partir de deux décodeurs à 8 sorties chacun.

Compte tenu du fait que le décodeur doit avoir à ses sorties 8 inverseurs supplémentaires en vue d'assurer son fonctionnement stable sur une charge capacitive, on a besoin d'un nombre de 42 transistors MOS par montage. La synthèse d'un décodeur linéaire à 8 entrées à base des portes à quatre entrées nécessitera 64 transistors MOS complémentaires (la description détaillée des portes à plusieurs entrées réalisées à partir des circuits intégrés à transistors MOS complémentaires fait l'objet du § 1.3.2). Le retard maximal dans le montage de la fig. 7.4, calculé par décodage des signaux obtenus sur les sorties $\bar{d}_4$ et $\bar{d}_8$, constitue $3\tau_{moy}$. Il existe d'autres

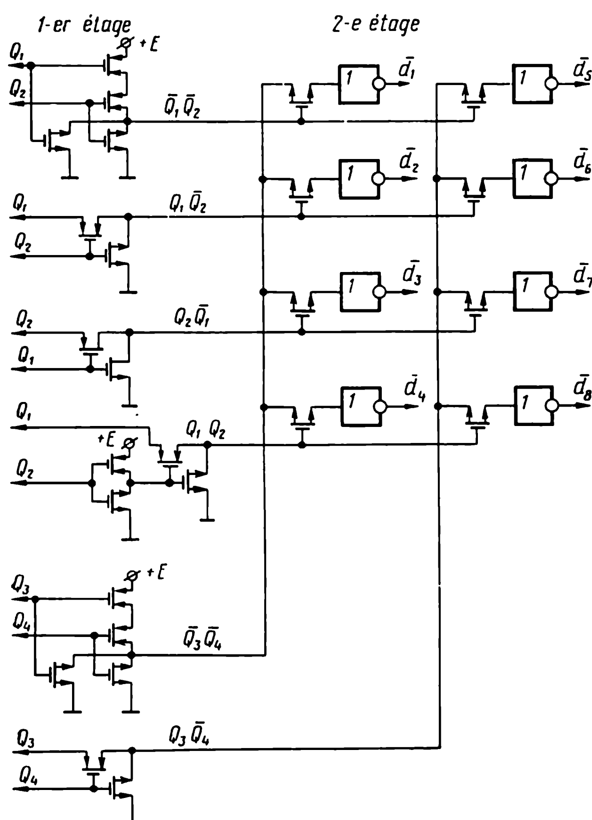


Fig. 7.4. Schéma d'un décodeur rectangulaire à 8 sorties à base de transistors MOS complémentaires

versions de décodeurs à transistors MOS, utilisant, par exemple, le montage en série des transistors dans le circuit ET, qui sont employés en décodeurs intégrés des mémoires à semi-conducteurs, etc.

7.3. *Décodeurs pyramidaux*

Tout comme les décodeurs rectangulaires, les décodeurs pyramidaux se classent parmi les décodeurs à plusieurs étages ayant pour caractère l'application dans tous les étages de décodage de portes à deux entrées et le branchement obligatoire de la sortie d'un élément du i-ième étage sur les entrées de deux éléments seulement du $(i + 1)$-ième étage. Le nombre (K) d'étages du décodeur pyramidal est d'une unité inférieur au nombre de chiffres du mot à décoder: $K = M - 1$, tandis que le nombre de portes dans chacun des étages est donné par la formule suivante:

$$B_i = 2^{i+1}, \tag{7.10}$$

où i est le numéro de l'étage du décodeur pyramidal.

Le nombre total de portes du décodeur s'obtient par l'expression:

$$\Sigma B = \Sigma^{K} 2^{i+1}, \quad i = 1. \qquad (7.11)$$

Le principe de réalisation d'un décodeur pyramidal à 16 sorties est illustré fig. 7.5. Les signaux obtenus sur chacune des 16 sorties du décodeur sont formés à l'aide de trois étages, étant donné que le code à interpréter est à 4 chiffres, $M = 4$. Les portes B_0 à B_4

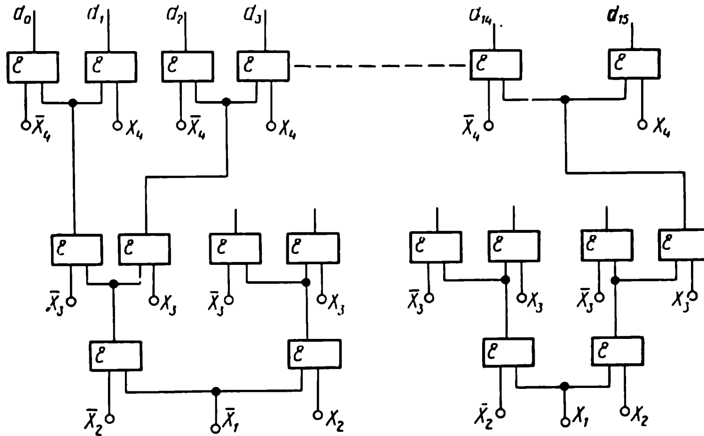


Fig. 7.5. Schéma d'un décodeur pyramidal à 16 sorties

du premier étage produisent quatre signaux représentant diverses conjonctions des deux variables d'entrée X_1 et X_2 et de leurs complémentarités $\overline{X}_1$ et $\overline{X}_2$. Les signaux délivrés aux sorties du deuxième étage sont obtenus de la même manière, à cela près que l'une des variables de chacune des portes constituant le deuxième étage est représentée par les signaux X_3 et $\overline{X}_3$ et l'autre par les signaux de sortie du premier étage de décodage. Il en résulte qu'aux sorties du deuxième étage il y a déjà formation de 8 signaux:

$$\begin{aligned} 1 &= \overline{X}_1 \cdot \overline{X}_2 \cdot \overline{X}_3; & 2 &= \overline{X}_1 \cdot \overline{X}_2 \cdot X_3; \\ 3 &= \overline{X}_1 \cdot X_2 \cdot \overline{X}_3; & 4 &= \overline{X}_1 \cdot X_2 \cdot X_3; \\ 5 &= X_1 \cdot \overline{X}_2 \cdot \overline{X}_3; & 6 &= X_1 \cdot \overline{X}_2 \cdot X_3; \\ 7 &= X_1 \cdot X_2 \cdot \overline{X}_3; & 8 &= X_1 \cdot X_2 \cdot X_3. \end{aligned} \qquad (7.12)$$

Enfin, les portes du troisième étage réunissent les signaux de sortie du deuxième étage et les signaux X_4 et $\overline{X}_4$ pour produire les signaux de sortie d_0 à d_{15} du décodeur pyramidal.

Vu que le premier étage du décodeur comporte toujours 2^2 portes et que le nombre de portes dans les étages suivants est toujours doublé, on peut écrire l'expression 7.11 comme fonction du nombre

de chiffres M du code à interpréter:

$$\Sigma B = 2^2 (2^{M-1} - 1). \qquad (7.13)$$

Les inconvénients des décodeurs pyramidaux sont une charge inégale de différentes entrées et un grand nombre d'étages (M-1) qui baisse la rapidité de son fonctionnement. Le décodeur pyramidal étant réalisé en éléments ET, la rapidité de son fonctionnement se définit comme suit:

$$\tau_d = \tau_{moy} (M-1). \qquad (7.14)$$

Comparons les décodeurs pyramidal et linéaire par le nombre de leurs portes, en supposant qu'ils sont les deux réalisés en éléments ET à deux entrées ($m_e = 2$). Dans ces conditions, pour établir un décodeur linéaire à M entrées, il faudra employer des éléments ET à M entrées. Portant $m = 2$ dans l'expression 7.5, on trouve que la synthèse d'un circuit ET à M entrées nécessite (M — 1) portes à deux entrées.

Ainsi, pour réaliser un décodeur linéaire à 2^M sorties, il faudra 2^M (M — 1) portes, alors qu'un décodeur pyramidal ayant le même nombre de sorties en demandera 4 (2^{M-1} — 1). Ecrivons le rapport de ces deux expressions:

$$F = \frac{\Sigma B_{DL}}{\Sigma B_{DP}} = \frac{2^M \cdot (M-1)}{2^2 (2^{M-1} - 1)}. \qquad (7.15)$$

Par simple transformation, on obtient le rapport modifié:

$$F = \frac{2^{M-2} (M-1)}{2^{M-1} - 1}. \qquad (7.16)$$

Lorsque $M = 2$, le rapport $F = 1$, autrement dit les décodeurs linéaire et pyramidal exigent pour leur réalisation le même nombre de portes à deux entrées. Pour $M = 3, 4, 5, \ldots$, etc., on peut écrire $M - 1 \geqslant 2^1$ et en tirer une expression plus simple:

$$F = \frac{2^{M-2} \cdot 2^1}{2^{M-1} - 1} = \frac{2^{M-1}}{2^{M-1} - 1}. \qquad (7.17)$$

L'expression 7.17 montre clairement que dans tous les cas où le nombre de chiffres du code à interpréter $M \geqslant 3$, le paramètre $F > 1$. Cela veut dire que le schéma du décodeur pyramidal est plus avantageux que celui du décodeur linéaire à condition que l'un et l'autre soient réalisés en portes à deux entrées. C'est ainsi que, pour $M = 4$ et en vertu de l'expression 7.16, le paramètre $F \approx 1{,}7$. Cela signifie qu'un décodeur pyramidal à 16 sorties nécessite un nombre de circuits intégrés ET à deux entrées qui est de 70 % inférieur à celui qu'exige un décodeur linéaire réalisé en mêmes circuits. Pour une comparaison complète de différents schémas des décodeurs, considérons les dépenses en composants pour la synthèse d'un décodeur rectangulaire à 16 sorties ($M = 4$) et

d'un décodeur pyramidal à 16 sorties, tous les deux étant en portes ET.

Le premier étage du décodeur rectangulaire comportera deux décodeurs linéaires et le deuxième un décodeur matriciel à 16 sorties qui demandera pour sa réalisation, en vertu de la relation 7.9, 24 portes ET à deux entrées. D'après l'expression 7.11, la synthèse d'un décodeur pyramidal analogue à trois étages ($K = 3$) nécessitera 28 portes ET. Comme il a été dit précédemment, la réalisation de décodeurs à plusieurs étages uniquement en éléments ET-NON exigera deux fois plus d'éléments, ce qui a été calculé d'après les expressions 7.9 et 7.11, étant donné que pour matérialiser les fonctions ET on a besoin d'un inverseur supplémentaire à la sortie de chaque porte ET-NON. Une telle réalisation de décodeurs n'est pas efficace du point de vue de la rapidité de fonctionnement (τ_d augmente de 2 fois) et des dépenses matérielles et énergétiques.

Les séries les plus répandues de circuits intégrés en *TTL*, MOS et autres contiennent des éléments faisant fonctions ET-NON et OU-NON (ET-OU-NON), ce qui permet d'obtenir des décodeurs économiques à deux étages. L'emploi conjoint des éléments ET-NON et OU-NON permet de réaliser les fonctions pour chacune des sorties du décodeur conformément à l'expression

$$d = X_1 \cdot X_2 \cdot \ldots \cdot X_M =$$
$$= \overline{\overline{X_1 \cdot X_2 \cdot X_3} + \overline{X_4 \ldots X_i} + \overline{X_{i+1} \ldots X_M}}. \qquad (7.18)$$

La fig. 7.6 représente le schéma fonctionnel d'un décodeur à 16 sorties dont le premier étage est constitué par deux décodeurs linéaires à $N_1 = N_2 = 4$ sorties réalisés en 8 éléments ET-NON. Le deuxième étage est un décodeur matriciel à 16 éléments ET-OU-NON dont les sorties d_0 à d_{15} fournissent un signal de travail au niveau logique 1. La réalisation du décodeur de la fig. 7.6 implique l'emploi de 24 portes ET-NON et OU-NON, au lieu de 48 (dont 24 inverseurs) nécessaires pour la synthèse d'un décodeur analogue en circuits ET-NON.

Il convient de souligner l'efficacité particulière des décodeurs rectangulaires avec l'augmentation du nombre de leurs sorties, lorsque le nombre de chiffres (M) des codes dépasse considérablement les facteurs pyramidaux des entrées (m_c) des portes. Dans ce cas, on utilise des décodeurs rectangulaires à plusieurs étages, en divisant le code du mot d'entrée dans le premier étage en un grand nombre de groupes réunis en couples. Les décodeurs de tous les étages suivants, à partir du deuxième, sont montés d'après le schéma matriciel et de nouveau réunis, en couples, aux étages de rang plus élevé et ainsi de suite jusqu'au décodeur matriciel du dernier étage (le plus élevé) à 2^M sorties. La fig. 7.7 représente le schéma synoptique d'un décodeur rectangulaire à 256 sorties, pour $M = 8$. Ce schéma est valable pour le cas d'un décodeur réalisé à partir des portes ET à deux entrées. Le montage comporte trois étages. Le

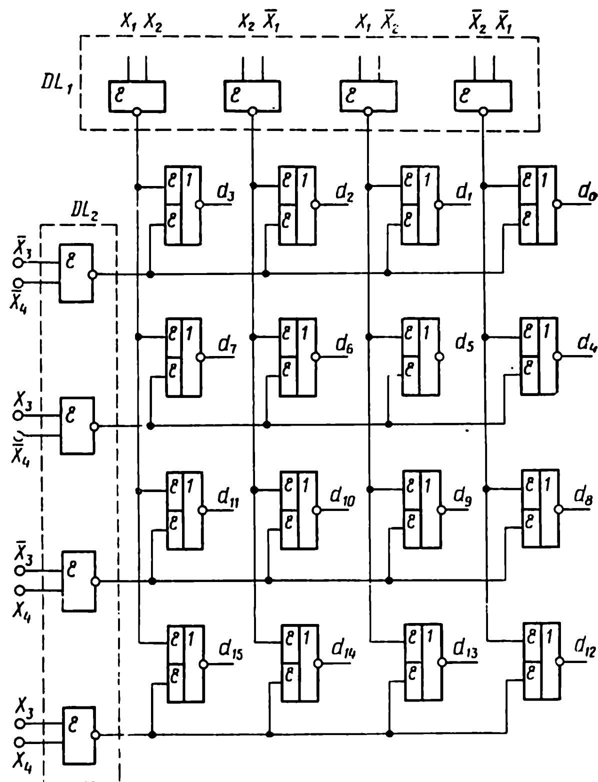


Fig. 7.6. Décodeur à deux étages à 16 sorties en éléments ET-NON et ET-OU-NON

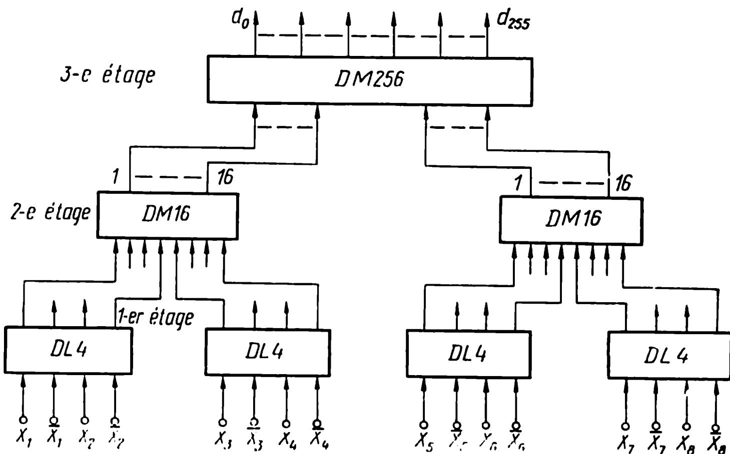


Fig. 7.7. Schéma synoptique d'un décodeur rectangulaire à trois étages à 256 sorties en portes ET à deux entrées

premier est constitué par quatre décodeurs linéaires à quatre sorties chacun (DL_4), le deuxième par deux décodeurs matriciels à 16 sorties chacun (DM16) et le troisième par un décodeur matriciel à 256 sorties (DM256). Conformément à l'expression 7.9 pour $M = 8$ et compte tenu du nombre d'étages $K = 3$, le nombre de portes ET à deux entrées pour la synthèse de tout le montage sera:

$$2^M + 2^{\frac{M}{2}+1} + 2^{\frac{M}{4}+2} = 2^8 + 2^5 + 2^4 = 304. \qquad (7.19)$$

Ainsi, un décodeur rectangulaire à 256 sorties nécessitera 304 portes ET à deux entrées et la rapidité de son fonctionnement sera égale à $3\tau_{moy}$. Portant $K = 7$ (puisque $K = M - 1$) dans l'expression 7.11, on trouve un nombre de 508 portes à deux entrées nécessaires pour un décodeur pyramidal à 256 sorties, ce qui dépasse de beaucoup celui d'un décodeur rectangulaire. En outre, la rapidité de fonctionnement, égale à $7\tau_{moy}$, du décodeur pyramidal est 3,5 fois plus faible que celle du décodeur rectangulaire. Toutefois, on doit se rappeler toujours que l'emploi de circuits intégrés réels caractérisés par un facteur de charge de sortie limité ($n_e = 5$ à 10) demandera, dans les décodeurs rectangulaires, des éléments tampons spéciaux pour obtenir une sortance suffisamment élevée des portes utilisées dans le deuxième étage et les étages plus élevés (pour $K > 3$) opérant sur 16, 32 et plus de charges.

L'emploi d'éléments tampons fera croître les dépenses matérielles et énergétiques dans les décodeurs rectangulaires et pourra réduire considérablement la rapidité de leur fonctionnement. Un décodeur pyramidal est exempt de ce défaut, étant donné que les sorties des éléments dans chacun de ses étages n'opèrent que sur 2 charges sous la forme des portes de l'étage suivant. L'obtention des facteurs pyramidaux des circuits de sortie pour les étages élevés du décodeur pyramidal (les entrées X_4 et $\overline{X}_4$, X_5 et $\overline{X}_5$, etc.) grâce à l'emploi d'éléments tampons ne conduit pas à une augmentation appréciable des dépenses matérielles et n'affecte pas la rapidité de fonctionnement du montage tout entier. Le retard des signaux d'entrée dans les éléments tampons est compensé par le retard des signaux dans les premiers étages du décodeur pyramidal.

L'étude des décodeurs et l'évaluation de leurs dépenses matérielles et énergétiques doivent se baser sur une analyse commune des possibilités fonctionnelles de toute la nomenclature des éléments des circuits intégrés et des particularités propres à divers schémas de réalisation des décodeurs. Il est intéressant de procéder à l'analyse de la réalisation pratique, suivant les modes décrits, de différentes versions des décodeurs en les comparant d'après les caractéristiques techniques telles que: nombre de boîtiers des circuits intégrés standards, puissance consommée et rapidité de fonctionnement.

Considérons un exemple concret de synthèse d'un décodeur à 256 sorties ($M = 8$), étant donné que le concepteur dispose des

circuits intégrés standards dont les caractéristiques sont spécifiées dans le tableau 7.1.

Version 1. Décodeur linéaire à 256 sorties. La synthèse de ce décodeur exige 256 éléments 8ET-NON (type IV), 32 éléments tampons (type VII) pour assurer le facteur de charge de sortie du décodeur et 256 inverseurs (type III) pour obtenir des signaux de sortie sous forme des niveaux logiques 0. Les caractéristiques principales du décodeur linéaire à 256 sorties sont réunies dans le tableau 7.2. Le retard de décodage est égal à $3\tau_{moy}$.

Version 2. La synthèse d'un décodeur pyramidal à 7 étages nécessitera, conformément à la formule 7.11, 504 portes 2ET-NON et autant d'inverseurs. Toutefois, il y a intérêt à réaliser ce décodeur pyramidal en utilisant dans tous les étages impairs (1, 3, 5 et 7) les portes 2ET-NON et dans tous les étages pairs (2, 4, 6) les éléments 2ET-OU-NON (type V), en les faisant fonctionner en circuits OU-NON pour la coïncidence des signaux au niveau 0 en provenance des portes 2ET-NON. Dans ce cas, la réalisation du décodeur pyramidal exige, d'après la formule 7.10, $(4 + 16 + 64 + 256) = 340$ portes 2ET-NON et $(8 + 32 + 128) = 168$ circuits 2ET-OU-NON. De plus, en vue d'élever l'entrance, il faudra employer 4 inverseurs (type III) pour les entrées X_5 et $\overline{X}_5$, 8 inverseurs pour les entrées X_6 et $\overline{X}_6$, 2 éléments tampons pour les entrées X_7 et $\overline{X}_7$ et enfin 4 éléments tampons (type VII) pour les entrées X_8 et $\overline{X}_8$. Or, pour obtenir des signaux de polarité positive à la sortie du décodeur, il faudra mettre en œuvre 256 inverseurs. Le retard de décodage de ce montage sera égal à $9{,}5\,\tau_{moy}$.

Version 3. La synthèse d'un décodeur rectangulaire à deux étages exige $2 \times 16 = 32$ portes 4ET-NON (type II) pour la réalisation de deux décodeurs linéaires. Pour assurer le fonctionnement des sorties des décodeurs linéaires du premier étage, il faut placer $2 \times 2 \times 16 = 64$ inverseurs aux entrées du décodeur du deuxième étage (16 charges). Le décodeur matriciel du deuxième étage exige 256 portes 2ET-NON et 256 inverseurs. Le retard de décodage introduit par ce montage sera égal à $5\tau_{moy}$.

Version 4. Elle est possible à deux étages et nécessite $4 \times 4 = 16$ portes-tampons 2ET-NON pour la synthèse de quatre décodeurs linéaires dans le premier étage et 256 circuits 2ET-4OU-NON (type VI) pour réaliser les circuits de coïncidence des signaux au niveau 0 en provenance des décodeurs du premier étage conformément à l'expression 7.18 et aux expressions concrètes pour chacune des sorties du décodeur :

$$\begin{aligned}
d_0 &= \overline{\overline{\overline{\overline{\overline{X}}_1\cdot\overline{\overline{X}}_2} + \overline{\overline{\overline{X}}_3\cdot\overline{\overline{X}}_4} + \overline{\overline{\overline{X}}_5\cdot\overline{\overline{X}}_6} + \overline{\overline{\overline{X}}_7\cdot\overline{\overline{X}}_8}}},\\
d_1 &= \overline{\overline{\overline{X_1\cdot\overline{\overline{X}}_2} + \overline{\overline{\overline{X}}_3\cdot\overline{\overline{X}}_4} + \overline{\overline{\overline{X}}_5\cdot\overline{\overline{X}}_6} + \overline{\overline{\overline{X}}_7\cdot\overline{\overline{X}}_8}}},\\
&\cdots\cdots\cdots\cdots\cdots\cdots\\
d_{255} &= \overline{\overline{\overline{X_1\cdot X_2} + \overline{X_3\cdot X_4} + \overline{X_5\cdot X_6} + \overline{X_7\cdot X_8}}}.
\end{aligned} \qquad (7.20)$$

Tableau 7.1

Paramètres des circuits intégrés standards

Type de *CI*	Fonction de l'élément	Nombre d'éléments dans un boîtier	Puissance d'un élément	Rapidité d'un élément	Sortance
I	2ET-NON	quatre	P_{moy}	τ_{moy}	10
II	2ET-NON	deux + inverseur	P_{moy}	τ_{moy}	10
III	Inverseur	six	P_{moy}	τ_{moy}	10
IV	8ET-NON	un	P_{moy}	τ_{moy}	10
V	2ET-OU-NON	deux	$1,5P_{moy}$	$1,5\tau_{moy}$	10
VI	2ET-4OU-NON	un	$2P_{moy}$	$2\tau_{moy}$	10
VII	Porte-tampon 2ET-NON	deux	$10P_{moy}$	τ_{moy}	70

Le retard de décodage obtenu avec ce dernier montage sera égal à $3\tau_{moy}$.

Les caractéristiques techniques principales des quatre versions d'un décodeur à 256 sorties à base de circuits intégrés standards (tableau 7.1) sont consignées dans le tableau 7.2. L'analyse du tableau 7.2 montre que pour une rapidité de fonctionnement maximale, le décodeur en version 4 est le plus efficace. Par rapport à la version 1, utilisant le schéma de décodage linéaire à un seul étage, ledit décodeur se distingue par $\tau_d = 3\tau_{moy}$, par le nombre de boîtiers réduit de 13 % et la puissance consommée, de 24 %. Le minimum de dépenses matérielles et énergétiques revient à la version 3 (dé-

Tableau 7.2

Caractéristiques techniques de quatre versions d'un décodeur à 256 sorties

Versions DM256	Eléments fonctionnels de *CI* et leur quantité	Nombre de boîtiers de *CI* par version	Puissance consommée	Rapidité de fonctionnement
1. Linéaire	8ET-NON-256 Tampon 2ET-NON-32 Inverseur-256	305	$832P_{moy}$	$3\tau_{moy}$
2. Pyramidale	2ET-NON-340 2ET-OU-NON-168 Inverseur-268 Tampon 2ET-NON-6	217	$910P_{moy}$	$9,5\tau_{moy}$
3. Rectangulaire	4ET-NON-32 2ET-NON-256 Inverseur-320	111 (16 inverseurs sont réalisés en inverseurs *CI* 4ET-NON)	$608P_{moy}$	$5\tau_{moy}$
4. A deux étages	Tampon 2ET-NON-16 2ET-4OU-NON-256	264	$672P_{moy}$	$3\tau_{moy}$

codeur pyramidal) dont le nombre de boîtiers est 2,4 fois inférieur à celui de la version 4 et dont la rapidité de fonctionnement moyenne est égale à $5\tau_{moy}$. Quant au décodeur linéaire à $M = 8$ en éléments 8ET-NON qui semble à première vue être le plus efficace, il s'avère en réalité, compte tenu des paramètres réels des circuits intégrés, le moins économique du point de vue du nombre de boîtiers de circuits intégrés et de la consommation d'énergie.

CHAPITRE VIII

Additionneurs

Introduction

Les additionneurs, partie intégrante des calculateurs arithmétiques micro-électroniques, sont destinés à effectuer des opérations arithmétiques ou logiques sur des nombres en codes binaire, binaire-décimal, ternaire et autres [25, 26]. On distingue respectivement les additionneurs binaires, binaires-décimaux, ternaires, etc.

Le présent chapitre a pour objet l'étude des additionneurs binaires les plus répandus et des particularités de leur réalisation en circuits intégrés numériques.

Les additionneurs à une ou à plusieurs positions sont destinés à l'addition soit en série, à partir du poids le plus faible, soit en parallèle, c.-à-d. simultanément sur tous les rangs, soit enfin en parallèle-série, lorsque le nombre à plusieurs chiffres est divisé en groupes dont les chiffres sont additionnés en parallèle et les groupes, en série.

Le caractère important permettant la classification des additionneurs parallèles est le mode de formation du report pendant l'addition. On distingue des additionneurs à report série, à report rapide (du type « ripple through ») et à report par groupes, dont les particularités de réalisation seront décrites au § 8.2.

8.1. Additionneurs à une position

Dans les dispositifs numériques on utilise des additionneurs à deux et à trois entrées. Les premiers portent le nom de demi-additionneurs et les deuxièmes, d'additionneurs monodigits complets. Les fonctions réalisées par un demi-additionneur et un additionneur monodigit complet (AMC) sont données respectivement par les expressions 8.1 et 8.2:

$$\left.\begin{aligned} S' &= \bar{a}\cdot b + a\cdot\bar{b}, \\ R' &= a\cdot b, \end{aligned}\right\} \qquad (8.1)$$

$$\left.\begin{aligned} S &= \bar{a}\cdot\bar{b}\cdot c + a\cdot\bar{b}\cdot\bar{c} + \bar{a}\cdot b\cdot\bar{c} + a\cdot b\cdot c, \\ R &= a\cdot b + a\cdot c + b\cdot c, \end{aligned}\right\} \qquad (8.2)$$

où a, b, et c sont les nombres d'entrée;

S' est la somme du demi-additionneur;

R' est le report du demi-additionneur ;
S est la somme de l'additionneur complet ;
R est le report de l'additionneur complet.

Toutes les combinaisons que peuvent prendre les états des entrées et des sorties d'un demi-additionneur et d'un additionneur complet sont indiquées respectivement dans les tableaux 8.1 et 8.2. Utilisant les axiomes de l'algèbre de logique (cf. § 1.1.1) on peut transformer de manière différente l'expression 8.2 et obtenir ainsi plusieurs variantes de réalisation des fonctions de la somme et du report :

Tableau 8.1

Etat de l'entrée a	Etat de l'entrée b	Etat de la sortie S'	Etat de la sortie R'
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Tableau 8.2

Etats des entrées			Etats des sorties	
a	b	c	Somme S	Report R
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

$$\left.\begin{aligned} S &= (a\cdot\bar{b}+\bar{a}\cdot b)\cdot\bar{c}+(a\cdot b+\bar{a}\cdot\bar{b})\cdot c, \\ R &= a\cdot b+\overline{(a\cdot b+\bar{a}\cdot\bar{b})}\cdot c, \end{aligned}\right\} \quad (8.3)$$

$$\left.\begin{aligned} S &= \overline{\bar{a}\cdot\bar{b}\cdot\bar{c}+R\,(\bar{a}+\bar{b}+\bar{c})}, \\ R &= \overline{\bar{a}\cdot\bar{b}+\bar{a}\cdot\bar{c}+\bar{b}\cdot\bar{c}}, \end{aligned}\right\} \quad (8.4)$$

$$\left.\begin{aligned} S &= a\cdot b\cdot c+\bar{R}\,(a+b+c), \\ R &= a\cdot b+a\cdot c+b\cdot c. \end{aligned}\right\} \quad (8.5)$$

Suivant la forme de la fonction de base réalisée par un microcircuit intégré (ou par une série de microcircuits) ET-NON, OU-NON, ET-OU-NON, NON, ET-OU et autres, les différentes expressions (8.2 à 8.5 ou autres) peuvent servir de base pour la réalisation de

l'additionneur. Ainsi, l'expression 8.3 convient bien pour la synthèse du schéma d'un additionneur complet en circuits intégrés réalisant les fonctions NON, ET-OU (la logique *T-TTL* et C/MOST-PB). Le schéma d'un tel additionneur a été donné au chapitre 1 (fig. 1.28).

L'emploi de circuits intégrés logiques ET-OU-NON et d'inverseurs supplémentaires rend commode la synthèse du schéma de l'additionneur conformément aux expressions 8.4 et 8.5. Ces schémas sont employés dans les additionneurs à circuits intégrés des séries SN7482 et SN7483.

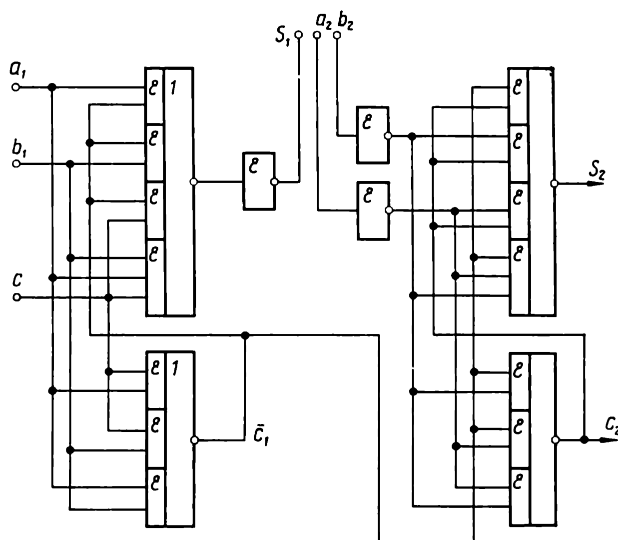


Fig. 8.1. Association de deux additionneurs à une position à entrées monophasées en éléments ET-OU-NON

La fig. 8.1 représente le schéma fonctionnel d'un additionneur à deux positions de la série SN7482 dont le premier bit est réalisé d'après l'expression 8.5 et le deuxième, d'après l'expression 8.4.

L'avantage d'une telle réalisation de l'additionneur réside dans le fait que les entrées des nombres à additionner a, b et c sont monophasées, ce qui permet d'améliorer les possibilités d'emploi fonctionnel du circuit intégré pour un petit nombre de ses sorties. Le temps de formation de la somme S_1 est égal à $2\tau_{moy}$.

L'utilisation de circuits plus simples ET-OU-NON dont le facteur pyramidal d'entrée OU est égal à deux, permet d'établir un autre schéma de l'additionneur complet comportant trois éléments 2ET-OU-NON et trois inverseurs (voir fig. 8.2). Les entrées des nombres à additionner sont biphasées. La rapidité de son fonctionnement est assez faible car le temps de formation de la somme est égal à $4\tau_{moy}$ et celui du report à $3\tau_{moy}$.

Par le nombre de ses composants, le schéma de l'additionneur complet réalisé en circuit intégré à partir des éléments *TTL* et *T-TTL* (cf. § 1.2.2) se révèle bien économique étant donné que le

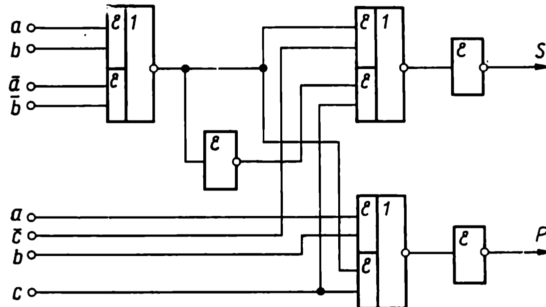


Fig. 8.2. Additionneur à une position à entrées biphasées en éléments ET-OU-NON

report s'y effectue à l'aide d'un élément logique ET-OU et la somme par un circuit logique NON, ET-OU. Ce schéma est donné fig. 8.3.

Examinons rapidement le fonctionnement de l'additionneur complet en ce qui concerne la formation de la somme, étant donné que la réalisation de la fonction de report (*R*) ne demande pas une analyse spéciale.

Lorsque le niveau logique 1 n'est appliqué qu'à l'une des entrées de l'additionneur, le signal de report est absent ($P = 0$). Le transistor T_1 dans le formateur de la somme sera rendu passant par le niveau haut, qui attaque sa base à travers l'une des diodes d'entrée, et par le niveau bas sur son émetteur, ce qui aura pour effet la fermeture de l'amplificateur du formateur de la somme et l'apparition du niveau haut à sa sortie *S* ($S = 1$). Si l'entrée de l'additionneur est attaquée par des niveaux logiques 1 correspondant à deux nombres à additionner, la sortie *P* est au niveau 1 qui bloque le transistor T_1 par son émetteur. Le transistor T_2 étant aussi bloqué par le niveau bas agissant sur sa base (car le transistor à plusieurs émetteurs TPE est ouvert par

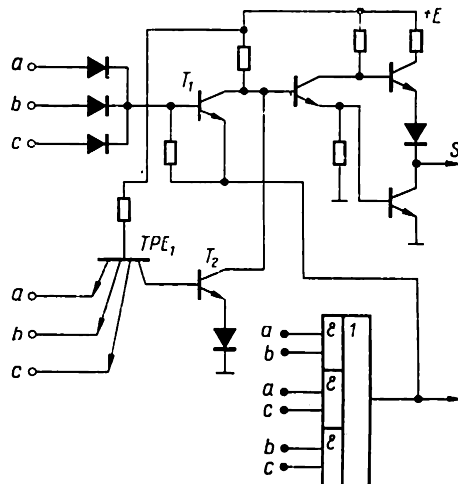


Fig. 8.3. Additionneur à une position à entrées monophasées en éléments *TTL* et *T-TTL*

l'une de ses entrées) l'amplificateur du formateur de la somme se débloque et délivre à sa sortie S le niveau bas ($S = 0$).

Lorsque tous les trois chiffres à additionner au niveau logique 1 arrivent sur l'additionneur, la sortie P est portée au niveau logique 1, le transistor T_1 est bloqué par l'émetteur, alors que le transistor T_2 conduit parce que le TPE_1 est bloqué par toutes les trois entrées. L'amplificateur du formateur de la somme est bloqué et à la sortie S de l'additionneur apparaît le niveau logique 1. Le schéma considéré fig. 8.3 possède les entrées monophasées des nombres à additionner et son temps de formation de la somme est égal à $2\tau_{moy}$.

Les schémas des additionneurs complets examinés ci-dessus étaient réalisés à base des éléments logiques à plusieurs niveaux

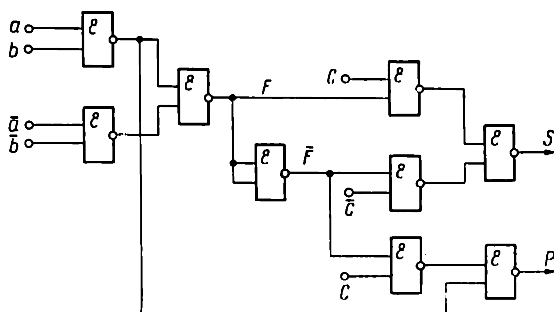


Fig. 8.4. Additionneur à une position à entrées biphasées en éléments ET-NON

(ET-OU ; ET-OU-NON ; NON, ET-OU) et s'adaptent parfaitement bien à la synthèse des additionneurs à partir des circuits intégrés *DTL*, *TTL* et *T-TTL*. Si l'on utilise des éléments logiques à niveau unique ET-NON ; OU-NON ; OU ; ET, dont les plus répandus sont les circuits intégrés *TRL* et les circuits intégrés à transistors MOS, la réalisation fonctionnelle des additionneurs se présente sous une autre forme.

La fig. 8.4 donne le schéma fonctionnel d'un additionneur complet équipé uniquement d'éléments ET-NON conformément aux expressions de la forme 8.3 pour la somme et le report :

$$\left.\begin{aligned} S &= \overline{F}\cdot\overline{c} + F\cdot c, \\ R &= a\cdot b + \overline{F}\cdot c, \end{aligned}\right\} \qquad (8.6)$$

où $F = a\cdot b + \overline{a}\cdot\overline{b}$.

Cet additionneur utilisant neuf portes ET-NON, possède des entrées biphasées et un temps de formation de la somme et du report égal à $5\tau_{moy}$. Pour obtenir à partir du schéma de la fig. 8.4 un additionneur à entrées monophasées, il est nécessaire d'employer trois inverseurs supplémentaires, ce qui portera à $6\tau_{moy}$ le temps de for-

mation de S et de P et à 12, le nombre de portes nécessaires pour sa réalisation.

L'emploi des éléments ET-NON en association avec les éléments OU-NON dont le nombre d'entrées logiques est supérieur à deux permet d'obtenir des schémas des additionneurs complets plus économiques par le nombre de portes, comme par exemple, celui de la fig. 8.5. possédant des entrées monophasées. Ce schéma est réalisé à partir des expressions suivantes pour la somme et le report :

$$\begin{aligned} S &= \overline{\overline{a\cdot b}+\overline{a\cdot c}+(\overline{a+b+c})+R} \\ R &= \overline{\overline{a\cdot b}\cdot\overline{a\cdot c}\cdot\overline{b\cdot c}}. \end{aligned} \tag{8.7}$$

Cet additionneur utilisant 9 éléments standards comporte 4 portes ET-NON, dont l'une à trois entrées, 4 circuits OU-NON, dont l'un à trois entrées, et un inverseur supplémentaire placé à la sortie

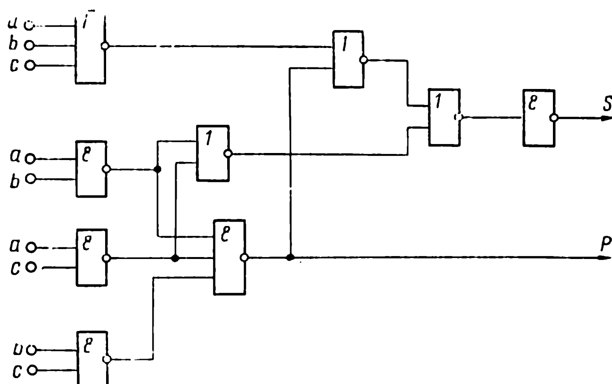


Fig. 8.5. Additionneur à une position à entrées monophasées en éléments ET-NON et OU-NON

du formateur de la somme. Le temps maximal de formation de la somme est égal à $5\tau_{moy}$. Ainsi, le schéma de la fig. 8.5 à entrées monophasées utilise trois éléments de moins et se caractérise par une rapidité de fonctionnement plus élevée que celui de la fig 8.4 réalisé, lui aussi, avec des entrées monophasées.

Les particularités de la réalisation des schémas des additionneurs à une position à transistors MOS ont été étudiées en détail dans le chapitre 1 (§ 1.3) notamment lorsqu'il s'agissait de circuits intégrés à transistors MOS à canal P, à transistors MOS complémentaires et à transistors MOS ballasts.

Les schémas des additionneurs complets à une position qui font l'objet du chapitre 1, à savoir ceux à transistors MOS à canal P (fig. 1.37 et 1.38), à transistors MOS complémentaires (fig. 1.43) et à transistors MOS ballasts (fig. 1.45), sont loin d'épuiser toutes

les possibilités qu'offrent les transistors MOS en cas de leur montage en cascade ou de leur emploi en portes, étant de même capables de centaines de combinaisons des drains et des sources réunis aux différents niveaux à l'intérieur d'un même cristal du circuit intégré. Toutefois, il convient de remarquer que ces schémas des additionneurs complets à une position se révèlent plus économiques du fait d'exiger 2 à 3 fois moins de transistors MOS par rapport aux additionneurs (à titre d'exemple, voir les schémas fonctionnels des fig. 8.4 et 8.5) en circuits intégrés à transistors MOS qui matérialisent les fonctions types ET-NON, OU-NON et autres. Ainsi, un additionneur complet qui, selon le schéma fonctionnel de la fig. 8.4, est réalisé en circuits intégrés à transistors MOS à canal *P* nécessite 26 transistors à canal *P* au lieu des 15 du schéma de la fig. 1.38. D'autre part, un additionneur complet réalisé suivant le schéma de la fig. 8.5 à partir de circuits intégrés à transistors MOS complémentaires nécessitera 38 transistors complémentaires au lieu de 28 dans le schéma de la fig. 1.43 ou 13 transistors dans le schéma de la fig. 1.45. Celui-ci consomme cependant une puissance plus élevée au régime statique. L'emploi de circuits intégrés à transistors MOS complémentaires équipés de transistors de passage et de blocage permet de réaliser un schéma suffisamment économique de l'additionneur complet en accord avec l'expression 8.3. Le schéma fonctionnel d'un tel additionneur réalisé à partir de circuits intégrés *T-TTL* a été décrit plus haut (cf. fig. 1.28). La réalisation de ce schéma de l'additionneur complet à base de la logique intégré C/MOST-PB nécessitera 28 transistors complémentaires, mais le fait d'avoir ses entrées monophasées le distingue avantageusement du schéma de l'additionneur complet à transistors MOS complémentaires à entrées biphasées de la fig. 1.43.

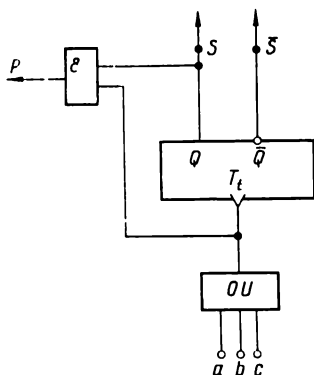


Fig. 8.6. Totalisateur en bascule de comptage

Tous les schémas des additionneurs décrits plus haut se rapportent à la classe de schémas combinatoires. Cela veut dire que ces schémas ne sont pas capables d'assurer le stockage du résultat de l'addition après l'annulation des signaux sur les entrées *a*, *b* et *c*. Pour pouvoir mettre en mémoire les résultats de l'addition, il est nécessaire de placer à la sortie des additionneurs combinatoires des bascules de mémoire dont le rôle est généralement rempli par des bascules pilotées du type *R-S* ou *D*. Associé à une bascule de mémoire, l'additionneur complet du type combinatoire servira de totalisateur. Pourtant, le rôle du totalisateur pourrait être également tenu par une bascule de comptage associée à un formateur de report à condition que tous les nombres à additionner se présentent à l'en-

trée de celle-ci en série (voir fig. 8.6). Si le nombre à additionner est 1, l'entrée de la bascule de comptage doit être attaquée par une impulsion de comptage, s'il est 0, il ne doit pas y avoir d'impulsion. L'addition de trois nombres s'effectuera en trois cycles. Alors, pour $a = 1$, $b = 0$ et $c = 0$, la bascule de comptage passera après la première impulsion à l'état 1 et le conservera après les trois temps d'addition.

Si les nombres à additionner sont $a = 1$, $b = 1$ et $c = 0$, la bascule de comptage prendra après la première impulsion ($a = 1$) l'état 1, reviendra après la deuxième impulsion ($b = 1$) à l'état 0 pour élaborer un signal de report à la sortie R (sortie de report).

Si l'entrée de comptage de la bascule reçoit simultanément toutes les trois impulsions ($a = b = c = 1$), l'impulsion « report » sera délivrée à sa sortie après la deuxième impulsion et la bascule passera à l'état $Q = 1$ après la troisième impulsion ($c = 1$). La sortie du côté Q de la bascule de comptage constituera la sortie de la somme (S) de l'additionneur totalisateur à une position.

Il est évident que la rapidité de fonctionnement d'un tel totalisateur est d'environ trois fois inférieure à celle d'un additionneur combinatoire qui assure l'addition de tous les trois nombres pendant un seul cycle.

8. 2. Additionneurs parallèles à plusieurs positions

Les additionneurs parallèles, destinés à l'addition simultanée de deux nombres à plusieurs chiffres, se distinguent par le mode de transfert des signaux de report des poids faibles aux poids forts.

8.2.1. Additionneurs parallèles à report série

Les plus simples additionneurs parallèles (AP) sont ceux à transition série des signaux de report, qu'on appellera dans les pages qui suivent additionneurs parallèles du premier genre (AP-1). Pour réaliser un AP-1, il est nécessaire d'utiliser N additionneurs monodigits (N est la capacité de l'AP-1) et d'assurer le couplage de la sortie de report R du i-ième bit de l'additionneur avec l'entrée C (l'entrée du troisième nombre à additionner) du ($i + 1$)-ième bit de l'additionneur.

Le schéma synoptique d'un additionneur parallèle à report série est donné fig. 8.7 qui permet de constater facilement que le retard de formation de la somme à la sortie du poids le plus fort de l'AP-1 sera constitué pour un seul cas (le report du premier bit au N-ième bit) par la somme des retards introduits dans tous les bits précédents et le retard propre de formation de la somme SN:

$$\bar{\tau}_{\Sigma\ \text{AP-I}} = (N - 1)\cdot\tau_{R\ \text{AMC}} + \tau_{S\ \text{AMC}}, \tag{8.8}$$

où $\bar{\tau}_{\Sigma\text{AP-I}}$ est le retard maximal d'addition dans l'AP-1 ;

τ_{RAMC} est le retard de formation du report dans l'additionneur monodigit ;

τ_{SAMC} est le retard de formation de la somme dans l'additionneur monodigit.

Bien que dans le schéma synoptique de l'AP-1 chaque bit corresponde entièrement aux autres, dans la pratique de réalisation de l'AP-1 à partir de circuits intégrés on a recours à une alternance de leurs schémas dans les bits pairs et impairs. Ceci a pour but d'assurer le retard minimal du signal dans les circuits de formation du report et d'obtenir du point de vue topologie et construction de *CI*

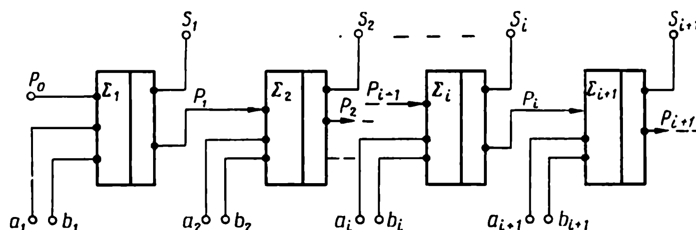


Fig. 8.7. Schéma synoptique d'un additionneur parallèle à report série

les entrées monophasées les plus économiques de l'additionneur (les nombres à additionner ne se présentent aux entrées qu'en code droit).

L'exemple d'une telle réalisation des additionneurs a été déjà considéré plus haut (fig. 8.1). On voit sur cette figure que dans le premier AMC il se produit l'inversion du signal de report ($\overline{R}_1$) et dans le deuxième AMC la formation du signal de report direct (R_2). Les entrées des deux bits sont monophasées directes, ce qui permet une adaptation directe de la sortie R_2 à l'entrée du groupe de deux bits suivant. Le retard de formation du report dans chaque bit est égal à τ_{moy}. Ainsi, dans le cas où un AP-1 à N bits est réalisé suivant le schéma de la fig. 8.1, le retard maximal de formation du résultat obtenu à sa sortie sera égal à :

$$\begin{aligned}\bar{\tau}_{\Sigma\ \text{AP-I}} &= \tau_{moy}(N-1) + 2\tau_{moy} \quad \text{lorsque } N \text{ est pair,}\\ \bar{\tau}_{\Sigma\ \text{AP-I}} &= \tau_{moy}(N-1) + 3\tau_{moy} \quad \text{lorsque } N \text{ est impair.}\end{aligned} \qquad (8.9)$$

Le schéma fonctionnel d'un totalisateur parallèle à report série (TP-I) à trois « bits » interconnectés est représenté fig. 8.8. Les nombres à additionner doivent être présentés aux entrées parallèles des « bits » de l'additionneur en séquence dans le temps, en assurant un intervalle de temps séparant l'arrivée de deux nombres, suffisant pour former le signal de report dans les « bits » de l'additionneur et le transmettre à travers les lignes à retard (LR) montées entre chaque couple de « bits » voisins depuis les poids faibles vers les poids forts. Le retard de la ligne (τ_{LR}) est réglé de manière à rem-

plir la condition :

$$\tau_{LR} \geqslant \bar{\tau}_i + \tau_t \qquad (8.10)$$

où $\bar{\tau}_i$ est la durée maximale de l'impulsion de bit attaquant l'entrée du totalisateur;

$\bar{\tau}_t$ est le retard maximal de basculement de la bascule de comptage correspondant.

Pour la mise à 0 de tous les bits du totalisateur, on utilise un fil « remise à zéro ». Lorsqu'un signal est appliqué à ce fil, les bascules de tous les bits sont ramenées à l'état $\bar{Q} = 1$ ($S = 0$) par les

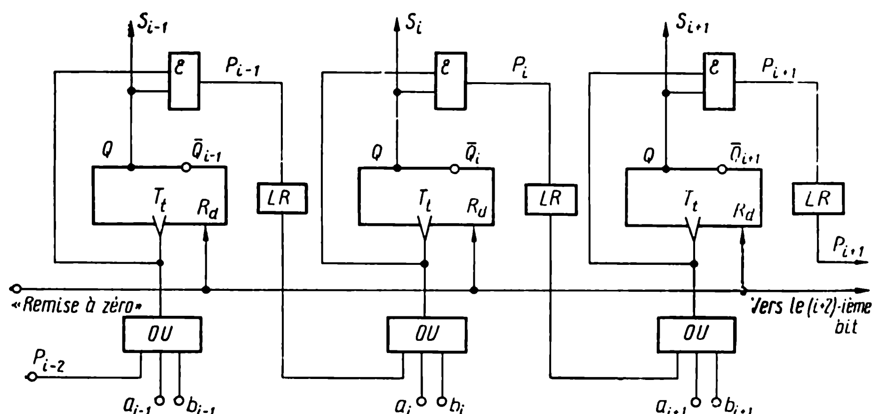


Fig. 8.8. Schéma fonctionnel d'un totalisateur à report série

entrées (R_d) de remise à zéro asynchrone. Les totalisateurs à report série (TP-I) se caractérisent par une faible rapidité de fonctionnement :

$$\bar{\tau}_{\Sigma\, TP\text{-}I} = (\tau_{LR} + \tau_B)(N - 1) + \tau_t, \qquad (8.11)$$

où $\tau_{\Sigma TP\text{-}I}$ est le retard maximal de formation de la somme dans le totalisateur à N bits du genre TP-I;

τ_B est le retard du signal dans la porte de formation du report ;

τ_t est le retard de basculement de la bascule du n-ième rang (du poids le plus fort).

La rapidité de fonctionnement des totalisateurs peut être améliorée d'une manière appréciable à condition de les réaliser d'après le schéma à report rapide (du type « ripple through »). Nous les appellerons totalisateurs du deuxième genre TP-II. Le schéma fonctionnel d'une de leurs variantes est représenté fig. 8.9. Ce schéma a ceci de particulier qu'il permet deux voies possibles de formation de signaux de report à l'aide de circuits ET-OU. Les portes B_1 de chacun des « bits » transmettent le signal de report du (i — 1)-ième

« bit » au ($i+1$)-ième « bit » (report R_1) lorsque le i-ième « bit » est à l'état 1 ($S_1 = 1$) tandis que les portes B_2 assurent la formation du report R_1 lorsque le i-ième « bit » est à l'état 1 et que l'impulsion d'addition est envoyée à l'entrée de comptage du i-ième « bit ».

Le fonctionnement du montage de la fig. 8.9 devient normal à condition que la durée minimale (τ_1) des impulsions introduites aux entrées de comptage des bascules soit supérieure au retard total de propagation du report rapide à travers les circuits ET-OU depuis le poids le plus faible vers le poids le plus fort :

$$\tau_1 \geqslant (N-1)\,\tau_B. \tag{8.12}$$

Si cette condition n'est pas remplie, il se peut que dans les poids forts du totalisateur, après la formation de l'impulsion de report

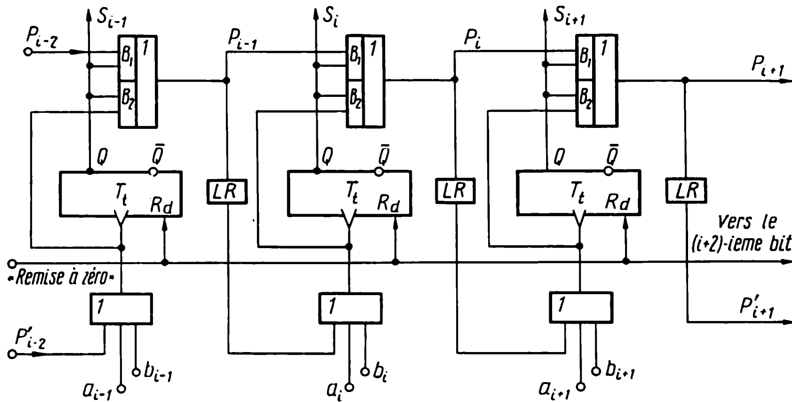


Fig. 8.9. Totalisateur à report rapide

élaborée dans le i-ième « bit » à travers la porte B_2, la bascule de rang n'arrive pas à passer à l'état $Q_1 = 0$ et la porte B_1 est attaquée par une impulsion de report retardée provenant du ($i-1$)-ième « bit », qui sera transmise à la sortie R_1 en tant que deuxième impulsion de report. Dans le cas où la condition 8.12 est remplie, la coïncidence des signaux de report passant par les portes B_1 et B_2 se traduit à la sortie du circuit ET-OU comme une seule impulsion de report. Le retard maximal d'addition dans le TP-II réalisé suivant le schéma de la fig. 8.9 sera déterminé par la formule :

$$\bar{\tau}_{\Sigma\,\text{TP-II}} = \tau_B (N-1) + \tau_{LR} + \tau_t, \tag{8.13}$$

où τ_B est le retard introduit par la porte ET-OU ;
τ_{LR} est le retard dû à la ligne à retard ;
τ_t est le retard de commutation de la bascule de comptage.

Il existe une autre variante de TP-II qui n'exige pas de réaliser la condition 8.12. Mais cette variante nécessite deux lignes à retard pour chaque « bit » du totalisateur, ce qui complique le schéma

sans améliorer d'une manière appréciable la rapidité de fonctionnement par rapport au schéma de la fig. 8.8 qui ne comporte qu'une seule ligne à retard dans chaque « bit ». Pour conclure, il convient de remarquer que les totalisateurs réalisés à base de bascules de

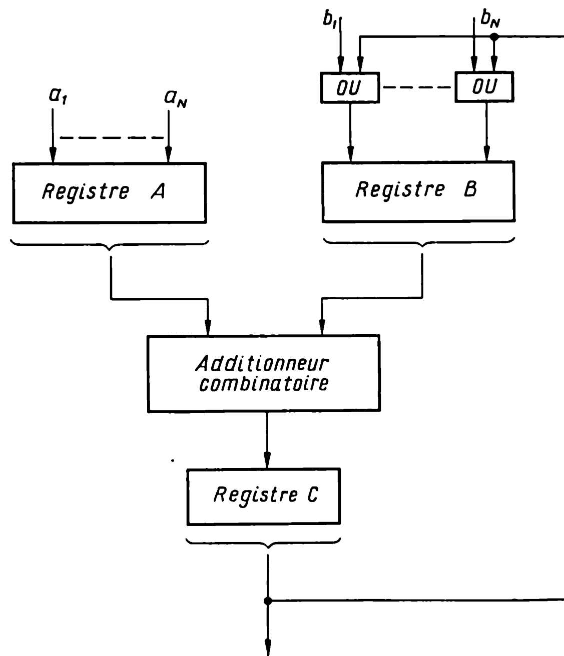


Fig. 8.10. Schéma synoptique d'un totalisateur réalisé à base d'un additionneur combinatoire

comptage sont les plus efficaces en cas d'emploi de systèmes d'éléments à commande mixte (par les niveaux de tension continue et les fronts des impulsions) qui sont étudiés dans plusieurs ouvrages fondamentaux.

La synthèse de totalisateurs à base de circuits combinatoires nécessite l'emploi de bascules de mémoire et se fait d'après le schéma synoptique représenté fig. 8.10.

Aux entrées du totalisateur combinatoire sont branchés deux registres de nombres à additionner (le registre A et le registre B) et à la sortie du totalisateur est connecté le registre de la somme (le registre C) dont les sorties peuvent transmettre à travers les circuits OU le résultat d'addition par l'intermédiaire du registre du deuxième nombre à additionner pour l'addition avec la nouvelle valeur du nombre A ($a_1 \ldots a_N$). Ainsi le totalisateur de la fig. 8.10 peut effectuer l'addition des nombres avec la totalisation des résultats. Dans le cas où le registre B est équipé de bascules à retard interne

du type $R\text{-}S_t$, D_t ou $J\text{-}K_t$, on peut réaliser le schéma d'un totalisateur sans avoir recours au registre de la somme, autrement dit en éliminant le registre C du schéma synoptique de la fig. 8.10.

8.2.2. Additionneurs parallèles à report par groupes (AP-II)

Pour la synthèse des additionneurs parallèles à report par groupes, on divise l'additionneur à N positions en Z groupes, dont chacun forme intérieurement des signaux de report simultanés sans retard entre les bits. Le report du groupe inférieur de bits constitue un des nombres à additionner pour former les signaux de report dans le groupe immédiatement supérieur. Ainsi, le délai de formation du report à la sortie de l'additionneur sera déterminé par la somme des retards introduits par Z groupes.

Considérons les relations logiques de base pour la réalisation des additionneurs à report par groupes [40].

Désignons par A_n et B_n les nombres à additionner, C_n la somme bit par bit, D_n le report bit par bit, R_n le report intermédiaire et S_n le résultat de l'addition.

En vertu de la loi de l'addition en binaire de deux nombres, exprimons C_n et D_n par A_n et B_n (écriture bit par bit) :

$$\begin{cases} C_i = \overline{a}_i b_i + a_i b_i; \\ \overline{C}_i = \overline{a}_i \overline{b}_i + a_i b_i ; \end{cases}$$
$$d_i = a_i b_i ; \quad \overline{d}_i = \overline{a}_i + \overline{b}_i. \tag{8.14}$$

Pendant l'addition, le report intermédiaire aura pour expression générale :

$$\begin{aligned} R_{i+1} &= C_i d_i + C_i R_i ; \\ \overline{R}_{i+1} &= \overline{C}_i \overline{d}_i + \overline{d}_i R_i , \end{aligned} \tag{8.15}$$

où R_{i+1} est le report intermédiaire transmis au $(i+1)$-ième bit.

Le résultat de l'addition est exprimé par le report intermédiaire et la somme bit par bit :

$$\begin{aligned} S_{i+1} &= \overline{R}_{i+1} C_{i+1} + R_{i+1} \overline{C}_{i+1} , \\ \overline{S}_{i+1} &= \overline{R}_{i+1} \overline{C}_{i+1} + R_{i+1} C_{i+1}. \end{aligned} \tag{8.16}$$

Dans l'expression 8.16, les indices de R et de S sont les mêmes, ce qui indique l'appartenance de R_{i+1} uniquement à la $(i+1)$-ième somme. Pour que le report intermédiaire dans les limites d'un groupe déterminé soit indépendant du report intermédiaire du bit immédiatement inférieur, il est nécessaire d'éliminer de l'expression donnant R_{i+1} la fonction de R_i, en exprimant R_i par C_i et d_i. Cela peut se faire pour chaque bit à partir du deuxième (inférieur) dans chaque groupe.

Ecrivons les expressions pour quelques bits du premier groupe du totalisateur :

1[er] bit ($i = 0$) : $a_0 = b_0 = 0$; $\overline{a}_0 = \overline{b}_0 = 1$, signifie en vertu de l'expression 8.14 :

$$C_0 = 0 ; \qquad \overline{C}_0 = 1 ;$$
$$d_0 = 0 ; \qquad \overline{d}_0 = 1 .$$

Alors, en portant ces valeurs dans les formules 8.15 et 8.16, nous obtenons pour le premier bit les expressions suivantes :

$$R_1 = 0, \quad \overline{R}_1 = 1 ; \quad S_1 = C_1 ; \quad \overline{S}_1 = \overline{C}_1 . \tag{8.17}$$

2[e] bit ($i = 1$) :

$$\begin{cases} R_2 = d_1 + C_1R_1 = d_1, \text{ puisque } R_1 = 0 \\ \overline{R}_2 = \overline{d}_1 ; \end{cases} \tag{8.18}$$

$$\begin{cases} S_2 = \overline{R}_2C_2 + R_2\overline{C}_2 ; \\ \overline{S}_2 = \overline{R}_2\overline{C}_2 + R_2C_2 . \end{cases}$$

3[e] bit ($i = 2$) :

$$\begin{cases} R_3 = d_2 + d_1C_2 ; \\ \overline{R}_3 = \overline{C}_2\overline{d}_2 + \overline{d}_1\overline{d}_2 ; \end{cases}$$
$$\begin{cases} S_3 = \overline{R}_3C_3 + R_3\overline{C}_3 ; \\ \overline{S}_3 = \overline{R}_3\overline{C}_3 + R_3C_2 . \end{cases} \tag{8.19}$$

Pour le ($n + 1$)-ième bit du premier groupe, on peut écrire :

$$\begin{cases} R_{n+1} = C_1 \ldots C_2d_1 + C_n \ldots C_3d_2 + \ldots + C_nd_{n-1} + d_n ; \\ \overline{R}_{n+1} = \overline{C}_n\overline{d}_n + \overline{d}_n\overline{d}_{n-1}\overline{C}_{n-1} + \ldots + \ldots \\ \qquad + \overline{d}_n\overline{d}_{n-1} \ldots \overline{d}_2\overline{C}_1 + \overline{d}_n\overline{d}_{n-1} \ldots \overline{d}_1 ; \end{cases} \tag{8.20}$$
$$\begin{cases} S_{n+1} = \overline{R}_{n+1}C_{n+1} + R_{n+1}\overline{C}_{n+1} ; \\ \overline{S}_{n+1} = \overline{R}_{n+1}\overline{C}_{n+1} + R_{n+1}C_{n+1} . \end{cases}$$

Les expressions 8.18 à 8.20 montrent que le report intermédiaire du bit donné ne dépend pas du report intermédiaire du bit immédiatement inférieur, autrement dit tous les reports intermédiaires et le résultat de l'addition dans le groupe seront formés simultanément sans retard entre les bits.

Le nombre maximal de termes à additionner dans le ($n + 1$)-ième bit du premier groupe et celui des multiplicateurs d'un nombre à additionner sont égaux à ($n + 1$).

En analysant l'expression 8.20, il est facile de voir que le schéma de l'additionneur considéré se réalise de façon la plus efficace à l'aide d'un élément logique ET-OU-NON.

Le nombre de termes dans le poids supérieur du groupe, autrement dit le nombre maximal de bits dans le groupe, est déterminé

par les coefficients m_1 et m_2 de l'élément ET-OU-NON utilisé, m_1 étant le facteur pyramidal de l'entrée ET et m_2, le facteur pyramidal de l'entrée OU.

Si $m_1 = m_2$, ce qui est fréquent, le nombre maximal de bits dans le premier groupe du totalisateur sera égal à m_1.

Dans tous les groupes suivants, le nombre de bits sera d'une unité inférieur à celui du premier groupe, étant donné que l'expression traduisant le report intermédiaire de tous les bits du groupe comporte un terme donnant la valeur du report intermédiaire du bit supérieur du groupe précédent.

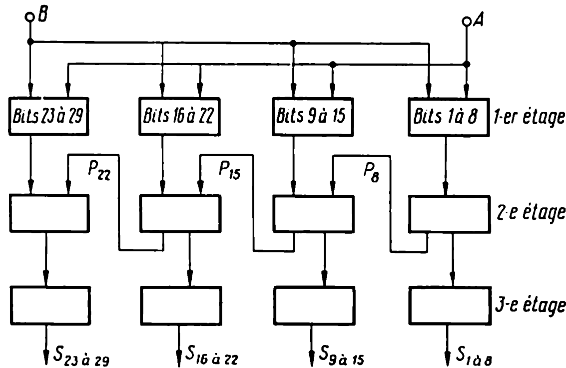


Fig. 8.11. Schéma synoptique d'un additionneur à 29 positions à report par groupes

Supposons que l'élément microélectronique ET-OU-NON possède les facteurs pyramidaux $m_1 = m_2 = 8$. L'additionneur parallèle réalisé à base de cet élément aura 8 chiffres binaires dans le premier groupe et le report intermédiaire du huitième bit constituera l'information d'entrée pour le report intermédiaire du poids le plus faible (neuvième bit) du deuxième groupe.

L'expression 8.15 permet d'écrire:

$$\begin{cases} R_9 = C_8 d_8 + d_8 ; \\ \overline{R}_9 = \overline{C}_8 \overline{d}_8 + \overline{d}_8 \overline{R}_8 . \end{cases}$$
$$\begin{cases} S_9 = \overline{R}_9 C_9 + R_9 \overline{C}_9 ; \\ \overline{S}_9 = \overline{R}_9 \overline{C}_9 + R_9 C_9 . \end{cases} \qquad (8.21)$$

Les expressions donnant R_{15} et $\overline{R}_{15}$ du septième bit du deuxième groupe (15e bit de l'additionneur) comporteront 8 termes, c.-à-d. que le nombre de bits dans le deuxième groupe est d'une unité inférieur à celui du premier groupe. Tous les groupes suivants auront aussi sept bits.

Le schéma synoptique d'un additionneur parallèle à 29 positions comportant quatre groupes est représenté fig. 8.11. Le couplage

entre les groupes n'est assuré que par les circuits de report intermédiaire R_8-$\overline{R}_8$; R_{15}-$\overline{R}_{15}$ et R_{22}-$\overline{R}_{22}$. Le couplage inverse n'est pas représenté pour des raisons de simplicité du schéma synoptique. L'information sur les bits des nombres à additionner est appliquée à l'entrée de l'additionneur depuis les registres à bascules A et B.

Les premiers étages des groupes élaborent les sommes bit par bit et les reports, les deuxièmes produisent les reports intermédiaires et les troisièmes, le résultat de l'addition.

La fig. 8.12 donne à titre d'exemple le schéma fonctionnel du troisième bit du premier groupe de l'additionneur correspondant

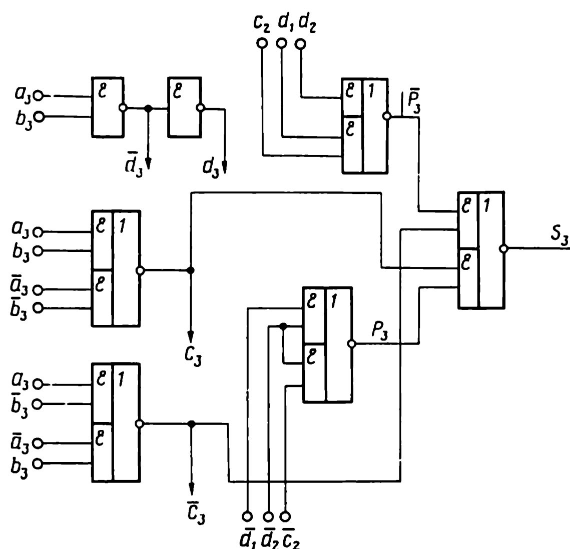


Fig. 8.12. Schéma fonctionnel du 3e bit du premier groupe de l'additionneur à report par groupes

à l'expression logique 8.19. L'information biphasée utilisée dans chaque étage assure le retard minimal par étage. On sait que la rapidité de fonctionnement des montages en éléments commandés par niveaux, qui sont les éléments logiques ET-OU-NON, est déterminée par le retard total de propagation du signal depuis l'entrée à la sortie par une voie à nombre maximal d'éléments montés en série.

C'est ainsi que le délai de formation du résultat à la sortie du troisième bit du premier groupe (fig. 8.12) sera égal à $3\tau_{moy}$, chacun des étages introduisant un retard de τ_{moy}.

L'analyse du schéma synoptique d'un additionneur parallèle représenté 8.11 permet de définir que le retard total d'addition des nombres A et B sera recherché par le délai de formation du résultat à la sortie du quatrième groupe de bits de l'additionneur S_{23} à S_{29}.

Le temps maximal d'addition (τ_Σ) est égal à la somme des retards suivants: τ_{11} introduit par le 1[er] étage du 1[er] groupe, τ_{22} par le 2[e] étage du 2[e] groupe, τ_{23} par le 2[e] étage du 3[e] groupe, τ_{24} par le 2[e] étage du 4[e] groupe et τ_{34} par le 3[e] étage du 4[e] groupe.

Etant donné que le retard τ_{moy} de tous les étages des groupes est le même, on a $\bar{\tau}_\Sigma = 6\tau_{moy}$. Lorsque le nombre de bits de l'additionneur augmente, l'adjonction de chaque nouveau groupe fait croître d'un τ_{moy} le temps maximal d'addition.

La capacité et le retard maximal d'addition voulu de l'additionneur parallèle AP-II, équipé d'un élément logique ET-OU-NON, pour $m_1 = m_2$, et comportant Z groupes, peuvent être déterminés à l'aide des formules suivantes:

$$N = Z(m - 1) + 1, \tag{8.22}$$

où N est le nombre de bits de l'additionneur parallèle combinatoire;
Z est le nombre de groupes;
$m_1 = m_2$ sont les facteurs pyramidaux respectifs des sorties ET et OU;

$$\bar{\tau}_\Sigma = \bar{\tau}_{moy}(Z + 2), \tag{8.23}$$

où $\bar{\tau}_\Sigma$ est le temps maximal d'addition;
τ_{moy} est le retard moyen par élément;
Z est le nombre de groupes.

C'est ainsi que l'emploi d'un élément microélectronique ET-OU-NON avec $m_1 = m_2 = 8$ et $\tau_{moy} = 100$ ns permet de réaliser un additionneur parallèle AP-II avec le nombre de groupes $Z = 5$, le nombre de bits $N = 5(8 - 1) + 1 = 36$ et $\bar{\tau}_\Sigma = 100(5 + 2) = 700$ ns. Une unité de calcul arithmétique basée sur un tel montage sera capable de 500000 opérations élémentaires par seconde. Le schéma considéré de l'additionneur peut être également réalisé en éléments ET-NON et OU-NON qui sont largement utilisés dans les dispositifs arithmétiques micro-électroniques. La réalisation des expressions logiques pour chaque bit de l'additionneur équipé d'éléments ET-NON résulte nettement d'une simple transformation. Par exemple, pour réaliser le schéma du 3[e] rang du 1[er] groupe à l'aide d'un élément logique ET-NON, faisons la transformation des expressions respectivement 8.14:

$$\begin{gathered} C_3 = \bar{a}_3 b_3 + a_3 \bar{b}_3 = \overline{\overline{\bar{a}_3 b_3} \cdot \overline{a_3 \bar{b}_3}} \\ \bar{C}_3 = \bar{a}_3 \bar{b}_3 + a_3 b_3 = \overline{\overline{\bar{a}_3 \bar{b}_3} \cdot \overline{a_3 b_3}} \\ \begin{cases} d_3 = \overline{\overline{a_3 b_3}}; \\ \bar{d}_3 = \overline{a_3 b_3}. \end{cases} \end{gathered} \tag{8.24}$$

et 8.19 :

$$
\begin{aligned}
R_3 &= \overline{\overline{d_2}\cdot\overline{d_1 C_2}}; \\
\overline{R}_3 &= \overline{\overline{C}_2\overline{d}_2}\cdot\overline{\overline{d}_1\overline{d}_2}\,; \\
S_3 &= \overline{\overline{\overline{R}_3 C_3}\cdot\overline{R_3\overline{C}_3}}\,; \\
\overline{S}_3 &= \overline{\overline{\overline{R}_3\overline{C}_3}\cdot\overline{R_3 C_3}}.
\end{aligned}
\qquad (8.25)
$$

Chacune des expressions 8.24 et 8.25 peut être facilement matérialisée à l'aide des éléments logiques ET-NON. Par exemple, pour former S_3, il convient de mettre en œuvre deux éléments ET-NON à deux entrées réalisant les expressions R_3C_3 et C_3R_3 et un troisième élément ET-NON à deux entrées capable de réunir les expressions indiquées et de former le résultat S_3. Ainsi, chaque étage de l'additionneur AP-II comportera deux cascades d'éléments ET-NON mis en série, autrement dit il présentera un retard égal à $2\tau_{moy}$, τ_{moy} étant le retard moyen de l'élément ET-NON. Le nombre de bits dans les groupes est déterminé par la valeur du facteur m, autrement dit par le nombre d'entrées ET, suivant la même loi que pour l'élément ET-OU-NON.

Les valeurs de N et $\overline{\tau}_\Sigma$ sont calculées à partir des formules générales :

$$
\begin{aligned}
N &= Z(m-1)+1\,; \\
\tau_\Sigma &= 2\tau'_{moy}(Z+2).
\end{aligned}
\qquad (8.26)
$$

L'emploi d'un élément ET-NON, pour $m = 5$ et $\tau'_{moy} = 50$ ns, permet de construire pour $Z = 7$ un additionneur AP-II avec $N = 29$ bits et $\overline{\tau}_\Sigma = 900$ ns. L'unité de calcul arithmétique matérialisée, utilisant un tel montage, permettra d'effectuer près de 500000 opérations élémentaires par seconde.

Pour réduire le nombre de circuits intégrés nécessaires à la synthèse de l'additionneur AP-II d'après le montage considéré, il est nécessaire de former les valeurs inverses des signaux, traduisant les sommes bit par bit ($\overline{C}$) dans tous les groupes à partir du deuxième, à l'aide d'inverseurs connectés sur les sorties C et de former, toujours avec ceux-ci, les signaux $\overline{S}$ dans tous les groupes, sauf le groupe supérieur. Une telle simplification du montage de l'AP-II ne compromet pas la rapidité de son fonctionnement. Le schéma considéré de l'additionneur parallèle à report par groupes permet de réaliser des unités de calcul arithmétique, différentes par la rapidité de leur fonctionnement, à partir des circuits intégrés logiques à niveau unique ou double. Pour améliorer la rapidité de fonctionnement des additionneurs parallèles, il convient d'étudier et de mettre au point de nouveaux types de circuits intégrés, caractérisés non seulement par une faible valeur de τ_{moy}, mais aussi par les facteurs pyramidaux élevés des entrées m_{ET} et $m_{OU} = 10$ à 20. Cela permettra d'établir des additionneurs du genre AP-II comprenant un nombre de groupes

minimal et un nombre élevé de bits dans le groupe, c.-à-d. à la limite, pour $m = N$, des additionneurs à report parallèle (simultané) dans tous les bits [26, 30, 31].

Dans un avenir très proche les circuits à grande et à très grande intégration pourront s'appliquer en opérateurs fonctionnels arithmétiques dans les systèmes de calcul à plusieurs processeurs.

De nos jours, l'architecture des systèmes de calcul à rende ent élevé tels que ILLIAC-IV, CDC-6600, CDC-7600, [77, 84] comporte déjà des dispositifs à plusieurs processeurs dotés de dizaines et de

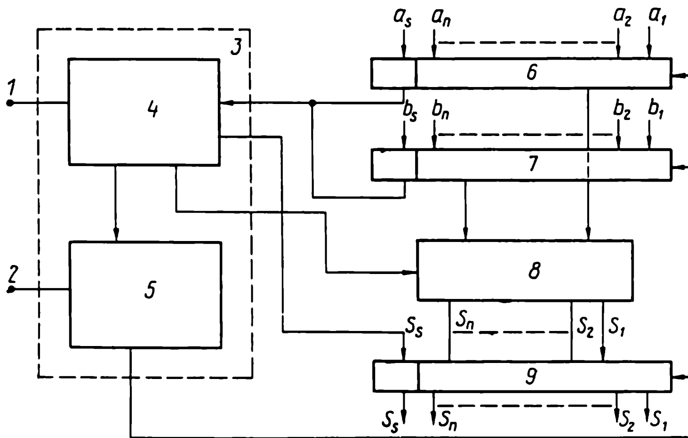


Fig. 8.13. Schéma synoptique d'un microprocesseur:

1 — signaux de l'opération programmée; *2* — signaux de mode d'échange entre registres; *3* — commande locale du microprocesseur; *4* — circuit de réalisation de l'opération de machine et de détermination du signe; *5* — circuit de commande des registres; *6* — registre du nombre *A*; *7* — registre du nombre *B*; *8* — additionneur combinatoire; *9* — registre du résultat

centaines d'unités arithmétiques partielles. Des centaines d'unités de calcul arithmétiques fonctionnant simultanément constituent un réseau de calcul complexe, dont le rendement dépasse de beaucoup celui des calculateurs numériques les plus rapides.

Les possibilités offertes par la technologie micro-électronique actuelle rendent déjà possible la création d'un réseau de calcul comportant plusieurs centaines de microprocesseurs. Un circuit à grande intégration permet à lui seul de réaliser un microprocesseur.

Considérons l'une des variantes possibles d'une telle organisation.

Le microprocesseur ne doit présenter que des possibilités fonctionnelles relativement limitées. Il suffit, par exemple, qu'il effectue les opérations suivantes:

— la réception et le transfert des nombres en code parallèle;
— le décalage des nombres;
— la traduction d'un code droit en code inverse;
— l'addition et la soustraction des nombres.

Toutes ces opérations doivent s'exécuter automatiquement sur les instructions provenant de l'unité de commande centrale sans produire pour autant des commutations compliquées des circuits fonctionnels des microprocesseurs. Cette condition est remplie par le schéma de l'unité arithmétique de la fig. 8.13.

Cette unité de calcul arithmétique comporte trois registres, pouvant réaliser la fonction de décalage, un additionneur combinatoire et un circuit de commande locale (CL).

L'un des registres, à savoir celui de sortie, peut délivrer le nombre aussi bien en code droit qu'en code inverse. Les deux registres d'entrée ne délivrent les nombres qu'en code droit, étant donné que les opérations d'addition et de soustraction effectuées par l'additionneur de l'unité arithmétique portent seulement sur les nombres en code droit.

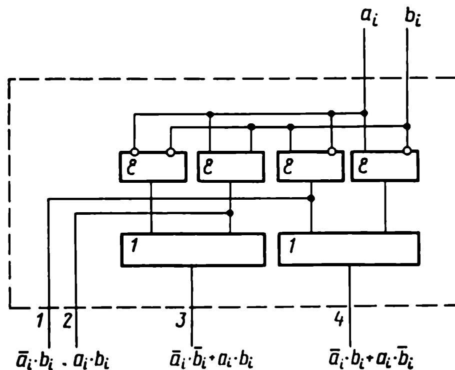


Fig. 8.14. Schéma d'un décodeur — demi-additionneur

Les opérations d'addition et de soustraction dans l'additionneur sont automatiques et simultanées et portent sur deux nombres quelconques qui se présentent aux registres d'entrée. Une instruction venant de l'unité de commande centrale fait sélectionner un résultat déterminé correspondant à l'opération d'addition ou à celle de soustraction. Un tel mode d'exécution des opérations arithmétiques permet de simplifier le système de commande des calculateurs à plusieurs processeurs.

Nous n'allons pas considérer le fonctionnement des registres et de leurs circuits de commande, car ils peuvent être réalisés à base des schémas déjà étudiés. Analysons de plus près le fonctionnement de l'additionneur combinatoire et de son circuit de commande.

Le schéma fonctionnel de l'additionneur est réalisé de préférence à l'aide d'éléments logiques 2ET-OU. Dans certains cas, les circuits ET doivent être dotés d'entrées inverseuses (fonction NON, ET-OU).

La présence de deux lignes de report M et $\overline{M}$ permet d'effectuer simultanément l'addition et la soustraction.

Chaque bit de l'additionneur comporte son formateur de sommes partielles et de report (fig. 8.14).

Les lignes de report fonctionnent sur la base du mécanisme bien connu de formation de report entre les bits des nombres à additionner ou des nombres participant à l'opération de soustraction.

Lors de l'addition, le report apparaît après le bit porteur de la combinaison $a_i = 1$ et $b_i = 1$. Ensuite, le report se propage vers

les poids plus forts et cesse son effet sur le premier bit présentant la combinaison $a_j = 0$ et $b_j = 0$. Nous appellerons « groupe G » un groupe de bits dans les limites duquel se propage le report et « groupe P » un groupe de bits dans les limites duquel le report ne se propage pas. Les groupes G et P alternent d'une manière bien déterminée.

Les premiers chiffres (a_1, b_1) des nombres à additionner se trouvent toujours dans les limites du groupe P. Dans un cas particulier, chacun de deux groupes peut être constitué par un seul bit ou, au contraire, tous les bits des nombres peuvent être réunis en un seul groupe, notamment le groupe P. Ce cas se présente lorsque les nombres à additionner ne forment pas la combinaison $a_i = 1$ et $b_i = 1$.

Pour la soustraction, la manière de former les mêmes groupes est différente. Le groupe G commence après le bit présentant la combinaison $a_i = 0$ et $b_i = 1$ et prend fin sur le premier bit porteur de la combinaison $a_j = 1$ et $b_j = 0$. Quant au groupe P, il commence depuis le bit porteur de la combinaison $a_j = 1$, $b_j = 0$ et se termine sur le premier bit rencontré avec la combinaison $a_k = 0$ et $b_k = 1$. En soustraction comme en addition, les groupes P et G se caractérisent par une alternance rigoureuse. Le premier bit se trouve généralement dans le groupe P, exception faite du cas où le diminuteur est plus grand que le diminuande, c.-à-d. $|A| < |B|$. De ce fait, le premier bit est inclus dans le groupe G. Le mécanisme de cette commutation sera décrit plus loin. Dans un cas particulier, tous les bits, à condition d'être exempts de combinaison $a_i = 0$, $b_i = 1$, peuvent tomber dans le groupe P.

Les résultats de l'addition et de la soustraction correspondent respectivement à l'addition modulo 2 dans les groupes P et à l'addition $\overline{\text{modulo 2}}$ dans les groupes G. Si $|A| < |B|$, le résultat doit se traduire en code inverse.

Il importe de remarquer que ces règles peu compliquées permettent d'additionner et de soustraire automatiquement n'importe quels grands nombres, sans mettre en mémoire les unités de report et d'additionner dans chaque bit où il y a report, trois chiffres binaires. Nous donnons ci-dessous quelques exemples d'addition et de soustraction des nombres en numération binaire.

Il est recommandé au lecteur de s'exercer, en utilisant ces règles, dans l'addition et la soustraction de divers nombres binaires. Rappelons pour mémoire que la division en groupes se fait à partir du premier bit vers les bits supérieurs, après quoi l'addition à l'intérieur des groupes s'opère dans n'importe quel ordre.

Comme il a été signalé plus haut, l'additionneur peut effectuer les opérations d'addition et de soustraction simultanément, grâce à l'emploi de deux lignes de report.

Dans chaque bit du montage de la fig. 8.15, les lignes de report utilisent chacun un circuit logique 2ET-OU qui reçoit à travers les lignes de report, des signaux en provenance du décodeur-demi-additionneur et du bit précédent. Sortis des lignes de report de cha-

que bit, les signaux attaquent les circuits de formation du résultat qui reçoivent également des signaux depuis le décodeur-demi-additionneur (les résultats d'addition modulo 2 et $\overline{\text{modulo}}$ 2).

Le dernier élément que comporte chaque bit du montage est un groupe de portes délivrant le résultat en fonction du signe de l'opération de machine (β).

Les schémas de tous les bits de l'additionneur sont identiques, sauf celui du premier qui n'a pas d'élément 2ET-OU utilisé

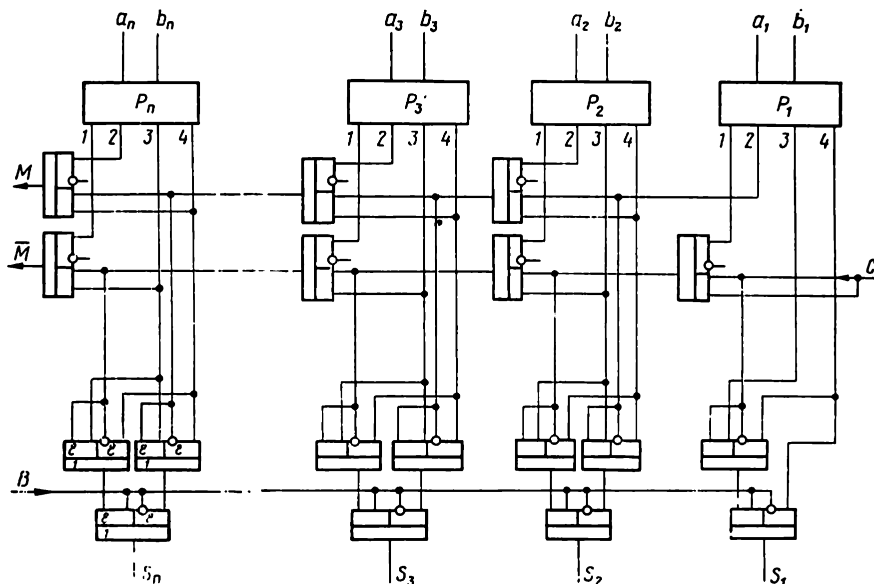


Fig. 8.15. Schéma d'un additionneur combinatoire à report série biphasé

dans le circuit de report et dont il n'a pas besoin car lors de l'addition il est toujours inclus dans le groupe P. Le circuit de report pour la soustraction dans le premier bit est attaqué par le signal (C) qui l'introduit dans le groupe G, si $|A| < |B|$. Un élément 2ET-OU est aussi retiré du circuit de formation du résultat, étant donné que dans le premier bit le résultat final de l'addition correspond toujours à l'addition modulo 2.

Comme il a été dit plus haut, les portes de sortie du résultat sont toujours attaquées par les signaux de l'opération de machine (β).

Addition bit par bit sans report

a_i	b_i	modulo 2	$\overline{\text{modulo 2}}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Addition des nombres:

```
A=0,  0 0 1 0 1 1 1 0 1 0 0 1 1 1 0 1 0 0 1 0 1
B=0,  0 0 0 1 0 1 1 1 1 0 1 0 1 1 0 0 1 0 1 0 0
-------------------------------------------------
      0 0 1 0 1 1 1 0 1 0 0 1 1 1 0 1 0 0 1 0 1
      0 0 0 1 0 1 1 1 1 0 1 0 1 1 0 0 1 0 1 0 0
      P       G       P   G       P     G   P
-------------------------------------------------
S=0,  0 1 0 0 0 1 1 0 0 1 0 0 1 0 0 1 1 1 0 0 1
```

Soustraction des nombres

```
A=0,  0 0 1 1 0 1 1 0 1 1 0 1 1 0 1 1 1 1 0 1 0
B=0,  0 0 0 1 0 0 0 1 1 0 0 1 0 0 0 1 0 1 1 1 1
-------------------------------------------------
          0 0 1 1 0 1 1 0 1 1 0 1 1 0 1 1 1 1 0 1 0
|A|>|B|   0 0 0 1 0 0 0 1 1 0 0 1 0 0 0 1 0 1 1 1 1
              P       G       P           G     P
-------------------------------------------------
S=0,  0 0 1 0 0 1 0 1 0 1 0 0 1 0 1 0 0 1 0 1 1
A=0,  0 0 0 1 0 1 0 0 1 1 0 0 1 1 1 0 0 1 1 0 1
B=0,  0 1 0 0 1 0 1 0 1 0 0 1 0 0 1 0 1 1 1 0 0
-------------------------------------------------
          0 0 0 1 0 1 0 0 1 1 0 0 1 1 1 0 0 1 1 0 1
|A|<|B|   0 1 0 0 1 0 1 0 1 0 0 1 0 0 1 0 1 1 1 0 0
          G P   G P G   P   G   P   G     P     G
-------------------------------------------------
      1 1 0 0 1 0 1 0 0 0 1 1 1 0 1 1 1 0 0 0 0
-------------------------------------------------
S=0,  0 0 1 1 0 1 0 1 1 1 0 0 0 1 0 0 0 1 1 1 1
```

Les signaux d'opération de machine sont élaborés par un circuit spécial prévu dans le dispositif de commande locale.

La fig. 8.16 représente le circuit produisant le signal d'opération de machine (β). On sait que l'opération réelle à laquelle se soumettent deux nombres à additionner dépend du signe de l'opération imposée (α) et des signes des nombres. Le tableau 8.3 réunit tous

Tableau 8.3

Tableau de détermination du signe de l'opération de machine

α *	a_s	b_s	β	α	a_s	b_s	β
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

* 0 = addition ; 1 = soustraction

les cas de la combinaison des signes de l'opération et des nombres déterminant la valeur du signal β.

L'étape suivante et bien importante de fonctionnement de l'unité de calcul arithmétique est la détermination du signe du résultat (S_s). Pour ce faire, il est nécessaire de connaître le signe de l'opération, les signes de deux nombres et la valeur relative des nombres ($\overline{M}$).

Le fonctionnement automatique de l'unité de calcul arithmétique devient possible à condition que la valeur relative des nombres

Fig. 8.16. Schéma de commande locale et de formation du signe du résultat: 1 — sorties vers l'additionneur combinatoire; 2 — sorties vers l'unité de commande centrale

soit déterminée dans chaque opération. Cette condition est satisfaite par les lignes de report lors de la soustraction.

Dans les cas où $|A| < |B|$, le dernier bit (le poids le plus fort) tombe toujours dans le groupe G ou termine le groupe P. Le signal 1 à la sortie de la ligne de report permet de fixer ces cas.

Ainsi, on dispose de toutes les données nécessaires pour déterminer le signe du résultat.

Si $|A| > |B|$, le signe du résultat correspond au signe du nombre A (a_s) pour toute opération ($\alpha = 0$, $\alpha = 1$). Si $|A| < |B|$ ($\overline{M} = 1$), le signe du résultat de l'addition correspond au signe du deuxième nombre, c.-à-d. à l'état du bit (b_s), le signe du résultat de la soustraction étant inverse du signe du deuxième nombre. Ces conditions sont réalisées à l'aide du circuit logique ET-OU2.

Comme on a déjà indiqué, le dispositif de commande locale élabore des signaux de changement des conditions dans lesquelles

est effectuée la division des bits en groupes (C) lors de la soustraction si le diminuande est inférieur au diminuteur, c.-à-d. $\overline{M} = 1$. Un signal $C = 1$ arrive depuis la sortie du circuit ET_1 dans le premier rang de la ligne de report pour la soustraction et dans l'unité centrale de commande du processeur pour bloquer le signal de sortie du résultat. Ainsi, lorsque $|A| < |B|$, l'opération sur les nombres peut se reprendre. Dans ce cas, le résultat est délivré, comme il a été déjà dit, en code inverse dont le signal est produit par le circuit de commande des registres.

La réalisation du microprocesseur considéré sous la forme d'un circuit à grande intégration exige une organisation de ses entrées et sorties de manière à assurer leur fonctionnement sur un système de fils d'information à charge capacitive assez élevée qui sert à organiser l'échange d'instructions et d'information entre des dizaines et des centaines de microprocesseurs, les mémoires externes et internes et l'unité de commande centrale d'un réseau de calcul uni.

CHAPITRE IX

Circuits LSI

Introduction

Les progrès dans la technique de fabrication des circuits intégrés ont conduit ces dernières années à la création des circuits LSI *) qui sont à l'origine des modifications qualitatives nouvelles des méthodes de conception du matériel radio-électronique.

L'apparition de circuits intégrés à niveaux d'intégration faible et moyen (10 à 15 et 25 à 100 éléments intégrés respectivement) n'a pas apporté de changements significatifs aux principes de conception de l'appareillage électronique élaborés à l'époque des composants semi-conducteurs discrets. La majorité écrasante de ces circuits intégrés constitue la base universelle pour la création des dispositifs et des organes compliqués.

La particularité des LSI est d'être eux-mêmes des circuits compliqués qui englobent « en volume » des blocs, des organes et même des dispositifs électroniques entiers. Pour cette raison les LSI ne sont généralement pas polyvalents, mais s'adressent à un matériel concret.

Si dans le domaine des microcircuits à degré d'intégration faible et moyen on peut bien dégager certains schémas types applicables à un grand nombre de problèmes à résoudre par ces microcircuits, dans la technique LSI les exemples de ce genre ne sont guère nombreux. D'autre part, les LSI ont des traits communs qui se manifestent non pas dans les circuits individuels, mais plutôt dans les méthodes de leur conception.

La notion de LSI n'a pas encore reçu une définition unique. C'est bien « un circuit comportant jusqu'à plusieurs centaines ou plus d'éléments actifs: diodes, transistors, etc. » et « un cristal semi-conducteur dont la surface porte un grand nombre d'éléments implantés avec une densité optimale pour réduire le coût des systèmes par l'effet des connexions effectuées sur le cristal en nombre maximal possible », et aussi « un système complexe à interconnexions multicouches conçu à l'aide d'ordinateurs » ou bien « les organes et blocs microélectroniques des appareils radio-électriques et électroniques » et, enfin, un système de principes et de méthodes tech-

*) Large scale integration

niques ou une philosophie de construction des systèmes par les procédés de la Microélectronique [60 à 63].

Chacune des définitions ci-dessus contient des caractéristiques importantes de la technique LSI, qui pourtant, sont toutes loin d'être complètes. D'autre part, dans leur ensemble, ces définitions renseignent de façon exhaustive sur la question. Aussi, le présent chapitre insiste-t-il essentiellement sur les problèmes généraux, tant théoriques que pratiques, de la technique LSI et ne traite-t-il qu'à titre d'exemples des schémas fonctionnels des circuits LSI qui peuvent être considérés comme universels.

9.1. Problèmes d'augmentation du nombre d'éléments intégrés dans un LSI

L'élévation du niveau d'intégration des éléments dans les microcircuits tient au moins à plusieurs facteurs dont l'un est la possibilité de réduction de l'encombrement de ces éléments. Or, les dimensions géométriques limites des éléments d'un microcircuit sont déterminées, d'une part, par les paramètres électriques à obtenir et, de l'autre, par la « discrimination » de l'équipement et des processus technologiques appelés à créer des structures appropriées dans le semi-conducteur, sur sa surface ou sur celle d'un substrat diélectrique. Il s'agit en premier lieu de l'équipement optique à haute résolution, des procédés photolithographiques de précision, des méthodes de traitement par faisceaux électroniques, etc.

Il est important de noter que dans la Microélectronique les méthodes technologiques et l'équipement évoluent assez rapidement. On peut en juger par le fait que depuis 5 à 7 années récentes les microcircuits à transistors bipolaires ont vu le nombre de leurs éléments augmenter de 10 à 12 fois tandis que la surface cristalline du microcircuit à diminué à peu près de moitié. On constate que le nombre limite d'éléments par unité de surface du cristal est le plus vite atteint par les circuits à forte dissipation de puissance. La puissance dissipée actuellement par les LSI à transistors bipolaires, et surtout par les rapides, peut aller jusqu'à plusieurs watts. Les échanges thermiques entre les éléments intégrés au cristal et les procédés d'évacuation de la chaleur posent souvent des limites à la croissance du nombre d'éléments dans les microcircuits.

Le degré d'intégration que l'on peut espérer dépend beaucoup du type de composants intégrés dans le microcircuit. Or, un transistor bipolaire occupe une surface égale à environ 0,016 mm^2 et un transistor MOS, seulement 0,00063 mm^2 [60].

Un encombrement bien moindre des éléments actifs et une faible dissipation sont à l'origine d'une croissance rapide du degré d'intégration dans le cas des microcircuits à transistors MOS. A la fig. 9.1 on trouve un graphique comparatif de la surface occupée par 1 « bit » et par 10 « bits » d'un compteur à transistors bipolaires et d'un autre à transistors MOS [60]. Le tableau 9.1 résume les don-

Tableau 9.1

Fonctions des circuits	Nombre de portes dans les LSI à transistors bipolaires	Nombre de portes dans les LSI MOST
Circuits logiques	100-250	1,0
Registres à décalage	500	2-3
Mémoires	1000	5-10

nées récentes sur le degré d'intégration de divers circuits. Un nombre plus grand d'éléments intégrés dans un LSI peut aussi résulter de l'augmentation des dimensions du cristal semi-conducteur, pourtant cette solution comporte, elle aussi, certaines limitations.

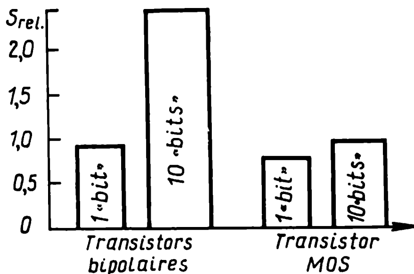


Fig. 9.1. Augmentation relative de surface de la plaque en fonction de la complexité des circuits

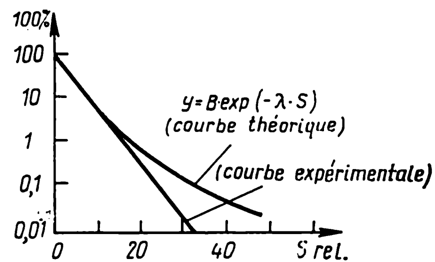


Fig. 9.2. Taux de la production reconnue bonne en fonction de la surface du cristal

Au cours de la fabrication du circuit intégré, il est impossible d'éviter l'apparition de défauts dans le cristal semi-conducteur. Les origines des défauts et leur répartition sur la surface du cristal se déterminent par des relations probabilistes. Le taux des cristaux reconnus bons est donné par l'expression suivante [61]:

$$Y = B_{\text{exp}}(-\lambda \cdot S), \quad (9.1)$$

où B représente les pertes régulières des cristaux reconnus bons, S est la surface des cristaux et λ la densité moyenne de défauts.

La fig. 9.2 montre les courbes calculée et expérimentale des taux de la production reconnue bonne en fonction de la surface du cristal [61].

Il existe donc des limites bien déterminées à l'augmentation de la surface du cristal. Le niveau actuel de la technique de fabrication permet de produire les LSI avec un taux acceptable de microcircuits reconnus bons jusqu'aux dimensions du cristal: 3,3 × 6,3 mm.

Si perfectionnés que soient les processus technologiques, plus grands est leur nombre, plus nombreux sont les défauts qu'ils engendrent. Aussi, serait-il intéressant de comparer les quantités approchées d'opérations technologiques nécessaires à la création des circuits intégrés en transistors bipolaires et en transistors MOS (tableau 9.2) [60].

Tableau 9.2

Nombre d'opérations technologiques	CI TB	CI MOST
Nombre total d'opérations technologiques	130	38
Nombre d'opérations technologiques principales	32	22
Nombre d'opérations « haute température » (oxydation, diffusion)	10	2

Aux possibilités morphologiques d'augmentation du degré d'intégration peut se rapporter le remplacement des résistances obtenues au moyen de la diffusion par celles formées par les transistors MOS connectés d'une façon déterminée.

Les résistances de diffusion occupent une surface plus grande à cause de leur résistivité dans la gamme de 200 à 250 Ω/□ ; quant aux transistors MOS, la résistivité de leur canal est comprise entre les unités et les centaines de mille Ω/□ pour des dimensions géométriques sensiblement moindres que dans le cas des résistances de diffusion.

Il est à noter que de nombreuses possibilités d'augmentation du degré d'intégration résident dans l'utilisation des transistors MOS dans les microcircuits. Cela explique le fait qu'à peu près 65 % des LSI qui font fonction de registres et de compteurs sont à base des transistors MOS. Cependant, dans les circuits rapides et dans ceux qui fonctionnent sur une forte charge capacitive, il serait plus utile d'employer les transistors bipolaires doués d'une qualité meilleure que les transistors MOS. C'est à cela que tient la « popularité » des circuits en logique *TTL* et *ECL*.

9.2. *Problème d'interconnexion des éléments dans les LSI*

Le problème de réalisation des connexions entre les éléments à l'intérieur d'un LSI est l'un des plus graves, peut-être même le plus important de la technique des circuits intégrés. Il ne suffit pas de créer sur une plaque de semi-conducteur un grand nombre d'éléments actifs et passifs, mais de les relier entre eux de manière à constituer un circuit bien déterminé.

Les interconnexions existant dans les LSI peuvent être assimilées à un système à plusieurs niveaux. Au premier niveau, on

réalise les connexions entre les composants actifs et passifs formant les circuits logiques les plus simples ET, OU, ET-NON, OU-NON, etc.

Le deuxième niveau est le siège des connexions relatives aux circuits du type bascules, circuits de commande, demi-additionneurs, etc.

Au troisième niveau se trouvent des connexions entre les éléments des compteurs à forte capacité digitale, des registres, des additionneurs, des décodeurs, etc.

Les interconnexions permettant de regrouper les éléments en organes et blocs encore plus compliqués se font à des niveaux plus élevés.

Les LSI peuvent être caractérisés par le nombre de niveaux existant dans le système de connexions. Pendant la fabrication de tout LSI, le système de connexions à plusieurs niveaux se réalise sous forme de plusieurs couches de « conducteurs ».

A chaque niveau il est nécessaire d'interconnecter un certain nombre de sorties qu'il s'agisse de celles des composants actifs ou passifs, des circuits logiques les plus simples ou bien des dispositifs plus compliqués. Pour certains circuits, il est possible de déterminer le nombre de sorties à réaliser en fonction du degré d'intégration. A la fig. 9.3 on trouve le nombre de sorties dans les opérateurs arithmétiques LSI en fonction de celui de portes qu'ils contiennent [61].

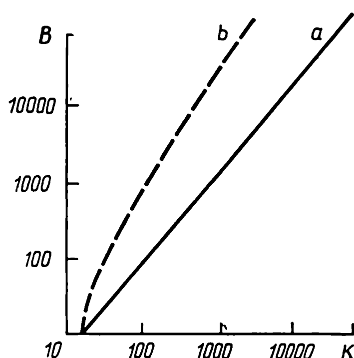


Fig. 9.3. Nombre de sorties en fonction de celui de portes dans les processeurs:
a — commande « centralisée »; *b* — commande « locale »

Comme la complexité d'un système d'interconnexions tient au nombre de contacts, on doit inévitablement se poser le problème de la réduire au minimum au moyen de solutions structurales différentes. Il importe de même qu'un LSI comporte le moins de sorties possible ce qui s'obtient par un choix judicieux des éléments de base et une division optimale de gros dispositifs en modules intégrés.

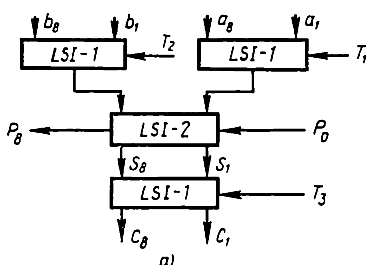
La recherche de la solution la plus avantageuse suit deux voies dont l'une consiste à choisir correctement les composants et les circuits et l'autre, à optimaliser le schéma fonctionnel tout entier du dispositif qui est ensuite divisé en parties comportant un nombre minimal de sorties. Aux premiers niveaux du système de connexions, l'introduction des transistors multiémetteurs dans les circuits logiques au lieu de diodes et de transistors bipolaires donne un effet considérable à l'échelle d'un LSI. Dans les mêmes buts, il est bon de faire appel à des bascules *J-K* universelles au lieu des bascules *D*, *T* et *R-S*. Au prix d'une certaine redondance (un inverseur sup-

plémentaire) la bascule J-K peut être mise en « mode D », la réunion de ses entrées et l'introduction dans le schéma d'une logique, qui interdit l'application simultanée de signaux $J \cdot K = 1$ en entrée, pouvant conduire respectivement au régime de fonctionnement des bascules T et R-S (cf. chapitre 2).

La réduction du nombre d'interconnexions intérieures dans un LSI et, ce qui est encore plus important, de celui de sorties extérieures est réalisable grâce à l'emploi de principes monophasés de réception et de transmission de l'information.

Par une redondance des éléments dans le circuit, réalisée aux niveaux plus élevés de connexions, par exemple au niveau de l'opérateur arithmétique, il est possible de réduire notablement, par adjonction d'une commande locale, le nombre de sorties d'un LSI (fig. 9.3, courbe b).

Pour évaluer quantitativement la qualité de conception en cas de division fonctionnelle des circuits en LSI individuels,



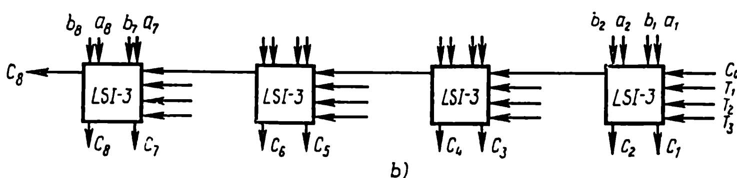


Fig. 9.4. Opérateur arithmétique à base de quatre circuits LSI : a — circuits LSI de deux types; b — circuits LSI d'un même type

il est commode de faire appel au nombre de portes par contact (B_K), appelé par Khambata [79] « facteur de division fonctionnelle » :

$$B_K = B/K, \tag{9.2}$$

où B est le nombre de portes dans le circuit ; K est le nombre de sorties dans le circuit.

Prenons un exemple de division fonctionnelle d'un opérateur arithmétique à 8 bits comportant un registre à 8 bits du premier nombre à ajouter, un registre à 8 bits du deuxième nombre à ajouter, un additionneur combiné à 8 bits et un registre à 8 bits de la somme. Dans le premier cas (fig. 9.4 a), le OA est réalisé avec 4 LSI de deux types différents : le LSI du premier type est un registre à 8 bits ; le LSI du second type est un additionneur à 8 bits. Dans le second cas (fig. 9.4 b), le OA se compose de 4 LSI d'un même type, comportant chacun deux « bits » des registres des nombres à ajouter et un additionneur à deux bits. En supposant que le transfert de

l'information dans le registre et l'additionneur se fait en monophasé, déterminons le nombre total de portes (B), celui de sorties (K) et le paramètre B_K pour chaque type de LSI réalisé tant avec les éléments ET-OU-NON en logique *TTL* qu'avec les éléments NON, ET-OU en logique *T-TTL*. Les caractéristiques comparatives des LSI considérés sont données dans le tableau 9.3.

Tableau 9.3

Version	Type des LSI	Logique *TTL*			Logique *T-TTL*		
		B	K	B_K	B	K	B_K
1	Registre à 8 bits Additonneur à 8 bits	40 80	17+2 26+2	2,1 2,9	16 56	17+2 26+2	0,9 2,0
2	Registre-additionneur à 2 bits	50	11+2	3,85	26	11+2	2,0
3	Registre-additonneur à 4 bits				52	21	2,45

Pour simplifier le calcul, on pose que l'additionneur à plusieurs bits est réalisé à base des additionneurs monobits, chaque circuit ET étant équivalent d'une seule porte. Les procédés de synthèse des additionneurs monobits en éléments *TTL* et *T-TTL* font l'objet du chapitre 1.

Le nombre total de sorties dans le registre LSI se détermine par celui d'entrées et de sorties du registre plus une entrée horloge et deux sorties « alimentation » ($K = 8 + 8 + 1 + 2 = 19$). Le nombre de sorties dans l'additionneur LSI se détermine par celui d'entrées des registres des premier et deuxième nombres à ajouter, par celui de sorties du registre de la somme plus une entrée et une sortie de report et plus deux sorties « alimentation » ($K = 8 + 8 + 8 + + 2 + 2 = 28$). Le nombre de sorties dans le registre-additionneur LSI est fonction de celui d'entrées des registres des premier et deuxième nombres à ajouter, de celui de sorties de deux « bits » du registre de la somme plus trois entrées horloge, une entrée et une sortie « report » et plus enfin deux sorties « alimentation » ($K = 2 + 2 + + 2 + 3 + 2 + 2 = 13$).

Du tableau 9.3 on voit que le deuxième procédé de division de OA conduit à une augmentation du paramètre B_K et à une réduction du nombre de LSI. Cependant, les LSI s'orientent dans ce cas vers la spécificité des dispositifs auxquels ils s'adressent. Si, dans le premier cas de division de OA en LSI de deux types, le registre LSI peut s'utiliser avec succès pour la synthèse d'autres dispositifs de l'ordinateur (à titre de registre tampon, dans l'unité de commande, l'unité entrée-sortie, etc.), le registre-additionneur LSI ne peut s'appliquer que pour la synthèse des OA.

Un autre résultat important de l'analyse du tableau 9.3 est la démonstration de l'influence du type de circuit logique de base sur les caractéristiques des LSI. Un registre, un additionneur ou un registre-additionneur LSI en éléments *T-TTL* demande moins de portes que les LSI en logique *TTL*. C'est ainsi que la réalisation d'un registre-additionneur à 4 bits avec les circuits *T-TTL* implique l'emploi de 52 portes, c.-à-d. pratiquement autant qu'il faut pour un LSI à 2 bits en circuits *TTL* (50 portes). La croissance de la complexité fonctionnelle du LSI conduit à celle de son B_K (de 2,0 à 2,45) et assure, certes, au dispositif des caractéristiques volumiques et pondérales substantiellement meilleures et un coût bien moindre. Dans notre cas, pour la synthèse d'un OA en troisième version, il ne nous faudra que deux LSI au lieu de quatre, comme c'est le cas des deux premières versions. Pour conclure, on peut noter, que lorsque les LSI de destination fonctionnelle identique sont réalisés avec divers circuits logiques de base, le paramètre B_K de valeur moindre est caractéristique d'un circuit logique de base plus efficace.

9.3. Technique des circuits LSI et particularités technologiques et constructives de leur fabrication

La technique de fabrication des LSI permet de réaliser tout le système de connexions à plusieurs niveaux sous forme de films conducteurs minces situés dans le même plan, ce qui est pourtant un cas rare. Les microcircuits où le nombre de portes dépasse 50 sont le siège des croisements de conducteurs multiples. Chaque croisement se fait dans deux couches séparées par un diélectrique. Il faut noter tout de suite que, par sa structure, chaque croisement représente un condensateur. La présence dans les circuits d'un grand nombre de croisements, c.-à-d. de capacités parasites, peut altérer la rapidité et le facteur de charge de sortie des éléments logiques intégrés à un LSI. L'apparition dans les LSI des capacités supplémentaires baisse la fiabilité et le pourcentage des circuits reconnus bons.

La longueur des conducteurs à film mince joue un grand rôle dans la technique des circuits LSI rapides. Chaque conducteur disposé soit sur une couche, soit sur un substrat diélectrique représente une ligne à microbande asymétrique dont l'influence se fait sentir déjà à partir de la gamme nanomique de durées des signaux transmis. Chacune de ces lignes se caractérise par un amortissement, une résistance d'onde et une vitesse de propagation du signal.

Or, un conducteur long de 5 mm, disposé sur un cristal de 2,5 × × 2,5 mm, apporte un retard d'environ 400 ns à la propagation du signal [82]. Dans le cas des circuits à petit temps de commutation (moins de 100 ns) de tels retards rendent extrêmement difficile la synchronisation et abaissent la fréquence utile du dispositif.

Cependant, la longueur du conducteur n'est réductible que dans certaines limites. La réduction de la longueur et de la largeur des conducteurs à film mince favorise la densité d'implantation des éléments dans un microcircuit, toutefois la diminution de la section des conducteurs conduit à une chute de tension plus grande.

Etant donné que la consommation de courant en impulsion dans les LSI atteint plusieurs ampères, la section des conducteurs doit être limitée aux valeurs admissibles de chute de tension dans ceux-ci. La conception d'un système multicouche de conducteurs est possible compte tenu de la totalité des facteurs influençant les paramètres structuraux des circuits LSI.

L'influence de la topologie du système de connexions sur les paramètres électriques ne peut être prise en compte sous tous ses aspects qu'à l'aide d'un ordinateur. L'emploi de l'ordinateur pour le calcul des LSI constitue le caractère important de l'étude des circuits de ce genre. La vérification du bon fonctionnement du circuit, la mesure de ces paramètres électriques imposent l'emploi des ensembles de mesure compliqués, bâtis autour d'un ordinateur. Et c'est seulement grâce à l'utilisation de telles techniques que la production des LSI devient efficace.

Les possibilités fonctionnelles des LSI dépendent beaucoup des procédés technologiques de leur réalisation. Considérons-en les principaux.

9.3.1. LSI à « câblage » fixe

Dans ce cas, le microcircuit LSI est fait en plein accord avec la topologie préalablement étudiée des conducteurs à film mince servant à relier entre eux les éléments du circuit « en coordonnées » rigidement fixées.

Un tel procédé de synthèse des LSI permet de concevoir l'ensemble de connexions de manière à obtenir la variante la plus avantageuse de disposition des composants du circuit. Dans ce cas, on peut, au préalable, tenir compte des interférences entre les composants du circuit, d'adapter les charges, de calculer de façon précise les temps de propagation des signaux dans les conducteurs, etc. Cependant, la création de pareils LSI n'est possible qu'à condition d'avoir 100 % d'éléments reconnus bons sur un cristal. Il est extrêmement difficile de remplir cette condition industriellement; aussi est-il important d'évaluer au préalable l'éfficacité économique de fabrication des LSI par ce procédé.

9.3.2. LSI à « câblage » programmé

Ce procédé de fabrication des LSI exige une topologie du système de conducteurs à film mince calculée pour chaque microcircuit à part, compte tenu de la disposition des éléments reconnus bons sur le cristal qui varie d'un cristal à l'autre. On voit donc qu'avec

un tel procédé de fabrication des LSI il est difficile d'atteindre un système de connexions optimal. Pour faciliter l'étude du système de connexions dans les LSI de ce genre, on a recours à une certaine redondance des composants.

Etant donné qu'un cristal peut présenter des portions de surface portant des composants défectueux et que le « câblage » nécessite une surface étendue, le degré d'intégration des LSI à « câblage » programmé est moins grand que celui des LSI à « câblage » fixe.

Si les LSI à « câblage » fixe sont produits selon un processus technologique continu, les LSI à « câblage » programmé voient leur processus de fabrication interrompu au stade de création des composants individuels. Par suite, on vérifie les paramètres de tous les composants du circuit avec les dispositifs de mesure munis de sondes. Les coordonnées des composants reconnus bons sont introduites dans l'ordinateur chargé de calcul de la topologie du système de conducteurs. Après le calcul et la fabrication de masques, le processus de fabrication des LSI continue. Ce procédé a pour avantage un taux plus grand de la production reconnue bonne.

9.3.3. LSI réalisés par la méthode de « matrice de base »

Selon ce procédé, le circuit est divisé en « sous-circuits » individuels, qui sont les matrices, dont les interconnexions se réalisent par la méthode de « câblage » fixe. Or, les connexions entre les matrices s'effectuent par le « câblage » programmé. Un tel procédé de fabrication mixte des LSI permet d'obtenir des interconnexions dans les matrices suivant la technologie « fixe » et en même temps, grâce au « câblage » programmé entre les matrices, d'augmenter le taux des circuits reconnus bons après la fabrication. Il faut pourtant noter que les LSI obtenus de cette façon ont un degré d'intégration moindre que dans les cas des LSI à « câblage » fixe. Une partie de la surface du cristal de tels LSI se trouve encombrée par les matrices de mauvaise qualité et les contacts où aboutissent les sorties des matrices.

9.3.4. LSI hybrides

La méthode hybride de fabrication des LSI est la plus universelle. Cette variante technologique prévoit la création d'un LSI en deux parties: un circuit passif à film mince, disposé sur un substrat diélectrique, et des éléments actifs sans boîtiers (transistors, diodes, circuits monolithiques), montés sur ce circuit passif.

Par le degré d'intégration, les LSI hybrides dépassent les circuits monolithiques, étant donné que ces derniers constituent eux-mêmes les éléments des LSI hybrides.

Le circuit passif à film mince se réalise sur un substrat diélectrique permettant d'obtenir les systèmes d'interconnexions à haute fréquence. A la différence des substrats à semi-conducteur dont la

résistivité est choisie généralement de manière à permettre la création des composants actifs ($\rho \approx 10^2$ à 10^3 $\Omega \cdot$cm), les substrats diélectriques ($\rho \approx 10^{14}$ $\Omega \cdot$cm) permettent de réaliser les lignes de connexion à microbande HF. Pour les systèmes de connexions destinés à conduire les signaux d'une durée de l'ordre de nanoseconde et de picoseconde, les paramètres des substrats sont décisifs [83].

Le circuit passif peut comporter des résistances à film mince et des condensateurs dont les valeurs nominales ne sont pas conséquentes des procédés de la technologie des semi-conducteurs.

La topologie d'un circuit à film mince est calculée compte tenu de tous les paramètres nécessaires, de manière à obtenir une disposition optimale des éléments actifs.

Un LSI hybride peut réunir divers éléments actifs qui se distinguent non seulement par leurs paramètres, mais aussi par leur principe de fonctionnement. Le même LSI peut comporter les circuits monolithiques et les transistors « haute » et « basse fréquence », de grande et de faible puissance, de conduction du type différent, bipolaires et à effet de champ, etc.

La création des sorties rigides — « poteaux » et « billes » — pour les éléments actifs constitue un grand succès de la technique des circuits hybrides. Les sorties rigides font augmenter la fiabilité des connexions et permettent de réaliser automatiquement le montage des circuits hybrides. La vitesse avec laquelle les automates effectuent actuellement le montage des éléments sur le support va jusqu'à plusieurs milliers de cristaux à l'heure. Une telle vitesse de montage est comparable à celle dans la technique de fabrications par groupes des circuits solides. La technologie des LSI hybrides permet de renoncer à la protection des circuits et des cristaux isolés par les boîtiers individuels, mais d'étanchéiser l'ensemble du dispositif tout entier qui compte plusieurs dizaines ou même centaines de LSI. Cela conduit à une amélioration considérable des caractéristiques dimensionnelles et pondérales des dispositifs et rend possible leur réparation.

9.4. Dispositifs fonctionnels principaux des ordinateurs réalisés sous forme de LSI

L'évolution de la technique des LSI est orientée essentiellement vers la croissance du degré d'intégration des circuits numériques à structure régulière. Parmi ces derniers, on distingue: mémoires (internes et permanentes), registres, compteurs, distributeurs, commutateurs, analyseurs différentiels numériques, additionneurs à forte capacité digitale [80, 81].

9.4.1. LSI dans les mémoires à semi-conducteurs

Examinons d'abord les schémas principaux des mémoires élémentaires à semi-conducteurs du type bipolaire. La fig. 9.5 donne quatre variantes du schéma des mémoires élémentaires. Celle de

la fig. 9.5 *a* utilise des transistors, résistances et diodes et exige 18 composants par bit. Elle comporte des fils à part pour la commande d'écriture et de lecture de l'information. Le signal d'écriture sous forme de niveau haut arrive sur le fil « écriture » pour bloquer les transistors T_1 et T_2 de la bascule de la mémoire élémentaire. Après

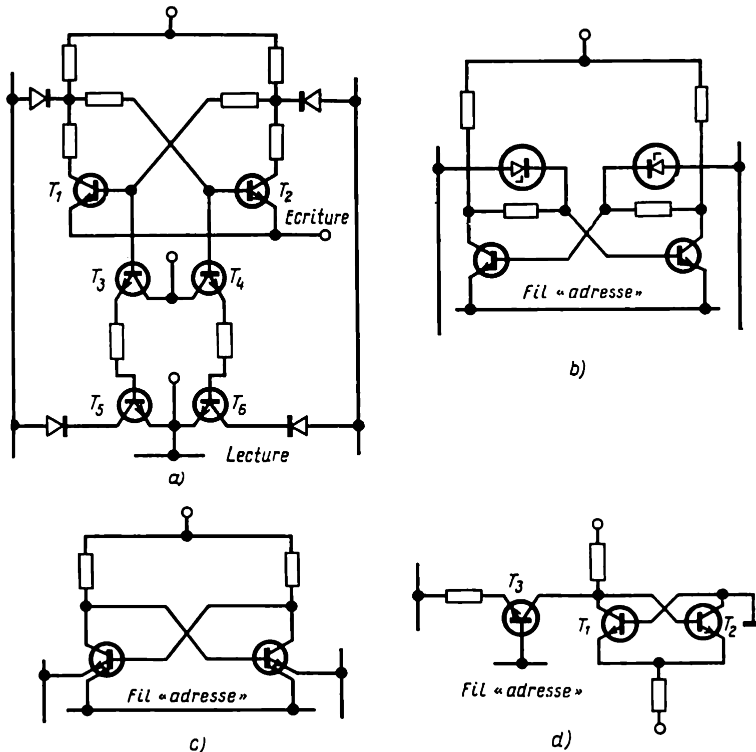


Fig. 9.5. Schémas des cellules standards des mémoires bipolaires internes: *a*, *b* — *TRL*; *c* — *TTL*; *d* — *ECL*

la cessation du signal d'écriture, la bascule prend un état conforme aux potentiels existant sur les fils de bits de la mémoire élémentaire, c.-à-d. il se produit l'écriture de l'information. Au régime de lecture, le fil approprié reçoit un signal sous forme de niveau bas qui produit le déblocage du couple de transistors (T_3, T_5 ou T_4, T_6) dont l'entrée est au niveau haut (1 logique provenant de la bascule). Les amplificateurs d'écriture et de lecture sont raccordés aux fils de bit des mémoires élémentaires. Le désavantage de la mémoire élémentaire ci-dessus est d'exiger de nombreux composants par bit qui occupent une grande surface sur la plaque-support du LSI.

La fig. 9.5 *b* représente le schéma d'une mémoire élémentaire réalisée avec deux transistors reliés aux diodes Schottky. Les signaux d'écriture et de lecture s'appliquent à un même fil d'adresse, ce qui permet de simplifier la topologie de la mémoire LSI et d'augmenter sensiblement le degré d'intégration.

La mémoire élémentaire la plus simple est réalisée avec les transistors à plusieurs émetteurs (fig. 9.5 *c*) et ne demande que quatre composants par bit. Le circuit possède deux fils de bit et un fil d'adresse servant à écrire et à lire l'information. Les mémoires LSI à transistors à plusieurs émetteurs (logique *TTL*) sont les plus répandues à cause de la grande densité d'implantation des composants et de la capacité maximum possible de la mémoire dans le cadre d'un seul cristal [81]. Le temps d'accès d'une mémoire en circuits *TTL* est petit et peut atteindre 30 à 40 ns pour les mémoires à faible capacité [81]. La plus grande vitesse d'extraction de l'information dans les mémoires à semi-conducteurs s'obtient avec l'utilisation des cellules de mémoire munies de commutateurs de courant à transistors en logique *ECL*. L'un des plus simples schémas de telles mémoires est donné fig. 9.5 *d*. La mémoire contient une bascule à transistors T_1 et T_2 et un transistor T_3 fonctionnant en tout ou rien. La base du transistor T_3 est réunie au fil d'adresse et son émetteur, au fil de bit de la mémoire. Le temps d'accès dans le cas de la mémoire en logique *ECL* peut être de 10 à 20 ns.

Tableau 9.4

Caractéristiques des mémoires en LSI bipolaires

Origine et type de la mémoire	Capacité de mémoire en bits	Temps d'accès en ns	Consommation en mW	Capacité de LSI en bits/composants	Type de la mémoire élémentaire
Raytheon 6120	512	70	36 00	128/> 500	*TTL*
Cogar 08C05	9216	40	$52 \cdot 10^3$	128/> 500	*TTL*
Fairchild 4100	256	80	500	256/> 1000	*TTL*
4104	512	70	600	128/> 500	*TTL*
Intel 3301	1024	60	500	256/> 1000	*TTL*
Motorola MC1036/37	16	15	250	16/> 100	*ECL*

Le tableau 9.4 présente les paramètres des mémoires internes à transistors bipolaires produites en série et suivant la technique des LSI par quelques firmes des USA [80]. On voit de ce tableau que la capacité des mémoires bipolaires LSI est relativement petite (jusqu'à 256 bits par cristal) pour une consommation de puissance assez élevée. Or, les mémoires LSI à transistors MOS possèdent dans un cristal unique une capacité sensiblement plus grande et consomment par bit une puissance moindre que les mémoires bipolaires.

9.4.2. Mémoires LSI à transistors MOS

Les mémoires à base des structures MOS font appel à deux genres de mémoires élémentaires : statiques et dynamiques. Dans le premier cas, le rôle de l'élément de mémoire est tenu par une bascule à transistors MOS, dans le second, par la capacité mémoire de la grille du transistor MOS. La fig. 9.6 montre les schémas principaux des

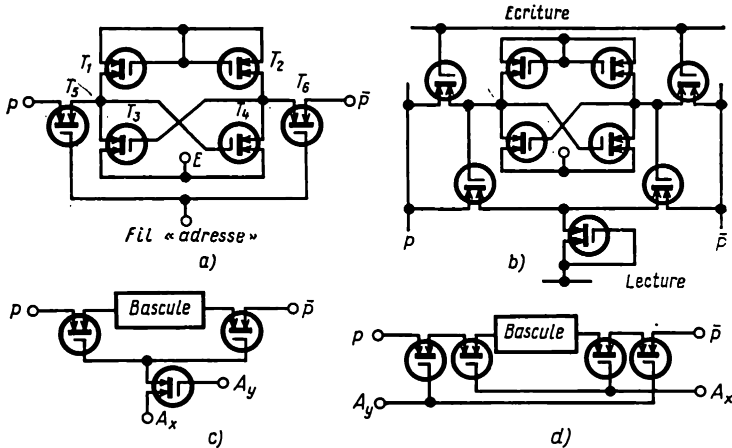


Fig. 9.6. Schémas des mémoires élémentaires du type statique en transistors MOS à canal *P*

mémoires élémentaires du type statique à transistors MOS à canal *P*. Les mémoires élémentaires schématisées fig. 9.6 *a* et *b* sont destinées aux dispositifs de mémoire à mots.

Les circuits de la fig. 9.6 *c* et *d* permettent de réaliser les mémoires à accès arbitraire. A cet effet, les fils d'adresse de la mémoire élémentaire (A_x et A_y) reçoivent les signaux d'autorisation de l'écriture dans la bascule (représentée conventionnellement) ou de la lecture de l'information sur les fils de bit P et $\overline{P}$. Bien que les composants dans la mémoire à transistors MOS soient plus nombreux que dans celle à transistors bipolaires, grâce aux dimensions plus petites des transistors MOS, le nombre de bits dans le cristal du LSI-mémoire atteint 1024. La consommation de puissance de la mémoire à transistors MOS à canal *P* est deux à trois fois inférieure à celle de la mémoire bipolaire. La réduction considérable de la consommation dans les mémoires MOS est due à la technologie des transistors MOS complémentaires. Les schémas de principe de deux genres de mémoires C/MOST sont donnés fig. 9.7 *a* et *b*. La distinction du circuit de la fig. 9.7 *a* de celui représenté fig. 9.6 *a* consiste à utiliser comme élément de mémoire une bascule C/MOST, ce qui fait réduire à des fractions de μW/bit la consommation au régime de mémorisation. La rapidité des mémoires C/MOST est la même

que pour les circuits bipolaires, mais leur tenue aux parasites est plusieurs fois plus grande.

La mémoire élémentaire représentée fig. 9.7 *b* est réalisée en transistors MOS complémentaires et a une organisation matricielle

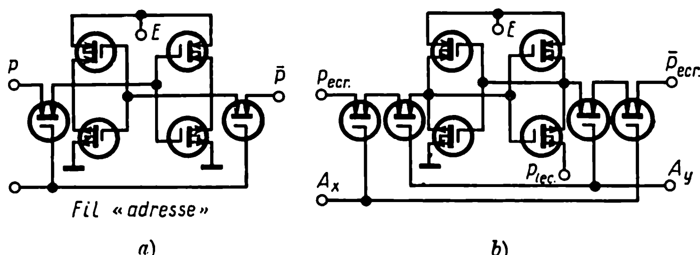


Fig. 9.7. Schémas des mémoires élémentaires en transistors MOS complémentaires

de l'extraction de l'information. Une autre particularité du circuit est d'avoir les fils d'écriture ($P_{écr.}$ et $\bar{P}_{écr.}$) et de lecture (P_{lec}) de l'information séparés. Cela permet de simplifier les amplificateurs de lecture ($A_{lec.}$) et d'écriture ($A_{écr.}$), tout comme l'organisation du circuit de commande de la mémoire.

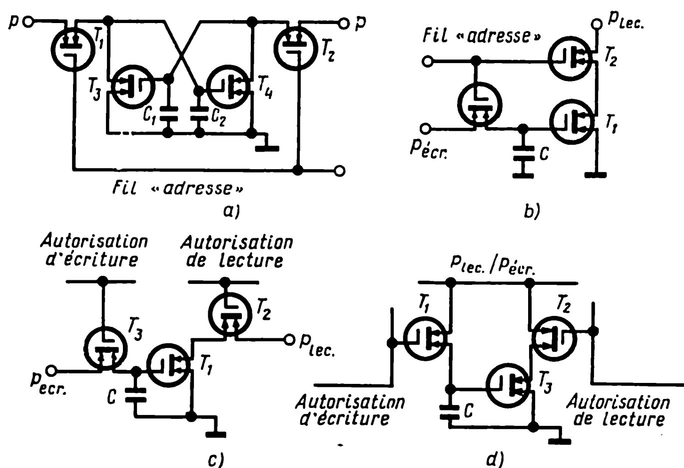


Fig. 9.8. Schémas des mémoires élémentaires du type dynamique en transistors MOS

L'une des voies efficaces conduisant à la réalisation des mémoires économiques par le nombre de transistors et la consommation par bit consiste à utiliser les mémoires élémentaires dynamiques à transistors MOS. La fig. 9.8 présente quelques types de telles mémoires, réalisées avec les transistors unitypes. La mémoire élémentaire dynamique (fig. 9.8 *a*) comporte quatre transistors MOS et se distingue par l'absence de transistors ballasts. Pendant l'écriture (une

impulsion apparaissant sur le fil d'adresse fait ouvrir les transistors T_1 et T_2), les capacités des grilles C_1 et C_2 sont chargées par le courant circulant dans les fils de bit. A la lecture, la capacité de la mémoire élémentaire choisie est déchargée à travers les fils de bit. La régénération nécessite la reprise de l'écriture ou de la lecture de l'information dans la mémoire à des intervalles de temps déterminés. La régénération de l'information est également possible à l'aide d'une horloge unique toutes les 1 à 2 µs dans tous les éléments de la matrice à la fois. Cela nécessite que deux conditions soient remplies. En premier lieu, les décodeurs et les circuits d'extraction doivent permettre un accès simultané à tous les « bits » de la matrice et, en second lieu, les circuits reliés aux fils de bit doivent être dimensionnés de manière à pouvoir supporter les courants assez grands pour assurer sur ces fils un potentiel voisin de zéro.

Dans la mémoire élémentaire dynamique, schématisée fig. 9.8 *b*, l'information est mémorisée dans le condensateur *C*. La mémoire dynamique de la fig. 9.8 *c* a une organisation analogue, à cela près qu'elle possède des fils d'écriture et de lecture de l'information séparés. La fonction de « bascules » mémorisant l'information est faite par la capacité de la grille du transistor T_1. A l'écriture de 1 elle est chargée par le signal $P_{écr}$ pendant l'impulsion « autorisation écriture ». La lecture de l'information s'effectue à travers le transistor T_2 débloqué par le signal « autorisation lecture », le potentiel à la sortie de la mémoire ($P_{écr.}$) dépendant de la tension sur la capacité *C*. Lorsque le niveau de tension sur la capacité est haut, le transistor T_1 conduit et la sortie $P_{écr.}$ a une tension voisine de zéro. En l'absence de la charge dans la capacité, c'est le signal 1 qui sera lu.

Tableau 9.5

Caractéristiques des mémoires en LSI MOS

Origine et type de la mémoire	Capacité de mémoire en bits	Temps d'accès en ns	Consommation en mW	Capacité de LSI en bits/composants
Philco *PMS* 2048	2048	1000	350	256/> 1500 (statique)
Texas *TMS* 40 XXMH	2048	100	—	100/> 800 (statique)
Cogar 30P06	4096×32	250	$14\cdot10^3$	4096/> 12 000 (dynamique)
Intersil *ICM*6008	512	<350	250	250/> 800 (statique)
Intel 1103	1024	300	500	1024/> 3000 (dynamique)
RCA *CD*4005	16	15	<0,01	16/> 100 (statique)

La mémoire élémentaire dynamique schématisée fig. 9.8 *d* se caractérise par la présence de fils séparés d'autorisation de l'écriture et de la lecture, le fil d'information $P_{lec.}/P_{écr.}$ étant unique.

Les mémoires élémentaires dynamiques utilisant trois transistors MOS et un fil écriture — lecture unique permettent de simplifier sensiblement la topologie des LSI-mémoires et d'augmenter la densité d'implantation des mémoires élémentaires sur le cristal [84].

Les caractéristiques de certains types de mémoires internes à base des LSI MOS sont données au tableau 9.5.

Une attention particulière doit être portée sur la mémoire LSI C/MOST assurant une consommation minime de puissance au régime de mémorisation, ce qui permet d'atteindre une densité d'implantation élevée des éléments sur le cristal.

Les mémoires permanentes (MP) réalisées avec les transistors MOS se distinguent par leur simplicité, grâce à quoi les LSI MOS utilisées dans ce domaine présentent un niveau d'intégration maximum. Le schéma le plus simple d'une matrice MP à transistors MOS à canal *P* est représenté fig. 9.9. Cette matrice comporte *m* mots dont chacun contient *n* bits, chaque « bit » de la MP étant réalisé avec un seul transistor MOS.

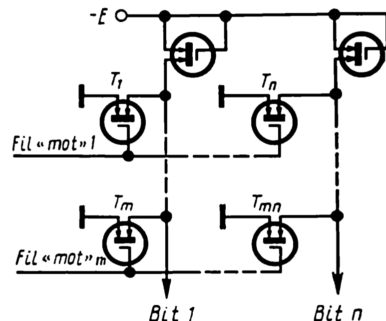


Fig. 9.9. Matrice de mémoire permanente en transistors MOS

L'écriture de zéro dans un « bit » de la MP se fait grâce à la présence d'une couche épaisse d'oxyde sous la grille du transistor MOS respectif. Cela le rend insensible aux impulsions de lecture arrivant sur le fil de mot. Le transistor, commandé par la grille, sera conducteur pendant l'impulsion de lecture et le fil de bit respectif aura un potentiel voisin de zéro (0 logique) ; au contraire, le fil de bit raccordé à la mémoire élémentaire, dont le transistor MOS est bloqué, aura un potentiel proche de la tension de la source d'alimentation (1 logique).

Les mémoires permanentes en LSI MOS (fig. 9.9) réalisées en série se caractérisent par un niveau d'intégration de 1024 à 4096 bits sur un seul cristal, le temps d'accès étant entre les limites de 0,5 à 1 µs. L'avantage de la mémoire permanente est de stocker l'information « écrite » (en construction) même à la coupure d'alimentation.

9.4.3. Registres LSI

Les registres numériques à grande capacité digitale étaient les premiers à ouvrir l'ère des LSI en Micro-éléctronique. Actuellement, plus de la moitié de toute la nomenclature des LSI est constituée,

à côté des mémoires LSI, par les registres LSI. Ce sont en premier lieu les registres à transistors MOS caractérisés par leur grande variété: registres LSI dynamiques et quasi statiques; registres à décalage et registres parallèles; registres LSI MOSP et C/MOST. Les schémas principaux des « bits » et les principes de synthèse des registres avec les circuits intégrés bipolaires et MOS ayant été considérés dans les chapitres 3 et 4, il ne sera question ici que des schémas synoptiques de quelques registres capables de remplir un certain nombre de fonctions différentes. On trouve à la fig. 9.10 le schéma synoptique d'un registre quadruple à décalage dont le nombre de sorties est égal à 28. Chacun des quatre registres à 10 bits comporte deux entrées d'information D et les sorties biphasées dans les 8[e] et 10[e] « bits ».

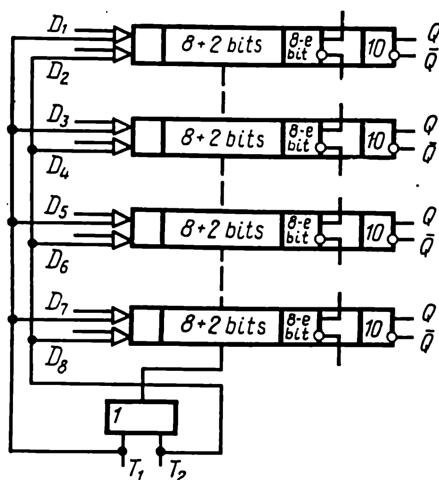


Fig. 9.10. Registre quadruple à 10 (8+2) bits en technologie LSI

Cela permet d'utiliser le registre considéré:

a) comme quatre registres à décalage (RD) à 8 bits;

b) comme quatre registres à décalage à 10 bits, ce qui est nécessaire, par exemple, pour réaliser des calculateurs série fonctionnant en binaire-décimal;

c) comme deux RD à 16 ou à 20 bits ou dans d'autres combinaisons formées de RD à 8 et à 10 bits;

d) comme quatre diviseurs de fréquence par 16 ou 20, ce qui s'obtient grâce au bouclage croisé des sorties $\bar{Q}$ du 8[e] ou du 10[e] « bit » respectivement sur l'entrée D dans chacun des registres;

e) comme diviseurs de fréquence par 32, 36, 40, 48, 56, 60;

f) comme lignes à retard de différente durée.

En cas de réalisation du présent registre LSI suivant le schéma biphasé quasi statique, il faudra environ 380 transistors à canal P ou environ 400 transistors à canal P et N.

Dans le cas d'un registre LSI réalisé selon le schéma triphasé quasi statique, le nombre de transistors à canal P par LSI sera réduit à 300 ou à 320 à canal P et N. L'utilisation de circuits dynamiques permettra de diminuer le nombre de transistors MOS à canal P jusqu'à 260.

Le tableau 9.6 résume les caractéristiques de quelques registres à transistors MOS fabriqués en série par un certain nombre de firmes étrangères [80, 81, 84].

A titre d'exemple de la réalisation des LSI on peut citer les circuits intégrés à niveau d'intégration moyen qui sont transformables en circuits à niveau d'intégration très grande. Par exemple,

Tableau 9.6

Caractéristiques des registres en LSI MOST

Origine et types du circuit LSI	Capacité digitale	Nombre de portes et de composants équivalents	Type des transistors MOS et régimes	Fréquence de travail en MHz
Micro-System *RD*10	2×50	200/600	à canal *P*, dynamique	0,01-2
Fairchild 3320	64	128/450	à canal *P*, quasi statique	1,0
*RCA T A*5459	18	60/200	C/MOS, quasi statique	4-5
Texas *TMS*7C3003	2×100	400/1200	à canal *P*, quasi statique	1,0
SSS *CDL*5307	50	100/400	C/MOS, dynamique	0,001-10

le LSI de la firme Texas (SN7491N) représente un registre à décalage à cadence unique à 8 bits dont l'entrée est constituée par une porte ET et qui a une sortie biphasée. Le nombre de portes équivalentes dans le circuit est égal à 35 et celui de composants, à 160. Ce circuit peut également être utilisé:

— comme registre à décalage à écriture en parallèle;
— comme registre à décalage bidirectionnel;
— comme diviseur de fréquence par 4,6 et 8.

Il est intéressant de noter que la réalisation d'un registre analogue avec les circuits *T-TTL* demandera seulement 20 portes. Pour un degré d'intégration de 40 portes par cristal la logique *T-TTL* permet de réaliser un registre à décalage à cadence unique comportant 10 bits. Le schéma synoptique d'un tel registre LSI est représenté fig. 9.11. Le registre possède une entrée d'information (*A*), 10 sorties de bit (*Q*), une entrée horloge (*T*) et une entrée RAZ. Le fait d'ajouter au registre LSI un circuit ET-NON supplémentaire porte le total des sorties à 18, mais élargit sensiblement les possibilités fonctionnelles du LSI, ce qui permet:

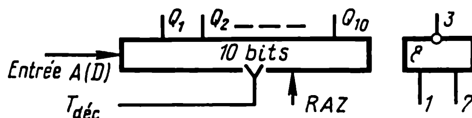


Fig. 9.11. Registre à décalage à cadence unique utilisant les bascules D_t en technologie LSI

— la sélection de n'importe lequel des trois signaux *A*, *T* ou RAZ par le fait du raccordement à l'entrée d'une porte ET-NON;
— la réalisation à la base du registre LSI d'un diviseur de fréquence par 4, 6, 8, 10, 12, 14, 16, 18 ou 20 grâce au raccordement

de l'une des sorties du registre à la porte ET-NON réunie à son tour à l'entrée d'information A ;

— en mode « diviseur » le circuit fonctionne aussi comme générateur de code série à 10 bits.

9.4.4. Exemples de LSI réalisant d'autres fonctions

Une forte proportion des LSI standards représente divers compteurs — diviseurs de fréquence.

Le schéma du diviseur de fréquence universel de la fig. 9.12 peut servir d'exemple d'un tel LSI. Le diviseur comporte trois bascules de comptage précédées de portes de commande (B_1, B_2, B_3)

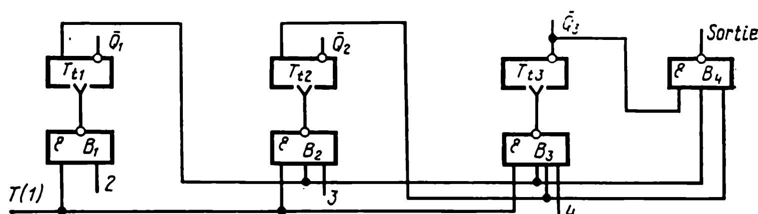


Fig. 9.12. Diviseur de fréquence universel dans un ordre de 2 à 8

et une porte de sortie (B_4). Suivant que la sortie de la B_4 est raccordée aux portes B_1, B_2 ou B_3 ou à l'ensemble de portes, on a la division par 2, 3, 4, 5, 6, 7 ou 8. La commutation des portes afin d'obtenir un rapport de division requis se fait comme dans le tableau 9.7.

Tableau 9.7

Commutation des sorties du compteur

Facteur de division	2	3	4	5	6	7	8
La sortie B_4 est connectée aux portes	B_2 et B_3	B_1 et B_3	B_3	B_1 et B_2	B_2	B_1	—

La présence dans le circuit de trois sorties « bit » permet de l'utiliser comme compteur à capacité arbitraire. La réalisation du diviseur de fréquence en éléments TTL exige 22 portes équivalentes (la bascule T_t est composée de trois bascules R-S), et en éléments T-TTL, 16 portes équivalentes. Le diviseur universel considéré est également réalisable en C/MOST, ce qui nécessite jusqu'à 100 transistors. Il existe des diviseurs de fréquence universels en LSI possédant un rapport de division plus grand (2 à 64) (circuit SN 5497).

On trouve à la fig. 9.13 le schéma d'un distributeur de signaux à 8 sorties qui, en fonction de la commutation de ses sorties, est capable de fonctionner soit en DN, soit en DI. Le distributeur comprend un registre à décalage à deux cadences comportant quatre « bits » et doté d'un couplage croisé et de couplages inhibitifs biphasés; il contient aussi une bascule de comptage possédant les sorties « report » et « emprunt ». Lorsque les sorties Q et $\overline{Q}$ de la bascule de comptage sont réunies aux fils « horloge » du registre, le circuit fonctionne en mode DN, et lorsque les mêmes fils sont raccordés

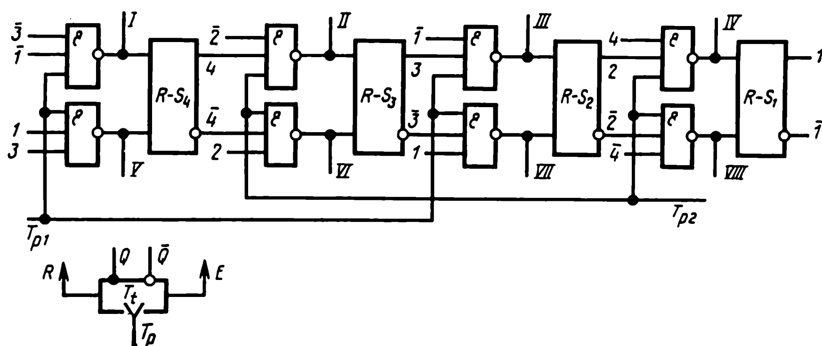


Fig. 9.13. Distributeur à 8 sorties

aux sorties « report » et « emprunt », en mode DI. La fonction d'entrée du distributeur est faite par celle de la bascule de comptage, les sorties « voie » étant constituées par celles des portes des bascules-bits. Ce circuit peut aussi s'utiliser en diviseur de fréquence.

Le distributeur de ce genre à huit sorties comportant 20 portes est réalisable tant avec les transistors bipolaires qu'avec les transistors MOS. Pour un distributeur en C/MOST, il faudra 110 transistors et un boîtier à 17 sorties. Dans le cas d'un distributeur plus compliqué à 16 sorties, le nombre de composants sur le cristal sera augmenté à 164 avec la logique *TTL* et à 190 avec la logique C/MOST.

Comme il a été déjà indiqué à leur propos, les échelles multistables (EMS) utilisées dans les LSI permettent de réduire le nombre de portes sur le cristal et de simplifier la topologie des LSI. On trouve à la fig. 9.14 un distributeur à 10 sorties réalisé en EMS monophasée à deux cadences, dotée de cinq états stables. Le fonctionnement au régime à une cadence est rendu possible par une bascule de comptage supplémentaire comportant les sorties « report » et « emprunt ». Ceci permet d'utiliser ce circuit tant comme un DI que comme un DN. Les signaux du distributeur sont recueillis directement aux sorties des portes formant les bascules à 5 états stables. Le nombre de portes équivalentes dans ce circuit est égal à 36 et celui de connexions extérieures à 24 dont : 10 constituent les sorties du distributeur ; 5 — les sorties d'une seule bascule à 5 états

stables de EMS ; 2 — les entrées horloge de EMS ; 2 — l'alimentation. Un distributeur à 10 sorties réalisé à base du compteur décimal doté d'un décodeur demandera 42 portes.

Un autre exemple des LSI bipolaires réalisés en série est présenté par le LSI SN7483N « Texas » qui fait fonction d'additionneur binaire à 4 bits. Ce circuit est conçu en éléments *TTL* et contient 172 composants implantés sur un seul cristal. En cas de réalisation

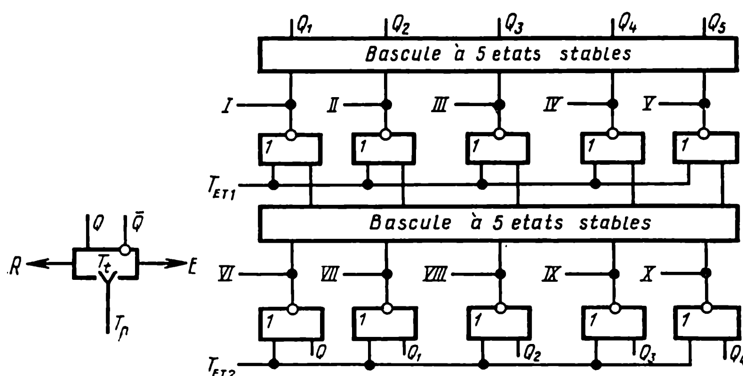


Fig. 9.14. Distributeur à 10 sorties utilisant une EMS à cinq états stables en technologie LSI

d'un additionneur à 4 bits analogue en éléments *T-TTL* on n'aura besoin que de 148 composants sur le cristal. Le nombre de sorties de l'additionneur est égal à 16.

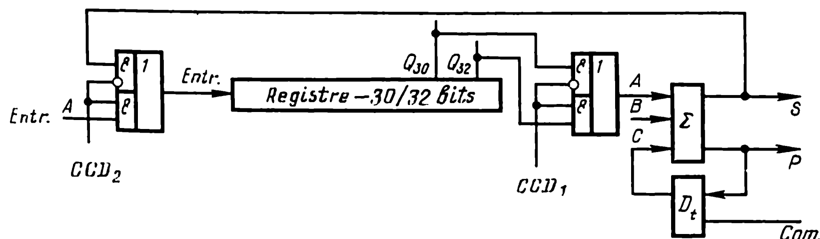


Fig. 9.15. Analyseur différentiel numérique à capacité digitale variable en technologie LSI

Un exemple des LSI MOS peut être donné par l'analyseur différentiel numérique (ADN) à capacité digitale variable schématisé fig. 9.15. Le ADN comporte un registre à décalage ayant les sorties des 30e et 32e « bits » raccordées à travers un circuit OU à l'une des entrées d'un additionneur. La sortie de l'additionneur est bouclée par un circuit OU sur l'entrée du registre. La deuxième entrée du circuit OU sert à écrire le premier nombre à ajouter *A*. La deuxième entrée de l'additionneur est destinée à la réception du second

nombre à ajouter *B*. La capacité digitale de AND est commandée par un signal appliqué à l'entrée CCD_1. Le fait de comporter un circuit de commande de report (CR) dans le AND permet d'inhiber le transfert du signal de report vers l'entrée de l'additionneur et de l'employer comme générateur en anneau de code série à 30/32 bits ou comme diviseur de fréquence. Le nombre de portes équivalentes dans cet ADN LSI à transistors MOS est égal à 120 jusqu'à 140 et celui de sorties à 12.

Les exemples des circuits LSI à structure régulière que nous venons de considérer sont à un certain point universels puisque applicables aux études des systèmes numériques de différente destination. Il existe un grand nombre de tels LSI mis au point dans les USA, en Angleterre, au Japon et dans d'autres pays pour les produire en série. Cependant, avec le perfectionnement de la technologie et l'augmentation du degré d'intégration des éléments sur un seul cristal, le nombre de LSI universels subit une diminution constante dans la nomenclature générale. Les LSI deviennent de plus en plus étroitement « spécialisés » ou mieux encore des dispositifs destinés à résoudre un seul problème concret. Les développements récents des firmes Texas, RCA, Autonetics, etc., peuvent en servir d'exemple.

La firme Texas a mis au point un processeur à 8 bits en LSI MOS comportant 5 sous-ensembles interconnectés: OA à 8 bits; registre du résultat à 8 bits; registre du programme à 16 bits; registre de l'adresse de mémoire à 16 bits; bloc de commande « programme-adresse ». Le LSI est réalisé sur un seul cristal portant plus de 3000 transistors MOS à canal *P*. Ce LSI est destiné à être utilisé comme périphérique associé à un ordinateur universel.

Il semble que le temps n'est plus maintenant loin où la technologie des LSI à grande et à très grande intégration nous permettra de réaliser des calculateurs sur un seul cristal.

OUVRAGES CITÉS

1. Прессман А. И. Расчет и проектирование схем на полупроводниковых приборах для ЦВМ (Calcul et conception des circuits à semi-conducteurs pour les ordinateurs). М., «Иностранная литература», 1963.
2. Чунаев В. С. Вопросы проектирования логических элементов ЭВМ для интегрального исполнения (Sur la conception des éléments logiques en technologie intégrée destinés aux calculateurs électroniques). М., ИТМ и ВТ АН СССР, 1967.
3. Микроэлектроника и большие системы (Microélectronique et systèmes évolués). М., « Мир », 1967.
4. Сб. « Микроэлектроника » (Recueil « Microélectronique »). Под ред. Ф. В. Лукина Вып. 1. М., « Сов. радио », 1967.
5. Сб. « Микроэлектроника » (Recueil « Microélectronique »). Под ред. Ф. В. Лукина Вып. 2, 3. М., « Сов. радио », 1969.
6. Роудс В. Т. Интегральные логические схемы и их использование в системах (Circuits logiques intégrés et leur utilisation dans des systèmes). « Электроника », 1967, № 5.
7. Степанян А. А. Цифровые вычислительные машины (Calculatrices numériques). Куйбышевское издательство, 1966.
8. Папернов А. А. Логические основы цифровых машин и программирования (Fondements logiques des calculatrices numériques et de la programmation). М., « Наука », 1968.
9. Микромощная электроника (Electronique de puissance micromique). Пер. с англ. под ред. Гальперина Е. И. М., « Сов. радио », 1967.
10. Элементы ЭВМ на полупроводниковых приборах (Eléments à semi-conducteurs des ordinateurs) М., « Сов. радио », 1969.
11. Интегральные схемы. Основы проектирования и технологии (Circuits intégrés. Notions de base sur la conception et la technique de fabrication). Пер. с англ. Под ред. К. Н. Мартюшова. М., « Сов. радио », 1970.
12. Кроуфорд Р. Схемные применения МДП-транзисторов (Applications des transistors MOS dans les circuits). М., « Мир », 1970.
13. Наумов Ю. А. Интегральные логические схемы (Circuits logiques intégrés). М., « Сов. радио », 1970.
14. Вавилов Е. И., Портной Г. П. Синтез схем электронных ЦВМ (Synthèse des circuits pour les ordinateurs). М., « Сов. радио », 1963.
15. Фистер М. Логическое проектирование ЦВМ (Conception logique des ordinateurs). Киев, « Техника », 1964.
16. Ричардс Р. К. Элементы и схемы ЦВМ (Eléments et circuits des ordinateurs). М., « Иностранная литература », 1961.
17. Долкарт В. М., Новик Г. Х., Колтыпин И. С. Микроминиатюрные аэрокосмические ЦВМ (Ordinateurs microminiaturisés pour l'aérospatiale). М., « Сов. радио », 1967.
18. Сб. « Полупроводниковые приборы и их применение » (Recueil « Semi-conducteurs et leur application »). Под ред. Е. И. Гальперина, М., « Сов. радио », 1967, № 18, с. 63-68.

19. Будинский Я. Транзисторные переключающие схемы (Circuits de commutation à transistors). Пер. с чешского, под ред. И. Германа и К. Дыкаста. М., « Связь », 1965.
20. Колдуэлл С. Логический синтез релейных устройств (Synthèse logique des dispositifs à relais). М., « Иностранная литература », 1962.
21. Прангишвили И. В. и др. Микроэлектроника и однородные структуры (Microélectronique et structures homogènes). М., « Наука », 1967, Авт. изобретения: И. В. Прангишвили, Е. В. Бабичева, В. В. Игнатущенко, Н. М. Абрамова.
22. Поспелов Д. А. Логические методы анализа и синтеза схем (Méthodes logiques d'analyse et de synthèse des circuits). М., « Энергия », 1966.
23. Колосов А. А., Горбунов Ю. И., Наумов Ю. К. Полупроводниковые твердые схемы (Circuits solides semi-conducteurs). М., « Сов. радио », 1965.
24. Анализ и расчет интегральных схем (Analyse et calcul des circuits intégrés). Пер. с англ. Под ред. В. И. Ермолаева и П. И. Завалишина, ч. I. Под ред. В. И. Ермолаева, ч. 2. М., « Мир », 1969.
25. Коган Б. М., Каневский М. М. Цифровые вычислительные машины и системы (Calculatrices numériques et systèmes). М., « Энергия », 1970.
26. Ричардс Р. К. Арифметические операции на ЦВМ (Opérations arithmétiques). М., « Иностранная литература », 1957.
27. Грехнев В. П., Останков Б. Л. Распределитель импульсов (Distributeur d'impulsions). Авт. свидетельство № 350179.—« БИ », 1972, № 25.
28. Фойда А. И. Разряд регистра сдвига (Chiffre du registre à décalage). Авт. свидетельство № 305589.—« БИ », 1971, № 18.
29. Севин Л. Полевые транзисторы (Transistors à effet de champs). М., « Сов. радио », 1968.
30. Дроздов Е. А., Комарницкий В. А., Пятибратов А. П. Электронные вычислительные машины (Calculatrices électroniques). М., « Воениздат », 1968.
31. Анисимов Б. В., Четвериков Б. Н. Основы проектирования и теории ЭВМ (Fondements de la conception et de la théorie des calculatrices électroniques). М., « Высшая школа », 1970.
32. Гурвич И. С. Многоустойчивые потенциальные схемы. « Приборы и системы управления » (Circuits multistables à niveaux). 1968, № 10.
33. Панферов В. П. Характеристики работоспособности логических элементов потенциального типа, выполняющих операцию отрицания (Caractéristiques de fiabilité des éléments logiques à niveaux réalisant l'opération de négation). « Электронная техника ». Сер. 6. « Микроэлектроника ». 1966, вып. 2.
34. Хознер В. И. Помехоустойчивость интегральных схем, применяемых в ЦВМ (Immunité aux bruits des circuits intégrés utilisés dans les ordinateurs).—« Экспресс-информация », ВТ, 1969, № 5, с. 14-25.
35. Мельников Б. В. Синтез счетчиков на потенциальных элементах (Synthèse des compteurs à partir des éléments à niveaux). М., « Известия вузов », 1968, т. 12, № 8.
36. Интегральные схемы. Принципы конструирования и производства (Circuits intégrés. Principes de conception et de fabrication). Пер. с англ. Под ред. проф. А. А. Колосова. М., « Сов. радио », 1968.
37. Алексенко А. Г. Основы микросхемотехники (Fondements de la technique des microcircuits). М., « Сов. радио », 1971.
38. Гаврилов Ю. В., Пучко А. Н. Арифметические устройства быстродействующих ЭЦВМ (Opérateurs arithmétiques des ordinateurs rapides). М., « Сов. радио », 1970.
39. Карцев М. А. Арифметические устройства ЭЦВМ (Opérateurs arithmétiques des ordinateurs). М., « Физматгиз », 1958.
40. Мансуров Б. М. Паралельный комбинационный сумматор микроэлектронной ЦВМ (Additionneur parallèle combiné pour l'ordinateur microélectronique). « Электронная техника ». Сер. 6, 1966, вып. 2.
41. Горячев В. И., Мансуров Б. М. Микроэлектронные триггерные устройства (Montages en bascule microélectroniques) « Электронная техника ». Сер. 3. « Микроэлектроника ». 1972, вып. 5.

42. Мансуров Б. М., Жеребцова М. М., Талибов Р. Г. Новые триггерные устройства на МДП-транзисторах (Montages en bascule nouveaux à transistors MOS). « Электронная техника ». Сер. 3. « Микроэлектроника ». 1973, вып. 6.
43. Мансуров Б. М., Горячев В. И. Реверсивный счетчик-распределитель (Compteur bidirectionnel-distributeur). « Электронная техника ». Сер. 3. « Микроэлектроника ». 1973, Вып. 7.
44. Мансуров Б. М., Ржанова Л. И. Одноразрядный сумматор (Additionneur à chiffre unique). Авт. свидетельство № 184517.—« БИ », 1966, № 15.
45. Мансуров Б. М., Козлов Р. А. Двухтактный распределитель импульсов (Distributeur d'impulsions à deux cadences). Авт. свидетельство № 218525. « БИ », 1968, № 17.
46. Горячев Б. И., Мансуров Б. М. Устройство для сложения и вычитания (Additionneur-soustracteur). Авт. свидетельство № 306462.—« БИ », 1971, № 19.
47. Мансуров Б. М., Горячев В. И., Алексеев Ю. Ф. Ячейка регистра сдвига (Cellule du registre à décalage). Авт. свидетельство № 317111.—« БИ », 1971, № 30.
48. Мансуров Б. М. и др. Однотактный счетный триггер (Bascule de comptage à cadence unique). Авт. свидетельство № 326743.—« БИ », 1972, № 4. Авт. изобретения Б. М. Мансуров, М. М. Жеребцова, В. И. Горячев, Р. Г. Талибов.
49. Мансуров Б. М., Горячев В. И., Талибов Р. Г. Однозарядный сумматор (Additionneur à chiffre unique). Авт. свидетельство № 333555.—« БИ », 1972, № 11.
50. Мансуров Б. М., Талибов Р. Г., Горячев В. И. Четырехразрядный распределитель импульсов (Distributeur d'impulsions à quatre sorties). Авт. свидетельство № 342299.—« БИ », 1972, № 19.
51. Мансуров Б. М., Горячев В. И., Якушев Н. Д. Логический элемент И—ИЛИ — НЕ (Elément logique ET-OU-NON). Авт. свидетельство № 350176.—« БИ », 1972, № 26.
52. Калиничев Е. М., Мансуров Б. М., Горячев В. И., Татаринов К. А. Распределитель сигналов (Distributeur de signaux). Авт. свидетельство № 356768—« БИ », 1972, № 32.
53. Мансуров Б. М. и др. Счетный триггер (Bascule de comptage). Авт. свидетельство № 362351.—« БИ », 1972, № 2. Авт. изобретения: Б. М. Мансуров, В. И. Горячев, М. А. Кочаров и др.
54. Горячев В. И., Мансуров Б. М., Талибов Р. Г. Распределитель импульсов (Distributeur d'impulsions). Авт. свидетельство № 362477.—« БИ », 1972, № 2.
55. Мансуров Б. М., Жеребцова М. М. и др. Парафазный триггер (Bascule à sortie symétrique). Авт. свидетельство № 395971.—« БИ », 1973, № 35. Авт. изобретения: Мансуров Б. И., М. М. Жеребцова, В. И. Горячев, Талибов Р. Г.
56. Горячев В. И., Мансуров Б. М., Алексеев Ю. Ф. и др. Распределитель сигналов (Distributeurs des signaux). Авт. свидетельство № 387525.— « БИ », 1973, № 27.
57. Букреев И. Н., Чавчанидзе В. В., Никелидзе З. Н. и др. О новом способе сложения и вычитания двоичных чисел на ВЦВМ (Sur un procédé nouveau d'addition et de soustraction des nombres binaires par l'ordinateur rapide). Труды института физики АНГр ССР, 1962, т. 8.
58. Букреев И. Н. и др. Способ сложения двоичных чисел (Procédé d'addition des nombres binaires). Авт. свидетельство № 124203.—« БИ », 1959, № 22.
59. Kautz W. H. Constant-Weight Counters and decoding trees. IEEE Trans. EC., June 1960, EC-9, p. 231-244.
60. Mansalik W. E. « Practical Ring Counter ». IEEE Transactions, 1968 v. C-17. Sept. (Correspondence) p. 889-890.
61. Bryant P. R., Mealth F. G., Killick R. D. Counting with Feedback Shift Registers by Means of a jump Technique. IRE Trans. EC., 1962, EC-11, p. 285-286.

62. Walker M. Carry out your up-down counter design by checking these guidelines. Electronic Design, 1968, v. 16, nº 12, p. 74-78.
63. Walker R. M. Design flip-flops from LSI cells. Electronic Design, 1968, v. 16, nº 12, p. 82-86.
64. FLEI Schammer. Eine systematik der zusammengesetzten bistabilen kippstufen. Elektron Rechenanlag, 1968, nº 1, S. 34-40.
65. Duryv P. S. Counter design swing without gates. Electronic Design, Dec. 1967, p. 82-88.
66. Mrazek D. Shrink delay line cost-swith MOS. Electronic Design, 1969, v. 17, nº 5, p. 50-57.
67. Feth G. C., Swith M. G. Large scale integration. Computer Group News, 1968, November, p. 25-32 Socolovsky A. LSI what is it for you?
68. Pawluk H. MSI it's what's Happening. The Electronic Engineer, May 1968, p. 37-42.
69. Dean K. J. The development of Large Scale Integration. The Radio and Electronic Engineer, March 1969, p. 135-142.
70. Lilen M. COS/MOS : LOGIQUE A.C. IA MOS Complémentaires. Electronique industrielle, 1969, nº 122, p. 245-250.
71. Electronic Design, 1968, nº 12, p. 82-86.
72. Design Electronic, 1968, v. 5, nº 12, p. 40-43.
73. Computer Design, 1968, nº 5, p. 72-81. Impact of LSI on the next generation of computers.
74. Computer Design, 1969, nº 6, p. 48-59.
75. Langdon G. G. A survey of counter Design Techniques. Comptuter Design, 1970, Oct., p. 85-93.
76. Moon D. L. The polynominal counter Design technique with application in four-plase logic. Computer Design, 1969, Nov., p. 135-143.
77. Bonseigneur P. Description of 7600 Computer System. IEEE Computer Group News, May 1969.
78. Sobol M. Extending IC technology to microwave equipment. Electronics, 1967, nº 6, p. 112-124.
79. Petritz R. L. Current Static of large scale integration technology. IEEE Journal of Solid-State circuits, 1967, SC-2, nº 4, p. 130-147.
80. Khambata. Introduction to Large-scale integration. 1969, New York, London, Sydney, Toronto.
81. « Steve Levy of Motorola speaks out on the LSI Customer-Vendor interface ». EEE, 1969, v. 17, nº 3, p. 52-55.
82. Biswas N. N. The Logic and input Equations of Flip-Flops. Electronic Engineering, Febr. 1966, p. 107-111.
83. Filtzpatrick G. B. Synthesis of Binary Ring Counters of Given Periods. The Marconi Review, 1968, XXXI, nº 170.
84. Rice Rex. LSI and computer system architecture. Computer Design, v. 9, nº 12, 1970.